الدوائر المتكاملة الرقمية

ترجمة

د. أبو بكر أحمد السيد

قسم الهندسة الكهربية وهندسة الحاسب

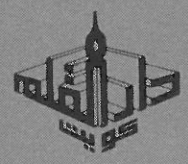
جامعة واترلو – كندا

تأليف ومراجعة

أ.د محمد ابراهيم المصرى

قسم الهندسة الكهربية وهندسة الحاسب

جامعة واترلو – كندا



Digital Integrated Circuits

Dr. Mohamed Ibrahim Elmasry

Dept. of Elec. and Computer Engineering

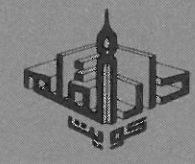
University of Waterloo, Canada

Translated by

Dr. Abu- Bakr Ahmad El- Sayed

Dept. of Elec. and Computer Engineering

University of Waterloo, Canada



حقوق الطبع محفوظة

الطبعة الأولى
١٤١٣هـ - ١٩٩٣م

دار القلم للنشر والتوزيع
شارع السور - عمارة السور - الطابق الأول
هاتف: ٢٤٥٧٤٧ - ٢٤٥٨٤٧٨ - برقيا توزيعكو
ص.ب ٢٠١٤٦ الصفاة 13062 الكويت

بسم الله الرحمن الرحيم

مقـــــدمة

الحمد لله رب العالمين والصلاة والسلام على خاتم الأنبياء والمرسلين سيدنا محمد وعلى آله وصحبه أجمعين . وبعد ..

مازال عالمنا اليوم يمر بنهضة كبيرة فى مجال التقنيات المتقدمة عامة ومجال الالكترونيات الدقيقة خاصة . وقد بدأت هذه النهضة منذ نحو خمسين عاما فقط أى فى الأربعينات ، وترتب عليها قفزات واسعة الخطى فى مجالات عديدة مدنية وعسكرية أثرت على العالم أجمع فى مختلف الميادين كالاتصالات السلكية واللاسلكية ، والحاسبات الالكترونية ، وأجهزة المذياع والتلفاز ومسجلات الصوت والصورة ، وكذلك فى عالم المواصلات ، وفى المجالات الحربية فى البر والبحر والجو .

ومن أهم مجالات الالكترونيات الدقيقة مجال الدوائر المتكاملة الرقمية – موضوع هذا الكتاب – حيث يمثل هذا المجال حوالى ٨٥٪ من مجموع الالكترونيات الدقيقة . وأصبح للتقدم العالمى فى مجال التقنيات المتقدمة عامة والالكترونيات الدقيقة خاصة رواد فى دول عديدة كالولايات المتحدة وكندا واليابان وبعض دول أوربا ، كما أصبح له عاملون بهمة فى الهند والصين وكوريا وماليزيا وسنغافورة ، وكذلك نرى فى هذا المجال بعض الجهود الفردية فى دول العالم العربى والعالم الإسلامى ، ونأمل وندعو الله سبحانه وتعالى أن تسرع الخطى فى هذا المجال الهام فى مختلف أرجاء عالمنا الإسلامى ، وذلك بهمة وإخلاص ومثابرة علمائنا المسلمين ، وبالعمل الدائب الجاد وصبر وعزيمة شبابنا المهندسين ، وبتشجيع المسئولين وأولى الأمر بالإنفاق بسخاء على الأبحاث والمشروعات ومختلف الأعمال فى هذا الميدان لتلحق أمتنا الإسلامية بركب التقدم العلمى ، بل ولتستعيد مكان الصدارة فى العالمين لتُسعد البشرية جمعاء بتعاليم رسالتها الربانية التى تجمع بين الدنيا والآخرة ، وبين العلم والدين ، فى ظل عبادة رب العالمين ، ولتقود سفينة البشرية – كما قادتها من قبل – إلى بر السعادة والأمان بتوجيهات رسالتها العالمية وشريعتها السمحاء .

وهذا الكتاب هو إضافة متواضعة لعرض أسس وتطورات هذا العلم الحديث : علم الدوائر المتكاملة الرقمية ، وذلك باللغة العربية ، آملين أن يكون عونا

لشبابنا وطلابنا ومهندسينا فى دراسة واستيعاب هذا العلم ، وبالتالى للبحث والإبداع فيه وتطبيقه فى مجالات تخدم أمتنا الإسلامية ، وتعمل على رفعتها وتقدمها .. وإذا كان للمخلصين من أبناء هذه الأمة من الدارسين والباحثين والعلماء والمهندسين فى داخل العالم الإسلامى وخارجه نصيب فى تقدم أمتهم ورفع رايتها وإعلاء كلمتها فندعو الله العلى القدير أن يجعلنا منهم ، وأن يتقبل جهدنا وكل أعمالنا خالصة لوجهه الكريم ، وأن يجعلها فى ميزان حسناتنا يوم لا ينفع مال ولا بنون إلا من أتى الله بقلب سليم .

ومما لا شك فيه أن تعريب العلوم ، وخاصة العلوم الحديثة ، وكذلك تدريسها باللغة العربية فى جامعاتنا ومعاهدنا من أهم الخطوات فى طريق النهوض بأمتنا ودفعها للأمام فى ركب الحضارة والتقدم العلمى والتقنى الحديث ، وعلى قدر الجهد والمشقة يكون الجزاء والثواب ، ومع استمرار الجهود فى هذا السبيل دون كلل أو ملل يتم تدريجيا بإذن الله تعالى تذليل كافة الصعوبات التى قد تواجه الدارسين والباحثين أو الأساتذة والطلاب إلى أن يسود التعريب كافة معاهدنا التعليمية . فالتعريب ميدان فسيح للجهاد ، وساحته فى حاجة إلى فرسان ورواد يعودون بالأمة إلى سابق عهدها حين كان الناس من شتى بقاع الأرض يفدون إلى جامعاتها لِتَلَقِّى أحدث العلوم وأعظم الرسالات .

نسأل الله العلى القدير أن يعين المخلصين العاملين من أبناء هذه الأمة لإعادة مجدها ومكانتها الرائدة بين الأمم ، وأن يكون بينهم علماء جهابذة وأعلام ورواد فى كافة الميادين والمجالات ، كما كان للأمة من قبل أعلام ورواد قادوا مسيرة الحضارة الإنسانية لأكثر من ألف عام من المهندسين والأطباء والفيزيائيين والكيميائيين والفلكيين والرياضيين أمثال الخوارزمى ، والرازى ، وابن الهيثم ، وابن ماسويه ، وثابت بن قرة ، والبتانى ، وأبو معشر البلخى ، وأبو كامل الحاسب ، والبوزجانى ، وابن يونس ، وابن حيان ، والبيرونى ، والمجريطى ، وابن سينا ، وأبو قاسم الزهراوى ، والاصطخرى ، وابن سيده ، وابن بطلان ، وابن زهر ، وابن رشد ، وابن التلميذ ، والإدريسى ، وابن ملكا ، والبغدادى ، وابن مقلاب ، وابن العوام ، والحموى ، وابن الرومية ، وابن البيطار ، والخازن ، والطوسى ، وابن أبى أصيبعة ، وابن النفيس ، وابن البناء ، والقزوينى وغيرهم(*) .

(*) انظر مثلا كتاب (موسوعة علماء العرب) إعداد وتحقيق د. يوسف فرحات .

وأخيرا ندعو للقارىء الكريم بتوفيق الله عز وجل ، وأن يبارك المولى سبحانه فى هذا الجهد ، وينفع بهذا الكتاب ليحقق الفائدة المرجوة منه ، وليكون مساهمة فعلية فى جعل اللغة العربية لغة كافة العلوم فى معاهدنا ، وحتى نقضى على الصراع اللغوى الذى تعيشه أمتنا .

وقد عرف الناس قديما مغبة من طلب العلم بغير لغة أمته ، وشاعت فيهم الحكمة التى تقول : (التعليم بلغة أخرى ينقل بعض الأفراد إلى العلم ، بينما التعليم بلغة الأمة ينقل العلم إلى الأمة كلها) . ولا ريب أنَّ جَعْل اللغة العربية لغة الثقافة والعلم فى الأمة الإسلامية هدف عظيم ، فهى اللسان الذى يصح ويسهل اجتماع المسلمين عليه بعد ما اجتمعوا على دين واحد ، خاصة وأنه كان لسان كثير من أقطار وشعوب الأمة الإسلامية قبل أن توجَّه إليها سهام مؤامرات أعداء الإسلام والتى فرَّقت بين هذه الشعوب فى اللغة والثقافة حتى تصل إلى تفريق دينها . ومتى تحقق انتشار اللسان العربى بدرجة أكبر فى الأمة الإسلامية كان ذلك من أعظم العناصر وأقوى الدعائم التى تحفظ وحدة الأمة الإسلامية ، وآخر دعوانا أن الحمد لله رب العالمين .

محمد إبراهيم المصرى
أبو بكر أحمد السيد
واترلو .. أونتاريو .. كندا
٥ المحرم ١٤١٢هـ الموافق ١٧ يوليو ١٩٩١م

كلمة عن المؤلف

الأستاذ الدكتور محمد إبراهيم المصرى يعمل حاليا أستاذا ورئيس مجموعة أبحاث الدوائر المتكاملة العالية الكثافة (VLSI) بقسم الهندسة الكهربية وهندسة الحاسب بجامعة واترلو بكندا . وهو من مواليد القاهرة فى ٢٤ ديسمبر عام ١٩٤٣ ، وقد تخرج من كلية الهندسة جامعة القاهرة عام ١٩٦٥ وحصل على الماجستير والدكتوراة من جامعة أوتاوا بكندا عامى ١٩٧٠ و ١٩٧٤ على الترتيب .

وقد قام بفضل الله تعالى بنشر أكثر من مائتى بحث وثمانية كتب وتخريج أكثر من خمسين طالب ماجستير ودكتوراة معظمهم من البلاد الإسلامية والعربية . وقد عمل أستاذا زائرا بالكويت وسويسرا وكاليفورنيا ، ويعمل مستشارا لعدد من الشركات بالولايات المتحدة الأمريكية وكندا . وقد ألقى محاضرات فى كل من سوريا والسعودية والكويت ومصر والجزائر والصين والاتحاد السوفيتى (سابقا) وهونج كونج وانجلترا وسويسرا واستراليا ونيوزيلاندا والولايات المتحدة الأمريكية وكندا . وهو أستاذ كرسى أبحاث بجامعة واترلو وزميل فى كبرى الجمعيات العالمية للهندسة الكهربية (IEEE) ، وعضو فى العديد من لجان المؤتمرات العالمية فى مجال الالكترونيات الدقيقة ، وأحد الأعضاء المؤسسين لأكثر من مؤتمر فى هذا المجال منها المؤتمر العالمى للالكترونيات الدقيقة (International Microelectronics Conference (ICM) الذى عقد فى الجزائر وسوريا ومصر فى الأعوام ١٩٨٨ ، ١٩٩٠ ، ١٩٩١ على الترتيب .

الفصـــل الأول
مقدمة فى الدوائر المتكاملة الرقمية
Introduction to digital integrated circuits

١-١ تمهيد

يهدف هذا الفصل إلى تعريف عام بالدوائر المتكاملة الرقمية والتمهيد للفصول التالية . والطريقة التى سنتبعها بإذن الله فى هذا الكتاب تعتمد على التدرج فى درجة التعقيد مبتدئين بأساسيات تكنولوجيا تشغيل الدوائر المتكاملة (IC) ومناقشة النبائط ثنائية القطبية (bipolar devices) وقوالب أو وحدات الدوائر (circuit blocks) .

ونأمل أن نصل بهذا إلى عبور الفجوات التى تفصل بين فيزياء وتكنولوجيا النبائط (device - physics and device - technology disciplines) وبين مصممى نظم الحاسب (computer - system designers) . وبالإضافة إلى هذا فإن هذا الكتاب يعطى مصمم النظم الرقمية – (degital system designer) الفهم العام والمفردات الأساسية لتكنولوجيا الدوائر المتكاملة للتصميم الرقمى ثنائى القطبية (bipoler digital design) .

وهناك أنواع عديدة للدوائر المتكاملة الرقمية ثنائية القطبية (Bipolar DigitalICs) (BIDICs) ، ومنها نوعان أساسيان مختلفان اختلافاً بيِّنا وهما :

أ – الدوائر عالية السرعة (high - speed circuits) كالدوائر المستخدمة فى الحاسبات الكبيرة (large mainframe computers) .

ب – والدوائر ذات القدرات الصغيرة (micropower circiuts) كالدوائر المستخدمة فى الأجهزة الالكترونية التى تعمل بالبطاريات (battery - operated electronics) كالالآت الحاسبة (calculators) والساعات .

وهناك نوع ثالث من الدوائر BIDICs وهى :

ج – الدوائر المتكاملة متوسطة المدى (Medium Scale Integrated circuits) (MSI) والتى تستخدم لأداء وظائف حسب مواصفات الزبائن (custom functions)

وتركيب الدوائر البينية (interface circuitry) غير المتوفرة فى الدوائر المتكاملة كبيرة المدى .(LSI) (Large Scale Integrated circuits)

وهناك فى تكنولوجيا النبائط (device - technology) موضوعات مشتركة تتعلق بجميع أنواع العائلات الرقمية(digital families) السالفة الذكر ، وسنبدأ فيما يلى بهذه الموضوعات الأساسية قبل التعرض خلال فصول الكتاب لهذه العائلات على حدة . وأول نقطة نناقشها هنا هى مسألة التقسيم الوظيفى على مستوى النظام (system level problem of functional partitioning) ومسألة اتزان الطاقة (القدرة مقابل السرعة) (energy balance of power versus speed) .

١-٢ تعريف الدوائر المتكاملة الرقمية
(Digital IC Definition)

يمكن تعريف الدائرة المتكاملة الرقمية من وجهة نظر أسلوب بناء نظام الحاسب (computer-system architecture) أو من وجهة نظر تكنولوجيا معينة للدوائر المتكاملة (specific IC technology) . أما نظام الحاسب فتتميز نظرته باتجاه هرمى (من أعلى لأسفل) (top - down approach) ، حيث نبدأ بخوارزميات (algorilhms) وأوصاف للنظام عالية المستوى (high - level system descriptions) ، ثم تمتد عملية التصميم (process of design) لأسفل نحو أقسام فرعية أدق (finer subdivisions) للنظام حتى يتم تعريف القوالب أو الوحدات الوظيفية (Functional blocks) على جميع المستويات . أما تكنولوجيا الدوائر المتكاملة فهى وسط (medium) ، وبالتالى فهى تُعد حلاً من أسفل لأعلى (bottom - up solution) . وتنشأ التحسينات التكنولوجية الحديثة من فهم الجوانب الفيزيائية وعلوم المواد ، إلا أن عملية الوصول إلى تكنولوجيا جديدة للدوائر المتكاملة تعتمد بدرجة كبيرة على إمكانية تطبيق الدوائر المتكاملة كبيرة المدى LSI . ومن هنا فسنناقش فيما يلى هذه العلاقة الهامة بين التكنولوجيا وتصميم النظم .

يبدأ هذا الموضوع بتعريف النظام وبمستوى التجزئة (system definition and partitioning level) . فإذا أُعطينا أسلوب بناء نظامٍ ما (a system architecture) – إما لمعلومات رقمية عامة أو ذات أغراض خاصة (general or special purpose digital information) أو لمعالجة الإشارات (signal processing) – فيمكننا إنشاء عدد من تنفيذات المكونات المادية (hardware realizations) . وفى عملية توليد (generating)

أو تحقيق أى تنفيذ خاص فإن قيود (ضوابط / تحفظات) (constraints) النظام والتكنولوجيا تشكِّل طبيعة الحل .

فمثلاً الظروف المحيطة (ambient conditions) ، والقدرة المتاحة (available power) وطريقة التعبئة (packaging methodology) تصبح قيود تصميم من الرتبة الأولى . وتنطبق مشاكل مستوى النظام (system-level problems) هذه على جميع النظم سواء كانت تشتمل على حاسب كبير (mainframe computer) ، أو آلة قابلة للنقل (portable instrument) ، أو إنسان آلى (robot) سيُطلق فى الفضاء . وتوافق (combination) تكنولوجيا التعبئة مع تكنولوجيا النبائط (device technology) هو الذى يملى تفاصيل تجزئة النظام الفرعى (subsystem partitioning) . وعلى وجه التحديد فإن تكنولوجيا النبائط تضع قيودًا على أقصى عدد للمركبات فى العبوَّة الواحدة (max. number of components per package) ، بينما تضع تكنولوجيا التعبئة مجموعة أخرى من القيود – أحيانًا تخالف قيود النبائط – على القدرات المستخدمة (power - handling capabilities) وأقصى عدد للتوصيلات البينية (interconnections) إلى الوحدات الأخرى فى النظام الفرعى . وعلى المستوى الشامل لتعبئة النظام (overall system - packaging level) فهناك قيود على التوصيلات البينية للوحدات الفرعية (subblock interconnections) وعلى تبديد القدرة (power dissipation) . ومهمة مصمم الدائرة المتكاملة LSI الرقمية أن يتقيد بجميع هذه القيود بطريقة تحقق للنظام أمثل أداء (optimum performance) وهذا قد يعنى الوصول إلى مجموعة من الأهداف مثل :

١ – أقصى سرعة و (أو) أكبر تعقيد دالى (maximum speed and/or functional complexity)

٢ – أقل قدرة و (أو) أقل حيِّز (minimum power and/or space) .

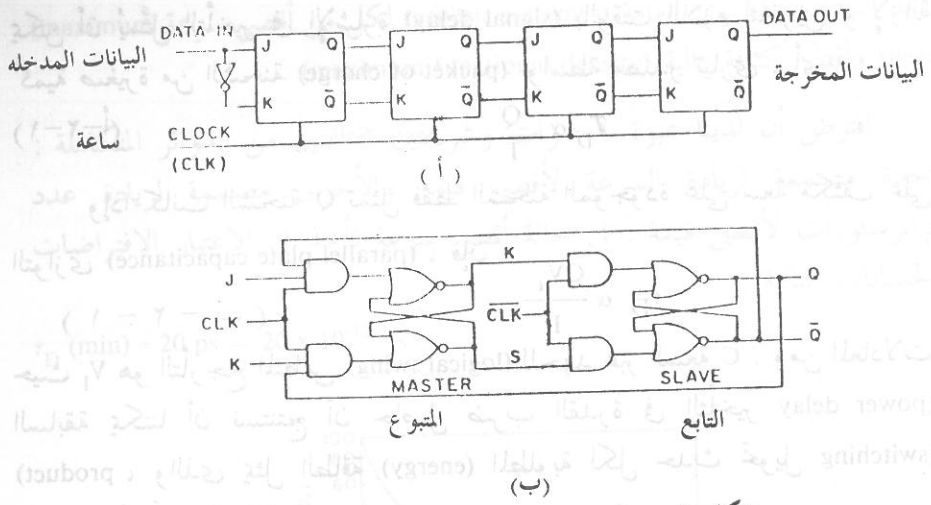
على أننا إذا أعطينا هذه الأهداف من الأداء الأمثل ومجموعة من طرق تكنولوجيا تعبئة النظام والوحدات الفرعية (system and subblock packaging technologies) ، فإن المسألة تؤول إلى مجموعة من مسائل تصميم الدوائر المتكاملة على أقل مستوى . وأخيرًا تصل تجزئة النظام (system partitioning) إلى الوضع الذى يحدد فيه التصميم الإجمالى (overall design) مجموعة من التوصيلات البينية للوحدات

الفرعية (subblock interconnects) والتى تعنى أيضًا بعض المتطلبات بخصوص مستويات الإشارة (signal levels) ، وإمدادات القدرة (power supplies) ، والتبديد الكلى للقدرة (total power dissipiation) . ومن ثَمَّ يكون المصمم قادرًا على حل مسألة تصميم شريحة دائرة متكاملة تحقق أهداف ومتطلبات نظامه الفرعى الخاص . ومن ظاهرة تزايد درجة التعقيد (complexity) فى الدوائر المتكاملة الرقمية خلال العشر سنوات الماضية يمكننا القول بأن أجزاء أساسية عديدة من البناء الرقمى (digital architecture) يمكن تنفيذها كشرائح منفردة (single chips) . وبالتالى فإن كلمة « نظام فرعى » «subsystem» قد تبدو مقيِّدة (restrictive) كأحد خصائص التصميم (design specification) . إلا أن الطريقة الكلية (overall approach) لتصميم دائرة متكاملة أحادية الكيان (monolithic IC) بناءً على مواصفات النهايات الطرفية والمواصفات الدالية (terminal and functional specifications) تعتبر طريقة عامة ، وتتغير فقط من حيث مقياسها (scale) أى مدى تطبيقها . ولتوضيح مسألة التعريف على مستوى الوحدات الفرعية للدائرة المتكاملة (IC subblock) نعرض المثال التالى :

١-٣ تعريف الوحدات الفرعية للدوائر المتكاملة وخصائصها

IC Subblock Definition and Specification

تُعد المسجِّلات وحدات بناء رئيسية فى تصميم النظام الرقمى . وخلال الفصول التالية سنستخدم كأمثلة مجموعة متنوعة من المسجلات المنفَّذة بتكنولوجيا الدوائر ثنائية القطبية . وكتمهيد لهذا الموضوع وعرض للمسألة من أعلا لأسفل فإن شكل ١-١-أ يعرض مسجِّلاً ذا أربعة أرقام (four - bit register) منفَّذا باستخدام دوائر قلابة JK (FF) [JK flip - flops] . أما شكل ١-١-ب فإنه يبين تمثيل كل دائرة قلابة JK على مستوى البوابات (gate - level representation of each JK/FF) باستخدام بوابات NOR وبوابات AND . وينظر مصمم الدوائر المتكاملة للمسألة على مستوى أقل أو أبسط من هذا المستوى كما سنرى فيما بعد . وأما على مستوى النبائط (devices) المستخدمة فيمكن أن نتوقع أن كل مدخل أو مخرج يعكس الحاجة لترانزستور واحد . ولتنفيذ الدوائر المتكاملة متوسطة المدى MSI باستخدام البوابات المنطقية ترانزستور – ترانزستور (T²L) التقليدية (conventional transistor - transistor logic gates) فإن عدد الترانزستورات قد يكون ضعف التقدير المعتاد ، بينما



شكل ١ - ١

(أ) مسجل إزاحة ذو أربعة رقام مُنَفَّذ باستخدام دوائر قلابة JK .

(ب) دائرة قلابة JK من نوع المتبوع والتابع على مستوى البوابة .

فى حالة تكنولوجيا الدوائر كبوابات الحقن المنطقية المتكاملة (integrated injection logic gates) مثلاً ، حيث تُستخدم الدالة « و – بالربط المباشر » (wired - AND function) بكثرة ، فإن العدد الفعلى للترانزستورات قد يكون أقل بكثير من التقدير المعتاد . إلا أننا إذا أخذنا عدد النبائط واحدة لكل مدخل /مخرج (I/O) كمرجع ، فإن كل دائرة قلابة JK/FF – كالمبينة فى شكل ١-١-ب- ستحتوى تقديرًا (nominally) على ٢٦ ترانزستور ، ويتطلب المسجل ذو الأربعة أرقام (4-bit register) ١٠٤ نبيطة . وكى ندرك ما تعنيه هذه الأرقام من ناحية المساحة وكى نفسِّر توازن القدرة والسرعة (power - speed balance) تفسيرًا صحيحًا يلزمنا إجراء بعض الحسابات .

نلخص فيما يلى العلاقات التى تهمنا عند التعرض لحل الأسئلة المتعلقة بعوامل المساحة والسرعة والقدرة :

تتناسب القدرة مع حاصل ضرب التيار وجهد مصدر القدرة ، أى أن :

$$P = V_{cc} I \qquad (١-١)$$

يمكن أن يُمثَّل التأخير فى الإشارة (signal delay) بالوقت اللازم لتخزين أو لإزالة كمية صغيرة من الشحنة (packet of charge) بواسطة مصدر تيارى ، أى :

$$\tau_D \propto \frac{Q}{I} \qquad (١-٢-أ)$$

وإذا كانت الشحنة Q تمثل فقط الشحنة الموجودة على سعة مكثف على التوازى (parallel plate capacitance) ، فإن

$$\tau_D \propto \frac{CV_l}{I} \qquad (١-٢-ب)$$

حيث V_l هو التأرجح المنطقى (logical swing) للجهد عبر السعة C . ومن المعادلات السابقة يمكننا أن نستنتج أن حاصل ضرب القدرة فى التأخير (power delay product) ، والذى يمثل الطاقة (energy) المطلوبة لكل حدث تحويل (switching event) ، يُعطَى بالعلاقة :

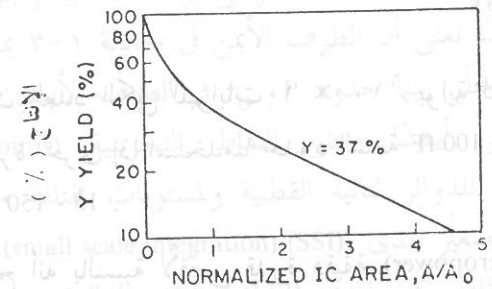
$$P\tau_D \propto CV_{cc}V_e \qquad (١-٣)$$

نلاحظ أنه حتى الآن لم نتعرض لعامل أو قيد المساحة . ومساحة شريحة الدائرة المتكاملة (IC chip area) يَحُدُّها عاملان : التعبئة (packaging) ، وإنتاج التصنيع (fabrication yield) . والقيد الأساسى فى التعبئة هو كمية القدرة التى يمكن أن تبددها العُبُوَّة ، وهذه تُقدَّر حاليًا بحوالى ١-١٠ وات للعبوة (1-10 W/package) وبالتالى فإذا أُعطينا عدد النبائط للشريحة الواحدة ، وكمية القدرة التى تبددها النبيطة الواحدة ، أمكننا تحديد مساحة الشريحة التى تَحُدُّ (bounds) سعة العبوة (capacity of package) . أما مسألة إنتاج التصنيع فتضع قيداً مختلفًا على المساحة. وذلك أنه تحدث عيوب عشوائية (random defects) وكذلك عيوب تكنولوجية معينة (technology - specific defects) أثناء صناعة الدوائر المتكاملة ، وتقاس هذه العيوب بعددها فى السنتيمتر المربع الواحد. فإذا أصبح عدد هذه العيوب كبيراً بحيث يمكن مقارنته (comparable) بعدد الرقائق (die) فى السنتيمتر المربع الواحد فإن الإنتاج (yield) يصل للصفر (goes to zero) . ومن ثَمَّ فنعمل دائمًا على تقليل العيوب إلى أقل قدر ممكن ونحافظ على حجم الرقائق (die size) فى مدى معقول بحيث نحصل على إنتاج مقبول. ويبين شكل ١-٢ منحنى الإنتاج المتوقع (expected yield) مقابل حجم الشريحة (chip size) لعملية ثنائية القطبية (bipolar process circa 1976) . فإذا طبقنا الآن كلا من هذين العاملين (أو القيدين على المساحة) على معادلة القدرة والتأخير (power delay equation) أمكننا

تحديد النهايات القصوى العامة (generic extremes) لكل من أقصى سرعة (maximum speed) وأقصى كثافة دالية (maximum functional density) .

افترض أن لدينا عبوة ١- وات وشريحتين مختلفتين من الدوائر المتكاملة : واحدة مصممة لزيادة السرعة لأقصى قيمة والأخرى مصممة لزيادة عدد الترانزستورات لأقصى قيمة . فى حالة أقصى سرعة نأخذ فى الاعتبار الافتراضات والحسابات التالية :

τ_D (min) ≈ 20 ps = 20 x 10^{-12} s



شكل ١ - ٢

منحنى لوغاريتم الإنتاج مقابل المساحة المعيَّرة لعملية ثنائية القطبية (circa ١٩٧٦)

افترض :

$V_l \approx 0.5$ V & $V_{cc} = 3V$★

[ملاحظة : مع أن هذه الافتراضات اختيارية ، إلا أنه من المحتمل بالنسبة للنبائط ثنائية القطبية أن تكون حدود V_l ، V_{cc}:

$V_l \approx$ 4-5 KT/q = 100 - 125 mV

$V_{cc} \approx$ 5-10 $V_l \approx$ 0.5 - 1.5 V

قريبة من الأساسية]

والآن علينا أن نوازن بين C,P. أما C فإنها تقديرًا تُحدد بمروحة إخراج الدائرة (circuit fon - out) وسعة الأسلاك (wire capacitance) للبوابات الأخرى .

وحاليًا للوصول إلى أقل هندسة ممكنة للنبائط وأقل توصيلات معتادة بالأسلاك ، فإن C تتراوح ما بين 10 - 100 fF (حيث : fF = 10^{-15} farads) . ومن معادلة ١-٣ نرى أن متوسط القدرة للبوابة الواحدة يصبح 0.75 - 7.5 mW ، فإذا

أُعطينا قيد العبوة على القدرة الكلية ، فإن الشريحة عالية السرعة يمكن أن تحتوى نحو 1300 - 130 بوابة . وهذه الأعداد مبنية على أساس افتراض أن جميع البوابات نشطة (active) وأن أقل تأخير هو المطلوب فى كل موضع على الشريحة . ومع هذا فإن الأعداد الصغيرة للبوابات تعكس ثمن السرعة العالية فى أسوأ حالة (worst - case cost of high speed) .

وبالاتجاه الآن إلى الحالة المتطرفة الأخرى لأقصى تعقيد دالى ، فإننا نستخدم معادلة ١–٣ فى الاتجاه المعاكس ، أى افتراض أن :

$P = 1\ \mu w/\ gate$

$V_l = 0.5\ V,\ V_{cc} = 3V$

فيصبح الآن العدد الكلى للبوابات ١ × ١٠^{٦} بوابة للشريحة الواحدة (10^6 gates/chip) . ومرة أخرى إذا استخدمنا حدود السعة 100 fF - 10 ، فإن التأخيرات تتراوح ما بين 150 ns - 15 .

من الواضح أنه بالنسبة لأقصى قدرة دقيقة (extreme of micropower) كى تعمل على زيادة عدد المركبات لأكبر قيمة ممكنة (maximize component count) فإن ذلك يكون على حساب تأخيرات البوابات (gate delays) بدرجة كبيرة .

ونلاحظ أن القاعدة العامة هى الاختيار ما بين ١٠٠٠ بوابة مع تأخيرات أقل من النانو ثانية (جزء من ألف مليون جزء من الثانية) أو مليون بوابة مع تأخيرات تصل إلى مئات من النانوثانية . وبالإضافة إلى هذا فبالنسبة لمعظم النظم يجب أن يدور جزء فقط من الدائرة بأقصى سرعة . وبالتالى فيمكننا أن نحصل على تصميمات فيها أجزاء ذات سرعة عالية (high - speed sections) مع أجزاء ذات قدرة دقيقة (micropower sections) . وسنعرض بعد قليل مثل هذا المثال ، إلا أننا نرى أنه من المفيد أولاً أن نعرَّف مدى تكنولوجيا الدوائر المتكاملة الرقمية ثنائية القطبية (BIDIC technologies) والتى تغطى حاليًا فراغ الأداء (performance space) ما بين التأخيرات فى حدود النانوثانية (nanosecond delays) والكثافة العالية جدًا (very high density) .

١–٤ العائلات المنطقية ثنائية القطبية

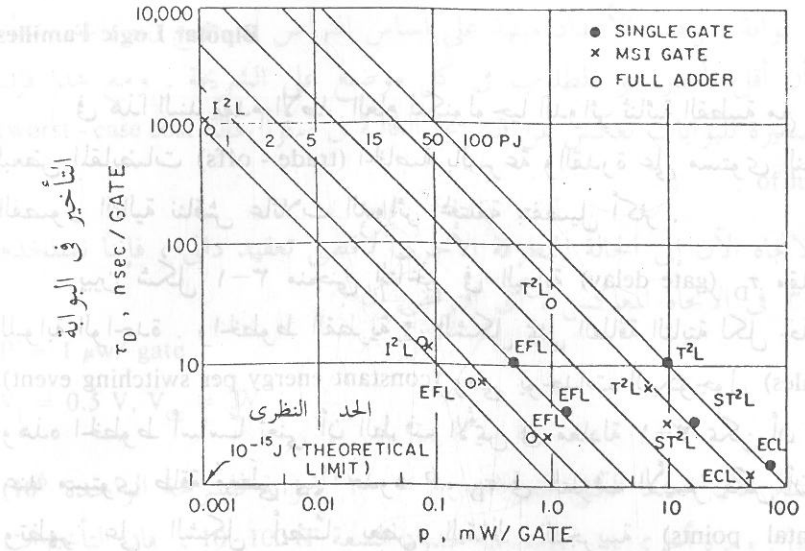
Bipolar Logic Families

فى هذا البند نقدم الإطار العام لتكنولوجيا الدوائر ثنائية القطبية مع عرض عام لبعض المقايضات (trade - offs) الخاصة بالسرعة والقدرة على مستوى النظام . وفى الفصول التالية نناقش عائلات الدوائر المختلفة بتفصيل أكثر .

يبين شكل ١–٣ منحنى التأخير فى البوابة (τ_D (gate delay مقابل القدرة للبوابة الواحدة . والخطوط القطرية فى الشكل تمثل الطاقة الثابتة لكل حَدَث تحويل (constant energy per switching event) وهى بوحدات البيكوجول (picojoules) . وهذه الخطوط أساسًا تعنى أن الطرف الأيمن فى معادلة ١–٣ يمكن أن يبقى ثابتًا عند مستوى طاقة مُعطَى بينما حدود P وτ_D فى الطرف الأيسر يمكن أن تقايض . وتظهر على الشكل أيضًا بعض النقاط التجريبية (experimental points) لتكنولوجيات مختلفة للدوائر ثنائية القطبية ولمستويات مختلفة من تكامل الدوائر تتراوح من التكامل صغير المدى (small scale integration) (SSI)) والتكامل متوسط المدى (MSI) إلى التكامل كبير المدى (LSI) لوظائف الدائرة . ومع أن شكل ١–٣ يعطى قيم P, τ_D المقابلة لدائرة معينة (١٩٧٦) إلا أننا سنناقش باختصار الملامح العامة للدائرة .

يُعَدُّ المنطق ترانزستور –ترانزستور (T^2L)(transistor-transistor logic) أول دائرة متكاملة رقمية ثنائية القطبية تنفذ التعقيد الدالى MSI (funcional complexity) ، وذلك أساسًا لأنه تم تعييره (standardized) على المستوى الرسمى فى أوائل الستينات . ويبين شكل ١–٤ البوابة MSI T^2L NANI مع ترانزستور الإدخال (Q_1) متعدد البواعث (multiple - emitter) وكذلك زوج حث القطب المركَّب (طوطم) عند المخرج (Q_3 - Q_4) (totem - pole output driver poir) . والاسم ترانزستور – ترانزستور يشير إلى أن كلا من نبائط الإدخال والإخراج عبارة عن ترانزستورات وذلك مقارنةً مع علائلات الدوائر المنطقية السابقة مثل : مقاوم – ترانزستور RTL(resistor-transistor) ، أو صمام – ترانزستور DTL(diode-transistor) . والتأخيرات بالنسبة للمنطق T^2L تكون عادة أقل من 10 ns ويتراوح حاصل ضرب القدرة فى التأخير ما بين 10-100pJ . ومستويات القدرة المقابلة تبين أنه يمكن

بوابة وحيدة
بوابة MSI
جهاز جمع
كامل



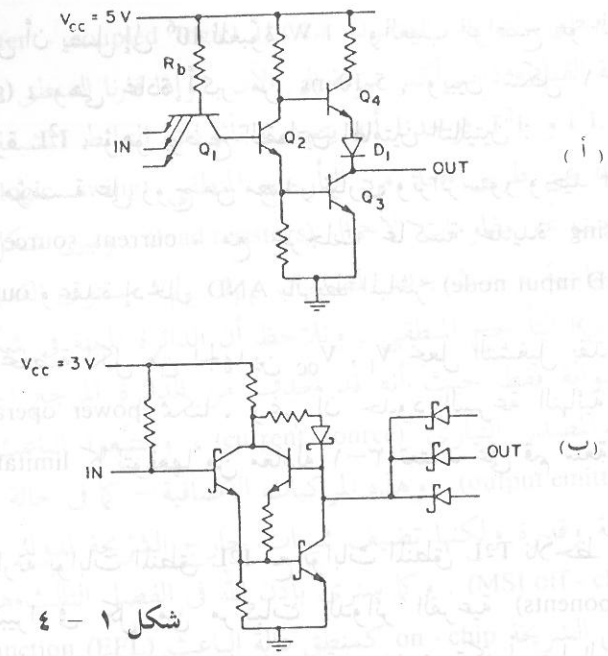
القدرة للبوابة الواحدة

شكل ١ – ٣

منحنى التأخير فى البوابة مقابل القدرة للبوابة الواحدة
وذلك بالنسبة للعائلات المنطقية ثنائية القطبية

الوصول إلى كثافات دالية (functional densisities) أكبر من مائة بوابة فى حيِّز عبوَّة I-w . ومن الدائرة الأساسية يمكننا أن نرى أننا نحتاج إلى أربع نبائط نشطة (active devices) وعدة مركبات سلبية (several passive components) . واستخدام نبائط عديدة يزيد من استهلاك القدرة (power consumption) ولكنه لا يضيف إلى المميزات الوظيفية (functional advantages) سوى القدرة على دفع التيار خارج الشريحة (off - chip current driving capability) وقد أدت التطويرات المتعاقبة لعائلات الدوائر المتكاملة الرقمية فى السبعينات إلى تقليل عدد المركبات فى البوابة الواحدة وإلى زيادة السرعة .

وقد حدثت بعض التغييرات فى دوائر المنطق T^2L مع تطوير التثبيت باستخدام صمامات « شوتكى » (Schottky clamping) واستخدام مصادر جهد أصغر على الشريحة . فمثلاً أمكن تقليل عدد مركبات البوابة إلى النصف واستخدم مصدر ٣ فولت بتأرجح منطقى (logic swing) قدره ١,٥ فولت . وقد أدت هذه التغييرات إلى زيادة عدد المركبات فى الشريحة الواحدة إلى أكثر من عشرة أضعاف .



شكل ١ – ٤

(أ) بوابة T^2L NAND أساسية مع مرحلة إخراج قطب مركب
(ب) بوابة T^2L « شوتكى » .

ويبين شكل ١–٤– ب إحدى هذه التكوينات البوابية (gate configurations) حيث استُخدم اصطلاح « شوتكى » المعتاد . وفى الفصل التالى سنقدم بإذن الله تعالى تفصيلات أكثر تتعلق بدوائر شوتكى للتثبيت. والنقطة الأساسية التى نود التأكيد عليها هنا هى أن انخفاض كل من مستويات الجهد والسعة يؤدى إلى انخفاض حاصل ضرب القدرة فى التأخير (power - delay product) كما يتبين لنا من المعادلة ١–٣ .

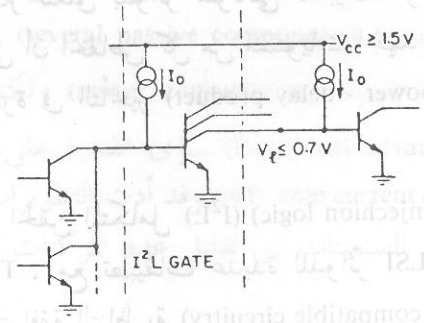
ويُعَدُّ منطق الحقن المتكامل I^2L (Integrated Injechion logic) المنطق الذى يخلف المنطق T^2L ، مع تطبيقات عديدة للدوائر LSI فى كل من مجالى الدوائر الرقمية والدوائر المتوافقة التناظرية (analog - compatible circuitry) وقد كان تركيز التكنولوجيا فى أوائل السبعينات على القدرة الدقيقة (micro power)، والنتائج المقاسة المبينة فى شكل ١–٣ تعكس بوضوح هذا التأكيد على القدرة الدقيقة بحواصل ضرب للقدرة فى التأخير لا تتجاوز 1pJ . ومستويات القدرة البالغة من 0.001 mW إلى 0.1 mW تعكس إمكانية استخدام دوائر LSI بل ودوائر VLSI أيضًا نظرًا لأن عدد

البوابات يمكن أن يصل إلى 10^6 للعبوَّة 1-W . والعيب الواضح هو التأخيرات البوابية (gate delays) ، وهى عادة أكبر من 5-10 ns . ويبين شكل ١–٥ تمثيلاً بوابيًا مبسطًا لدائرة I^2L ، وهو يوضح النقطتين الهامتين التاليتين :

١ – البوابة مؤسسة على زوج من مصدر تيارى وترانزستور وحيد (single transistor current source pair) - مع مخرجات عاكسة عديدة (multiple inverting outputs) وعقدة إدخال AND بالربط المباشر (wired - AND input node) .

٢ – القيم المخفضة لكل من الجهدين V_{cc} , V_I تجعل التشغيل بقدرة دقيقة (micro power operation) ممكنا ، رغم أن حدود السرعة النهائية (ulimate speed limitations) كما نتوقعها من معادلة ١–٣ تعتمد على قيم سعة العقدة .

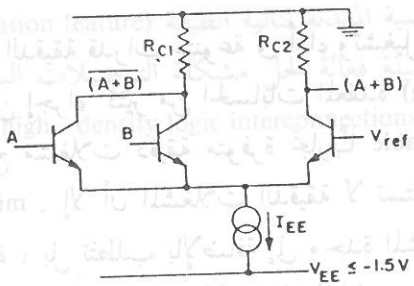
وبمقارنة بوابات المنطق I2L مع بوابات المنطق T2L نلاحظ فارقين أساسيين: انخفاضا كبيرًا فى كل من مركبات الدوائر الفرعية (subcircuit components) ومستويات الجهد (voltage levels) . وقد مهدت تكنولوجيا المنطق I^2L السبيل لتطبيقات أكثر لدوائر LSI/VLSI فى مجال الدوائر الرقمية ثنائية القطبية التى تستخدم حجماً أقل للبوابات واستهلاكاً أقل للقدرة .



شكل ١ – ٥

بوابة T^2L أساسية مع بوابات حث (driving gates) وبوابة تحميل (loading gate)

ويُعد منطق البواعد المتقرنة (Emitter - coupled logic) (ECL) أحدث تكنولوجيا ثنائية القطبية ذات أكبر سرعة إلى الآن . وإذا قارنا المنطق ECL بالعائلات ثنائية القطبية I^2L و T^2L لوجدنا أنه يتجنب تأثيرات النبائط المشبعة (saturated - device effects) عن طريق الحد من التأرجح المنطقى (limiting the logic swing) وتوجيه تيار ثابت عبر مقاومات الأحمال (load resistors) . ويبين شكل ١–٦ البوابة الأساسية NOR/OR ، حيث يحدد المصدران I_{EE} , V_{EE} مستوى القدرة ، بينما يحدد المقاومان R_{c1} و R_{c2} التأرجح المنطقى . ونلاحظ أن الدائرة المبينة فى شكل ١–٦ هى مجرد هيكل البوابة فقط حيث أنه قد حُذِف من الدائرة المرجع الجهد (voltage reference) ، والمصدر التيارى (current source) ، ومتتبِّعوا الباعث عند المخرج (output emitter - followers) . وهذه المركبات الإضافية – كما فى حالة المنطق T^2L – تستهلك مساحة وقدرة ولكنها تضيف مميزات خارج الشريحة لدوائر MSI فقط – (MSI off - chip dvantages) . وكما سنرى بإذن الله فى الفصل الثالث هناك دوائر من النوع ECL على الشريحة on - chip كمنطق دالة الباعث (Emitter - Function (EFL) مثلاً تؤدى وظائف منطقية أكثر لوحدة المساحة (per unit area) ووحدة تبديد المصدر (per unit source dissipation) – إلا أن كلا من العائلات المنطقية ثنائية القطبية ECL/EFL و T^2L لا تستطيع منافسة I^2L من حيث مميزات الكثافة (density advantages) ، خاصة أنه بالنسبة لعائلات ECL/EFL تعد الحاجة لكل من مصدر تيارى ومرجع جهد نقطة ضعف رئيسية فيما يتعلق بالكثافة . ولكن نظرًا لأن



شكل ١ – ٦

بوابة ECL أساسية

الغرض من استخدام ECL/EFL هو أساسًا الاستفادة من مميزات السرعة فإن التضحية فى جانب الكثافة يغطيها غالبًا تحكم التقييدات على قدرة العبوة (dominance of package power limitations) .

وكملاحظة أخيرة فى هذا البند نحب أن نشير إلى أنه من المعتاد أن توجد توافقات مختلفة من العائلات الثلاث السابقة الذكر على نفس الشريحة الواحدة ، ويكون لها مميزات وظيفية رئيسية . وفى مجال الدوائر المتكاملة متوسطة المدى MSI يعد التحويل من المنطق ECL إلى المنطق T^2L والعكس من الوظائف الضرورية .

ولتحقيق وظائف الدوائر LSI المتوائمة مع المنطق T^2L (T^2L - compatible LSI functions) وذلك بتضحيات بسيطة فى السرعة فمن الممكن أن نستخدم مستويات منطقية منخفضة على الشريحة (reduced on-chip logic levels) مع المنطق I^2L ، مع استعمال عَزْل T^2L عند الإدخال / الإخراج (input/ output T^2L buffering) . وكمثال آخر نذكر توافق المنطق I^2L مع المنطق EFL . وفى هذه الحالة من الواضح أننا نحتاج الأداء ECL/EFL ولكن لوظائف التحكم غير الحرجة (noncritical control functions) فإن بوابات I^2L تؤدى إلى توفير كبير فى كل من القدرة والمساحة .

والبند التالى يناقش مثالاً لشريحة معينة تستخدم كلا من I^2L , EFL . والشريحة عبارة عن عداد عام 100 MHz متعدد المسجلات (100 - MHz multiple - register universal counter) .

١-٥ مثال : شريحة العداد متعدد المسجلات (MRC)

Example: Amultiple - register - counter (MRC) chip

أصبح للمشغلات الدقيقة قدرات متنوعة فى أداء وتشغيل العديد من منتجات العدادات الحديثة . ويمكن إجراء كثير من الحسابات المعقدة (intricate computing) باستخدام مجموعة شرائح مشغلات دقيقة متوفرة تجاريًا (commercially available microprocessor chip sets) . إلا أن المشغلات الدقيقة لا تستطيع بمفردها أن تنفذ الوظائف الحسابية المعقدة ، بل تتطلب بالإضافة إلى وحدة المشغل (processor unit) عناصر متنوعة للدائرة – رقمية وتناظرية – لاستقبال البيانات وتخزينها وإعادة توليدها (regeneration) وذلك للأطوار (phases) المختلفة ، وكذلك لأداء أنواع مختلفة من وظائف القياس (measuring functions) .

وهذه العناصر – كمجموعة – تغطى مدى واسعًا من متطلبات الأداء (performance requirements) . وللوصول بأدائها إلى الوضع الأمثل فمن المرغوب فيه كثيرًا – إن لم يكن من اللازم – استخدامها فى شريحة IC خاصة . ولهذا الغرض فقد تم تطوير شريحة LSI ثنائية القطبية للمستخدِم تُعرف باسم العداد متعدد المسجلات (Multiple - register counter) (MRC) وذلك للجيل الحديث من منتجات العدادات التى يمكن التحكم فيها بالمشغلات الدقيقة (microprocessor controlled counter products) . وباستثناء الجهاز المتحكِّم (controller) (أى المشغِّل الدقيق Microprocessor) ودائرة العرض (display circuitry) ، ومكبرات الإشارة عند المدخل (signal input amplifiers) ، ومنبع القدرة للآلة (instrument power supply) ، فإن جميع الدوائر المطلوبة لأداء جميع الوظائف الحسابية اللازمة تكون موجودة فى الشريحة MRC .

ويعتمد قرار استخدام الشريحة MRC فى عملية تشغيل الدوائر LSI ثنائية القطبية أساسًا على ثلاثة عوامل :

الأول :يمكن للعملية أن تستخدم عائلات منطقية مختلطة لها خواص أداء متنوعة (divergent performance characteristics) ، فتستخدم منطق دالة الباعث (emitter function logic) (EFL) (انظر الفصل الثالث) ومنطق الحقن المتكامل (I^2L) (integrated injection logic) .

الثانى : يمكن للعملية أن تستخدم أشكالاً تكوينية لدوائر متنوعة (miscellaneous circuit configurations) رقمية وتناظرية .

الثالث :تعطى خاصية المعدنة ثنائية الطبقة (dual - layer metallization feature) فى العملية وسيلةً فعالة لحل مشكلة التوصيلات البينية المنطقية عالية الكثافة (high - density logic interconnections problem) .

١-٥-١ شريحة الحصول على البيانات

A Data - Aquisition Chip

صُممت شريحة MRC بصورة خاصة للاستخدام فى العداد العام (universal counter) . وتؤدى الشريحة جميع وظائف الحصول على البيانات فى العداد العام أو جهاز التوقيت (timer) العام عندما يتم التحكم فيها بواسطة مشغل دقيق . ومن أجل مرونة الأداء فى الآلة (instrument performance flexibility) وبساطة تصميم الشريحة (chip design simplicity) لم يشتمل العداد MRC على ما يقوم بالحسابات على البيانات (data computation features) ، وبدلاً من ذلك فإن المشغِّل هو الذى يقوم بإجراء جميع الحسابات اللازمة بينما تقوم شريحة MRC بمده ببيانات القياسات (measurement data) .

ونلاحظ أن MRC لم يصمم لعداد واحد فقط وإنما لعدد من منتجات العدادات المختلفة ومتطلبات أداء متنوعة . ولذلك فإن قدرته على الأداء كبيرة ومرنة . وبناءً على نوع المشغِّل والدوائر المصاحبة المستخدمة فإن MRC له مدى واسع من القدرة على إجراء القياسات المختلفة كقياسات الأنماط المختلفة من التردد (different modes of frequency) ، والدورة أو الفترة (period) ، والفترة الزمنية (time interval) ، والنسبة (ratio) ، والإجمال (totalizing) ، وقياسات أخرى .

١-٥-٢ البنية متعددة المسجلات

Multiple - Register Structure

ترجع التسمية « العداد متعدد المسجلات » «multiple - register counter» إلى الترتيب المنطقى للشريحة (chip's logic organization) ، حيث البنية تشتمل على عدة مسجلات على التوازى (parallel multiregister structure) . ويعطى شكل ١-٧ المخطط الوظيفى الأساسى للعداد MRC ، حيث تعمل المسجلات الأربعة : E (الحدث) (event) و T (مرجع التوقيت) (timing reference) و C (التحكم) (control) و S (الحالة) (status) على التوازى للوصول إلى الإدخال /الإخراج (I/O access) .

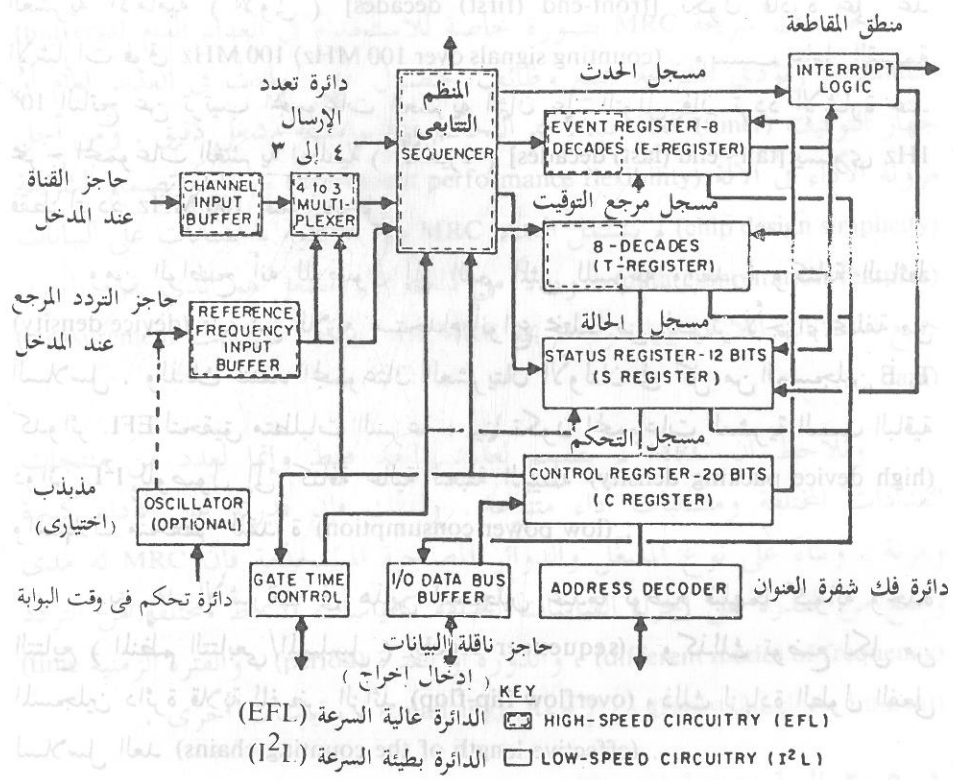
وكل من المسجلين T, E عبارة عن سلسلة من ثمان مجموعات عشرية (أى كل مجموعة من عشر وحدات) (chain of eight decades) ، حيث المجموعات العشرية الأمامية (الأولى) [front-end (first) decades] تكون قادرة على عَدِّ الإشارات فوق 100 MHz (counting signals over 100 MHz) . وبسبب عامل القسمة 10^8 الناتج عن ترتيب المجموعات العشرية الثمان على التوالى فإن تردد الإشارة عند مخرج المجموعات العشرية الخلفية (الأخيرة) [tail - end (last) decades] يساوى 1Hz فقط لتردد 100 MHz عند المدخل .

ومن الواضح أنه للوصول إلى القيم المثلى للسرعة والقدرة وكثافة النبائط (device density) فإنه من اللازم استخدام أنواع مختلفة من الدوائر لأجزاء مختلفة من السلاسل . ولذلك فتنفذ المجموعتان العشريتان الأولتان فى كل من المسجلين T, E كدوائر EFL لتحقيق متطلبات السرعة ، بينما تكون المجموعات العشرية الست الباقية دوائر I^2L للوصول إلى كثافة عالية لتعبئة النبيطة (high device packing density) واستهلاك منخفض للقدرة (low power consumption) .

ويتم عد الإشارات فى هذين المسجلين عندما توضع قبلهما كبوابة وحدة التتابع (المنظِّم التتابعى/المسلسِل) (sequencer block) . وكذلك توضع لكل من المسجلين دائرة قلابة للفيض الزائد (overflow flip-flop) وذلك لزيادة الطول الفعلى لسلاسل العد (effective length of the counting chains) .

وأما مسجل التحكم C والذى يشتمل على ٢٠ رقم (20 bits) فيعمل كحاجز تخزين (storage buffer) لتعليمات البرنامج المستقبلة من المشغِّل عبر وحدة الإدخال /الإخراج (I/O block) .

وكما يشير اسم المسجل فإنه يتحكم فى التشغيل العام لشريحة MRC . وبصورة محددة فإن وظائف (jobs) هذا المسجل C هى تحديد النمط الخاص لوظائف القياس (particular mode of the measuring functions) ، وضبط تزامن صحيح وتوقيت سليم للمنظِّم التتابعى (set up proper synchronization and timing of the sequencer block) ، وتنفيذ عملية إعادة الضبط (carry out the reset routine) قبل بدء أى عملية قياس .



شكل ١ – ٧

المخطط الوظيفى لشريحة العداد متعدد المسجلات (MRC)

ويتم تسجيل (recording) الحالة التشغيلية (operational status) للعداد MRC [بما فى ذلك الفيض الزائد لمسجلى العد T, E ، ومقاطعات القياسات وانتهاء وقتها (measurement interrupt and time - out) ، ...] فى مسجل الحالة S ذى الاثنى عشر رقما (12 bits) ، ويكون جاهزًا للمشغِّل عند الطلب .

ولتقليل عدد أطراف التوصيلات فى العبوة لأقل قيمة ممكنة (to minimize package pin count) فإن ناقلة الإدخال /الإخراج ذات الأربعة أرقام (four-bit I/O bus) تكون ثنائية الاتجاه (bidirectional) (انظر شكل ١–٧) . والناقلة يشترك فيها المسجلات الأربعة . ويمكن اختيار أىٍّ منها عن طريق وحدة فك شفرة العنوان (address decoder block) . ويستخدم المسجل C الناقلة لوظيفة إدخال البيانات (data input function) ، أى لوظيفة الكتابة (write function) ، بينما يستخدم المسجلات E,T,S الناقلة لوظيفة إخراج البيانات (data output function) ، أى لوظيفة القراءة (read function) . فإذا ما طُلِبت (requested) وظيفة قراءة أو كتابة ، واختير مسجِّل معين ، يتم الوصول فورًا وعلى التتابع (sequentially) إلى المجموعات العشرية الفردية (individual decades) فى حالة المسجلين T, E ، أو إلى الكلمات الفردية (individual words) فى حالة المسجلين S, C ، وذلك عن طريق مسح (scanning) الدائرة المنطقية لاختيار القضمة (وهى الكلمة ذات الأربعة أرقام) ٣ إلى ٨ (3-to-8 nibble - select logic) داخل وحدة فك شفرة العنوان .

١–٥–٣ الوظائف البوابية

Gating Functions

تُعد الوحدة المنطقية للمنظم التتابعى (الوحدة التتابعية) (sequencer logic black) أهم وحدة من بين جميع الوحدات الوظيفية فى العداد MRC وذلك بالنسبة لقدرة الشريحة على العد المعقد (complex counting capability of the chip) . وفى هذه الوحدة التتابعية عنصران رئيسيان يمكنان MRC من التميز فى الأداء ، وهما : أسلوب تزامن بوابى (gating synchronization technique) معين ، وتنفيذ هذا الأسلوب باستخدام الدوائر المنطقية EFL ودوائر أخرى فى عملية LSI ثنائية القطبية وعالية السرعة .

ويشتمل الأسلوب البوابى على ثلاثة مراحل (stages) من التزامن المتتابع : التزامن الذراعى (arming synchronization) ، والتزامن البوابى للمسجل E (synchronization for synchronization) ، والتزامن البوابى للمسجل T . وهذا النظام يعطى أقصى دقة قياس بمعنى أن خطأ القياس لا يتجاوز ± ١ من عد (count) تردد الإدخال (input frequency) أو تردد مذبذب المرجع (reference oscillator frequency) أيهما أعلى .

وتتميز عملية LSI ثنائية القطبية بمعدنة ثنائية الطبقة (dual - layer metallization) ، وهذه تقلل الطفيليات على الشريحة ، كما تتميز بتردد f_τ يساوى 1 GHz للتحويل السريع للنبيطة (fast device switching) .

ويقوم كل من حاجز الإدخال ثلاثى القنوات عالى السرعة (high - speed three-channel input buffer) وجهاز تعدد الإرسال (الاتصال) ٤ – إلى – ٣ عالى السرعة (high - speed 4-to-3 multiplexer) بتكملة عمل الوحدة المنطقية للتنظيم التتابعى ، حيث يتم استقبال الإشارات المطلوب قياسها عبر مداخل القناة ، ثم يتم توجيهها إلى مسجلى العد T,E (أو أحدهما) عن طريق جهاز تعدد الاتصال والمنظم التتابعى . وتعد وحدة تعدد الاتصال هى المسئولة عن توجيه الإشارة إلى المسار الصحيح بناء على وظيفة (دالة) القياس المختارة (selected measuring function) ، بينما تعد وحدة المنظم التتابعى هى المسئولة عن التزامن البوابى .

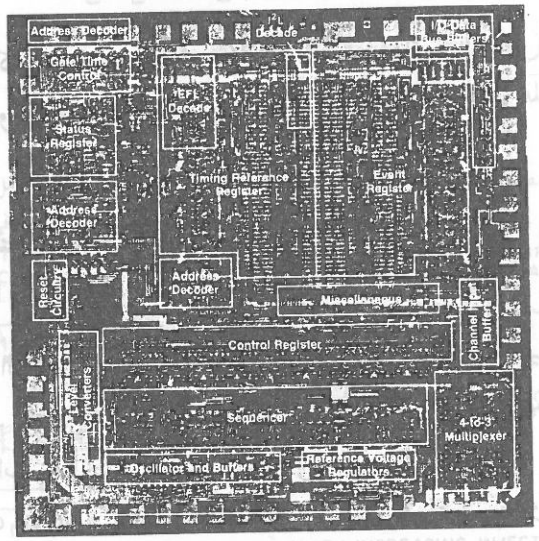
١–٥–٤ متطلبات تصميم الدائرة والقناع

Circuit - and Mask - Design Requirements

لا يعد تنفيذ العداد MRC عملاً بسيطًا وذلك بسبب المتطلبات العديدة والمتنوعة لأداء الدائرة ، بما فى ذلك المدى الواسع لسرعة النبيطة ، والكثافة المتغيرة للتعبئة ، واستخدام مزيج من العائلات المنطقية ، واستعمال توافقات مختلفة عديدة من الدوائر الرقمية والتناظرية على الشريحة ، وحدود الضوضاء الضيقة (narrow noise margins) (بسبب جهد المصدر المنخفض المستخدم) . وبالإضافة إلى الوصول إلى عناصر رقمية وتناظرية للدائرة لتنفيذ وظائفها المختلفة ، فقد بُذل كذلك جهد هندسى كبير فى عملية تخطيط (planning) وتصميم توبولوجيا (أى التركيب البنائى لنظام) القناع (mask topology) .

وقد وُجِّه الاهتمام بصورة خاصة لمسألة تقليل (minimization) التقارن التبادلى (cross coupling) بين إشارات الإدخال المتجاورة عالية السرعة (adjacent high - speed input signals) لأقل قيمة ممكنة ، وذلك للتمهيد لتوصيلات أرضية مناسبة (adequate ground connetions) من أجل تقليل انخفاض IR (drop) لوحدات دائرة I^2L الحساسة لجهد الأرض (I^2L circuit blocks (ground - potential - sensitive) وذلك للتخفيف من مشاكل الانحدار الحرارى (heat - gradient problems) الناتجة عن عدم تساوى استهلاك القدرة فى الأنواع المختلفة من الدوائر فى المواضع المختلفة من الشريحة ، من أجل ضمان حدود ضوضاء معقولة عن طريق توليد جهود مرجع – على الشريحة – ذات تعويض لدرجة الحرارة (on - chip temperature - compensated reference voltage) فى دوائر EFL ، وأيضًا لإعطاء وسائل اختبار إضافية (additional test probe pads) لتقليل الوقت الطويل الذى يُستغرق عادة فى اختبار سلاسل المجموعات العشرية العديدة (testing multidecade chains) .

ويبين شكل ١–٨ صورة ضوئية دقيقة (photomicograph) لشريحة MRC .



شكل ١ – ٨

صورة ضوئية دقيقة لشريحة MRC وفيها تُستخدم دوائر EFL حيث تحتاج السرعة العالية ، بينما يستخدم المنطق I^2L حيث تطلب استهلاك القدرة المنخفض والكثافة العالية .

وبالإضافة إلى العناصر المنطقية المعتادة – كالبوابات المنطقية متعددة المداخل والدوائر القلابة والمجموعات العشرية .. الخ – التى تستخدم بكثرة فى دوائر EFL أو I^2L فى أرجاء الشريحة ، فهناك مجموعة متنوعة من دوائر أخرى – رقمية وتناظرية – لأداء وظائف خاصة (special - function circuits) تستخدم فى العداد MRC . وتشمل الدوائر الرقمية أنواعًا عديدة من حواجز الإدخال /الإخراج (I/O buffers) ، وأجهزة تعدد الإرسال عالية السرعة وبطيئة السرعة ، ودوائر تأخير (delay circuits) متنوعة لأغراض التوقيت (timing) ، ومحركات (أجهزة حث) ساعة مكمِّلة لأغراض خاصة (special purpose complementary clock drivers) ، وأجهزة فك شفرة المصفوفات (matrix decoders) ، ومحولات (أجهزة تحويل) مستوى EFL إلى I^2L والعكس (EFL to I^2L level converters and vice versa) .

أما الدوائر التناظرية فتشمل منظمات دقة الجهد (precission voltage regulators) ، وقادحات « شميت » (Schmitt triggers) ، ومذبذبات (oscillators) ، ومكبِّرات تفاضلية (differential amplifiers) ، وكاشفات مستوى الجهد (voltage - level detectors) .

وسنناقش أكثر فيما يلى دوائر MRC التالية : دائرة التأخير الزمنى (timing delay circuit) ، ودائرة فك شفرة المصفوفة ، ودائرة تحويل المستوى (level converter) .

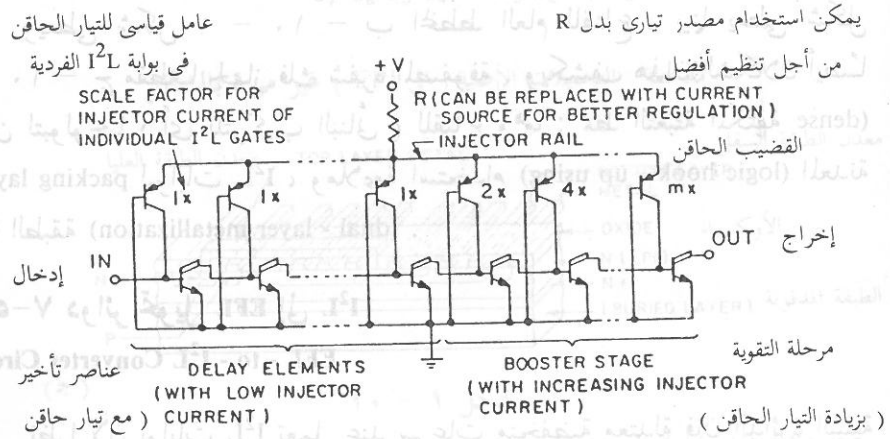
١–٥–٥ دائرة التأخير I^2L
I^2L Delay Circuit

تُنفذ دائرة التأخير الزمنى باستخدام بوابات I^2L منخفضة التيار (low - current I^2L gates) . وقد واجه مصممو الدوائر المتكاملة فى الماضى صعوبات فى تنفيذ عناصر الدوائر ذات التأخير الطويل – والتى يمكن التحكم فيها جيدًا – (well - controlled long - delay circuit elements) باستخدام طرق الدوائر ثنائية القطبية المعتادة (conventional bipolar circuit techniques) . وترجع الصعوبات أساسًا إلى عاملين :

الأول : أن زمن الانتقال (transit time) فى الترانزستورات ثنائية القطبية المعتادة سريع نسبيًا . والثانى : أن صناعة مكثفات (capacitors) ومقاومات (resistors) كبيرة القيمة على الشريحة غير عملية . فنحتاج إلى دائرة متوسطة التعقيد (moderately complex circuit) وتحكم دقيق فى التشغيل لتوليد تأخير فى الإشارة (signal delay) لا يتجاوز عدة ميكروثوانى (أى أجزاء من المليون من الثانية) (few microseconds) . وإذا أردنا تأخيرًا أطول فنحتاج عادة إلى تقليم (تشذيب) (trimming) RC خارج الشريحة .

أما إذا استفدنا من تأخير الانتشار البطىء الداخلى (intrinsically slower propagation delay) فى ترانزستورات I^2L ، وتحكمنا بصورة مناسبة فى قيمة تيار الحاقن (injector current) فى بوابات I^2L ، فإن دائرة تأخير MRC المنفذة ببوابات I^2L خاصة متصلة على التوالى تعطى أوقات تأخير (delay times) بالميللى ثوانى (أى أجزاء من الألف من الثانية) (milliseconds) وليس فقط بالميكروثوانى – ويبين شكل ١–٩ الدائرة البسيطة نسبيًا ، حيث التأخير دالة فقط فى عدد بوابات I^2L المتصلة على التوالى المستخدمة ، وقيمة تيار الحقن فى كل من هذه البوابات .

وإذا أردنا تأخيرًا طويلاً فيجب الاحتفاظ بقيمة تيار الحقن أقل ما يمكن بالنسبة لسلسلة التأخير (delay string) كلها . ولكن من أجل حثّ (drive) مناسب



شكل ١ – ٩

دائرة تأخير I^2L تأخيرات فى حدود الميللى ثوانى

لوحدات الدوائر الأخرى فيجب أن تزداد قيمة تيار الحقن فى آخر مقطع (final section) فى سلسلة التأخير ، كما هو مبين فى شكل ١–٩ . وإذا كانت دائرة التأخير مصممة جيدًا فإن زمن التأخير يكون فى حدود ± ٢٠٪ من القيمة المستهدفة (target value) . ويمكن الوصول إلى دقة أكبر إذا استبدلنا بالمقاوم R مصدرًا تياريًا منظَّما جيدًا – (well regulated current source) .

١–٥–٦ دائرة فك شفرة المصفوفة

Matrix Decoder

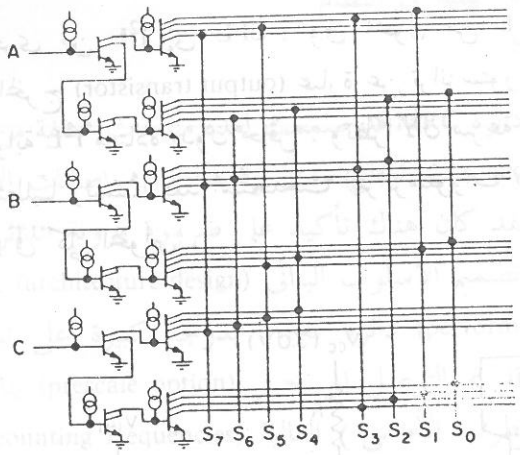
يبين شكل ١–١٠ دائرة فك شفرة العنوان ٣– إلى ٨– (3- to -8 address decoder) ، وهى إحدى الدوائر التى تجد استخدامات مناسبة فى المنطق I^2L . وبسبب المخطط العام للمنظومة فإن ترانزستورات npn العاكسة متعددة المجمعات (multicollector inverse npn transistors) تكون أطول من ترانزستورات بوابات I^2L المعتادة . ولضمان دفع سليم للتيار (proper current drive) نحو المجمعات فى أسوأ وضع (worst - positioned collectors) – وهى أبعد مجمعات عن القضيب الحاقن (injector rail) – فقد استخدم نظام للحقن المزدوج (double - injector scheme) حيث تتواجد القضبان الحاقنة على كل من جانبى نهايات أو أطراف الترانزستورات العاكسة الطويلة npn (flanking)both ends of the npn transistor) .

ويعطى شكل ١ – ١٠ – ب المخطط العام للقناع ، بينما يعطى شكل ١ – ١٠ – ج مقطعًا لجهاز فك شفرة المصفوفة . ويكشف هذان الشكلان أيضًا ميزّتين لتبولوجيا (أى للتركيب البنائى) للقناع وهما : نمط التعبئة المكثفة (dense packing layout) لبوابات I^2L ، وملاءمة استخدام (logic hook - up using) المعدنة ثنائية الطبقة (dual - layer metallization) .

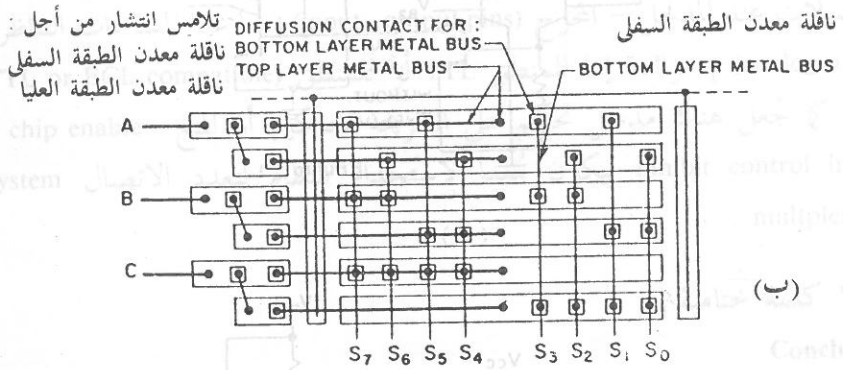
١–٥–٧ دوائر تحويل EFL إلى I^2L

EFL - to - I^2L Converter Circuits

نظرًا لأن بوابات I^2L تعمل عند سرعات منخفضة معتدلة فإن الدائرة البينية (interface) بين بوابات I^2L و EFL تكون عادة بسيطة . ويبين شكل ١–١١ طريقتين مختلفتين لتحويل الجهد (voltage conversion) : الأولى من مستويات EFL

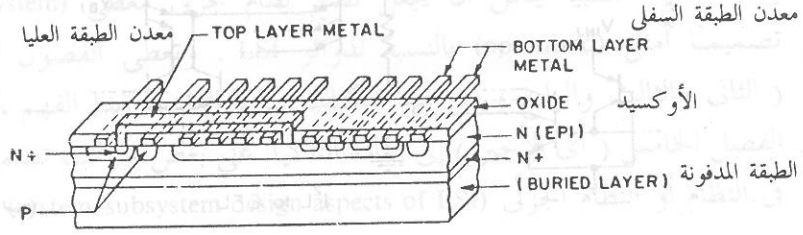


(أ)



(ب)

ملاحظة التوصيلات الأرضية (إلى EPI) غير مبينة بالشكل



(جـ)

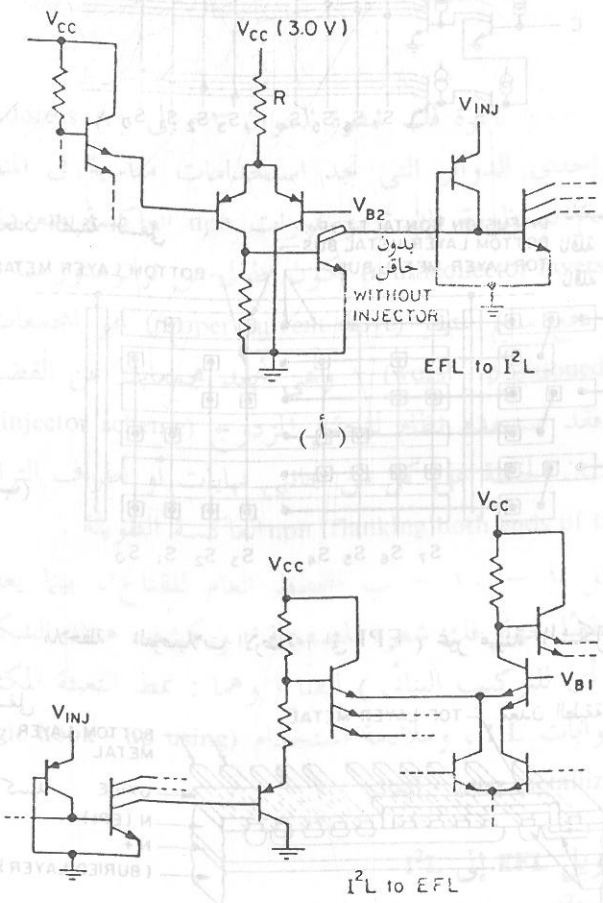
شكل ١ – ١٠

دائرة فك شفرة العنوان ٣ – إلى – ٨ حيث يستخدم نظام للحقن المزدوج

(أ) مخطط الدائرة . (ب) المخطط العام للقناع .

(جـ) مقطع لمحولات مستوى الجهد لمخطط القناع .

إلى I^2L ، والأخرى من I^2L إلى EFL . وفى المحوِّل من EFL إلى I^2L يكون الترانزستور عند المخرج (output transistor) عبارة عن ترانزستور npn عاكس متعدد المجمعات ، أى بوابة I^2L معتادة بدون حاقن . ونظرًا لأن سرعة التحويل (switching speed) ليست متطلبًا رئيسيًا فقد استُخدمت الترانزستورات pnp الجانبية (lateral pnp transistors) فى كلى المحولين .



شكل ١ - ١١

(أ) طريقة تحويل الجهد من EFL إلى I^2L .

(ب) طريقة تحويل الجهد من I^2L إلى EFL .

١-٥-٨ الدائرة البينية فى النظام

System Interface

نظرًا لأن دائرة MRC قد صُممت لعدة منتجات مختلفة من منتجات العدادات (counter products) بحيث تغطى مدى واسعًا من مواصفات الأداء (performance specifications) فقد كان هناك تأكيد على ضرورة مرونة الدائرة البينية (interface flexibility) أثناء تصميم الأسلوب البنائى (architecture design) . وتعتمد قدرة أداء (performance capability) دائرة MRC بدرجة كبيرة على نوع جهاز التحكم (controller) . وقد تم التوصل إلى خيار (prescale option) يناسب ترددات العد الأمامى (عند الطرف الأمامى) العالية (high front -end counting frequencies) والتحليل الممتد (الموسع) (extended resolution) فقد جُعلت جميع أطراف التوصيلات عند المدخل – المخرج (input - output pins) [ما عدا المساحات التناظرية (analog areas)] موائمة إما للمنطق TTL أو للمنطق (TTL or ECL compatible) ECL كما جُعل هناك مدخل تحكم على الشريحة للتمكين أو المنع - (a chip enable inhibit control input) ليكون مُعَدا لاستخدام النظام لتعدد الاتصال (system multplexing) .

١-٦ كلمة ختامية

Conclusion

يوضح مثال العداد MRC نقطة هامة وهى أن فهم ما يمكن أن تعطيه كل عائلة رقمية ثنائية القطبية يمكن أن يجعل تصميم نظام جزئى معطى (given subsystem) تصميمًا أمثل (optimized) بالنسبة لدوائر LSI . وتعطى الفصول الثلاثة التالية (الثانى والثالث والرابع) من هذا الكتاب المادة اللازمة لهذا الفهم ، ثم نعود فى الفصل الخامس (أى الأخير) إلى إعادة التأكيد على بعض جوانب تصميم دوائر LSI فى النظام أو النظام الجزئى (system/subsystem design aspects of LSI) .

الفصل الثانى

العائلات المنطقية للدوائر المتكاملة

Logic Families for
MSI / LSI : T^2L & ST^2L

٢ – ١ تمهيـــد

يهدف هذا الفصل إلى تقديم الخصائص العامة لأى بوابة منطقية بدلالة : المدخلات والمخرجات وخصائص الانتقال (transfer characteristics) والمستويات المنطقية ، وحدود الضوضاء (noise margins) والمستوى العتبة (المستوى الحدِّى) (threshold level) ، وعددى مروحة الإدخال ومروحة الإخراج (fan in and fan out numbers) أى عدد المداخل (أو عدد قنوات الإدخال) وعدد المخارج (أى عدد تفريعات المخرج) . ثم نتبع ذلك بمناقشة العائلات المنطقية ثنائية القطبية (bipolar) ذات الإنجاز أو الأداء المتوسط (medium performance) والمناسبة بصورة خاصة للدوائـــــر MSI و LSI . ونـــــاقش كذلك بنيـــــات T^2L وقوالب البناء المنطقى (digital building blocks) . وأما المنهج الذى سنتبعه بإذن الله فهو محاولة فهم الإنجازات المنطقية أساسا من منظور تكنولوجيا الدوائر والوسائل المستخدمة ، ولذلك فإن قائمة (menu) القوالب المنطقية ستكون نموذجية أو ممثِّلة (representative) فقط وليست شاملة (exhaustive) وأما مفاهيم النظام (system concepts) فستترك بإذن الله للفصل الخامس .

٢ – ٢ الخصائص العامة للبوابة المنطقية

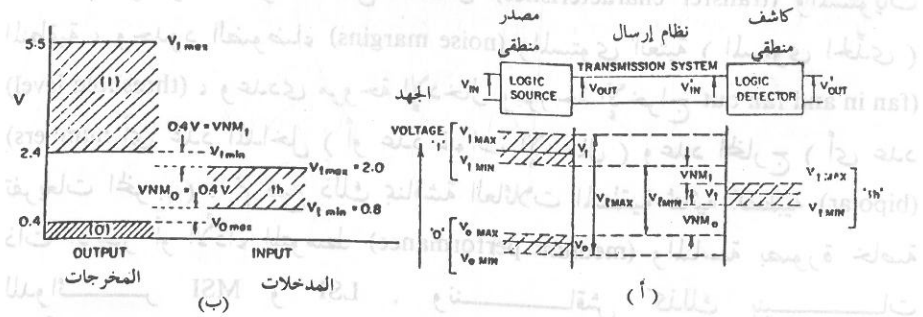
(General Characteiristies of a Logic Gate)

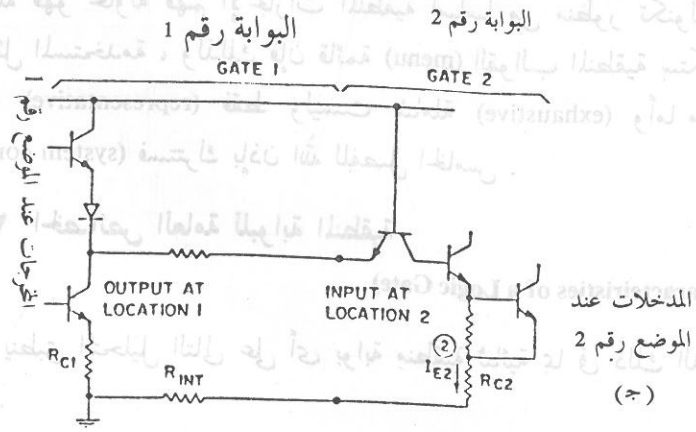
ينطبق التحليل التالى على أى بوابة منطقية ثنائية بما فى ذلك الدوائر الرقمية MOS .

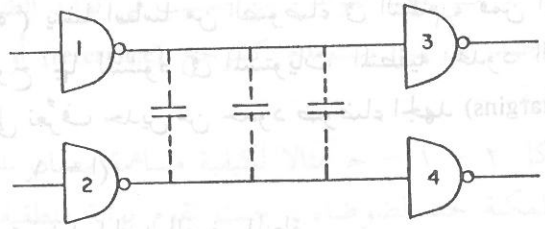
فى أى نظام رقمى يتم إنجاز عمليتين أساسيتين :

الأولى : تنفيذ دالة منطقية عن طريق تعيين متغير منطقى مُخرج بدلالة متغيرات منطقية مدخلة (مثال : بوابة NAND) ، أو عن طريق تعيين متغير منطقى مُخرج بدلالة المتغيرات المنطقية المدخلة وحالة الإخراج السابقة (مثال : الدائرة القلابة Flip flop) .

والعملية الأساسية **الثانية** : نقل أو تحويل إشارة منطقية من قالب منطقى (أو مصدر منطقى) إلى مدخل قالب منطقى آخر أو قوالب أخرى (مكتشف منطقى Logic detector أو مكتشفات منطقية) خلال نظام إرسال (انظر شكل ٢ – ١ – أ) .







(د)

شكل ٢ – ١

(أ) نموذج نظام ومستويات منطقية للدوائر المتكاملة الرقمية .

(ب) المستويات المنطقية المعتادة وحدود الضوضاء للمنطق $T^2 L$.

(جـ) مصادر الضوضاء البينية فى المنطق $T^2 L$.

(د) مصادر ضوضاء التقارن التبادلى بسبب السعات الشاردة بين الخطوط .

ونظام الإرسال هذا إما أن يكون على شريحة (رقاقة) (on-chip) [مثلا : خطوط معدنية (metal lines)] أو بين الشرائح (between chips) [مثلا : على لوحة دائرة مطبوعة printed - circuit board (PCB)] . ويشتمل القالب المنطقى (logic block) عادة على أكثر من مدخل واحد ، ويُستخدم كل مخرج كمدخل لعدد من القوالب المنطقية الأخرى . ويسمى عدد المداخل : مروحة الإدخال (fan-in) ، بينما يسمى عدد المخارج : مروحة الإخراج (fan-out) .

وعند مدخل المكتشف المنطقى (logic detector) يتم اختبار إشارة الجهد (Voltage Signal) بالنسبة للجهد العتبة V_t (threshold voltage) ، وفى حالة القوالب المنطقية غير العاكسة (noninverting logic blocks) إن كان جهد المدخل أكبر من V_t فإن جهد المخرج يكون مساويا 1 منطقيا ، بينما إن كان جهد المدخل أقل من 1 فإن جهد المخرج يكون مساويا 0 منطقيا .

ومن المعلوم أن تحريف (تشويه) (distortion) الإشارة بسبب التوهين (الإضعاف / التخفيف / التضاؤل) (attenuation) أو الضوضاء فى النظام يقلل من الاعتمادية (الوثوقية) (reliability) أى امكانية الاعتماد على النظام . وحيث أن

التحريف (التشوه) ينشأ أساسا من الضوضاء فى النظام ، فمن المناسب أن نشير إلى الحدود المسموح بها للتشوه فى المستويات المنطقية بحدود الضوضاء (noise margins) . وفيا يلى نعرِّف حدين من حدود ضوضاء الجهد (voltage noise margins) (انظر شكل ٢ – ١ – ا)

VNM_0 : حد ضوضاء الجهد للصفر المنطقى

VNM_1 : طحد ضوضاء الجهد للواحد المنطقى

حيث :

$$VNM_0 = V_{t_{min}} - V_{0max}$$

$$VNM_1 = V_{1_{min}} - V_{t_{max}}$$

ويسمى الفارق بين المستويين V_1 , V_0 التأرجح المنطقى (logic swing) V_l . والشكل ٢ – ١ – ب يعطى المستويات المنطقية لبوابات T^2L . ويتحقق بلوغ هذه المستويات لشروط الأحمال المحددة (specified load conditions) ومدى درجات الحرارة (temperature range) المبين . ودائما يكون التأرجح عند مخرج البوابة المنطقية أكبر من الحدود العتبة عن المدخل . وفى شكل ٢ – ١ – ب نرى أن حد الضوضاء فى حالة T^2L يساوى ٠,٤ فولت . وحد الجهد هذا يسمح لبعض الضوضاء أن تضاف إلى جهود أرضية مختلفة أو إلى مخرجات منطقية بسبب التزاوج أو التقارن (coupling) من خطوط مجاورة . وفى الحقيقة تُعد هذه القيمة (٤٠٠ ميللى فولت) لحد الضوضاء صغيرة عندما يُستخدم عدد كبير من بوابات أو دوائر T^2L فى نظام منطقى . وهذا صحيح بصورة خاصة فى حالة لوحة الدائرة المطبوعة (PCB) ، حيث يجب الانتباه إلى ألا تزيد قيمة « ضوضاء أسوأ حالة » (worst case noise) عن هذا الحد . ونظرا لأنه من الصعب التنبؤ بقيمة الضوضاء حيث أنها قيمة إحصائية ، لذلك فإن المحافظة على مستوى معين معلوم من الضوضاء يتطلب عناية خاصة فى التصميم . وكقاعدة تقريبية عامة فإنه يجب الاحتفاظ بقيمة الضوضاء الملاحظة (observable noise) أقل من نصف قيمة حد الضوضاء وذلك لتصميم منطقى يمكن الاعتماد عليه .

ويعد الجهد الأرضى أحد العوامل التى تتسبب فى توليد الضوضاء فى دوائر T^2L حيث أن الجهد الأرضى يستخدم كمرجع (reference) أو منسوب إسناد للمستويات المنطقية .

ويعطى شكل ٢ – ١ – ج مثالا لكيفية مساهمة مصادر الضوضاء المختلفة فى تقليل القيمة الممكنة لحد الضوضاء ، حيث تقوم بوابة منطقية عند الموضع 1 بتشغيل مدخل بوابة أخرى عند الموضع 2 ، وقد وُصِّل مصدر القدرة (power supply) بالأرض عند الموضع 1 . والتيار I_{E2} هو التيار الكلى عند العقدة (node) . ويفيض هذا التيار عبر مقاومة التلامس والتوصيل (connector contact resistance) R_{C2} والمقاومة الأرضية للتوصيل الداخلى (ground interconnect resistance) R_{INT} فيتسبب بذلك فى انخفاض فى الجهد قدره $I_{E2}(R_{INT} + R_{C2})$ ويكون هذا الانخفاض فى الاتجاه الذى يعمل على نقصان حد الضوضاء بالنسبة لمخرج البوابة رقم ١ . وعندما يتم التحويل (switching) فى البوابة 1 فإن القيمة الانتقالية (transient) يمكن أن ينتج عنها تذبذبات (oscillations) فى التوصيلات الداخلية أو التوصيلات البينية (interconnections) مما يتسبب عنها بالتالى نقصان إضافى فى قيمة حد الضوضاء . والتوجيه العام الذى يجب اتباعه للحصول على منطق يمكن الاعتماد عليه هو تقليل المسافات بين البوابات ومحاولة الاحتفاظ بمرجع أرضى ذى مقاومة صغيرة لأى دائرة منطقية على الشريحة (وكذلك فى النظام) . وعندما يكبر حجم الشرائح المنطقية والنظم فإن مسألة المرجع الأرضى تصبح ذا أهمية بالغة واعتبار كبير . ومن الشائع جدا فى النظم المنطقية أن نرى باصات (موصلات عمومية / ناقلات) (buses) أرضية كبيرة تستخدم للمراجع الأرضية ليس فقط للمقاومة الصغيرة ولكن أيضا للمحاثة (inductance) الصغيرة (أساسا بالنسبة للوحات PCB) . وبالنسبة لقياس الدوائر المتكاملة الكبيرة T^2L ICs فإنه كلما قل حجم الموصِّل وجب الاهتمام أكثر بالمرجع الأرضى .

ومن المصادر الأخرى للضوضاء فى الدوائر المتكاملة T^2L ICs الضوضاء الناتجة عن التقارن (التزاوج) التبادلى (التقاطعى) (cross coupling) للإشارات . فمن المعلوم أن أى خطى إشارة (signal lines) قريبين من بعضهما البعض (سواء على شريحة on-chip أو خارجها off-chip) سيكون بينهما سعة شاردة (stray capacitance) ذات قدر معين ، كما هو مبين فى شكل ٢ – ١ – د) . فإذا تحوَّل مخرج البوابة 2 من القيمة

العالية (high) إلى القيمة المنخفضة (low) فإن مخرج البوابة 1 تنخفض قيمته بمقدار $\triangle V$ ، حيث أن الجهد عبر سعة التقارن (coupling capacitance) لا يمكن أن يتغير لحظيا . وهذا التغير $\triangle V$ ومدته (duration) يحددهما : زمن سقوط (fall time) البوابة 2 ، وقيمة السعة الشاردة ، والمعاوقة (impedence) المكافئة لمعاوقة الإخراج للبوابة 1 على التوازى مع معاوقة الإدخال للبوابة 3 .

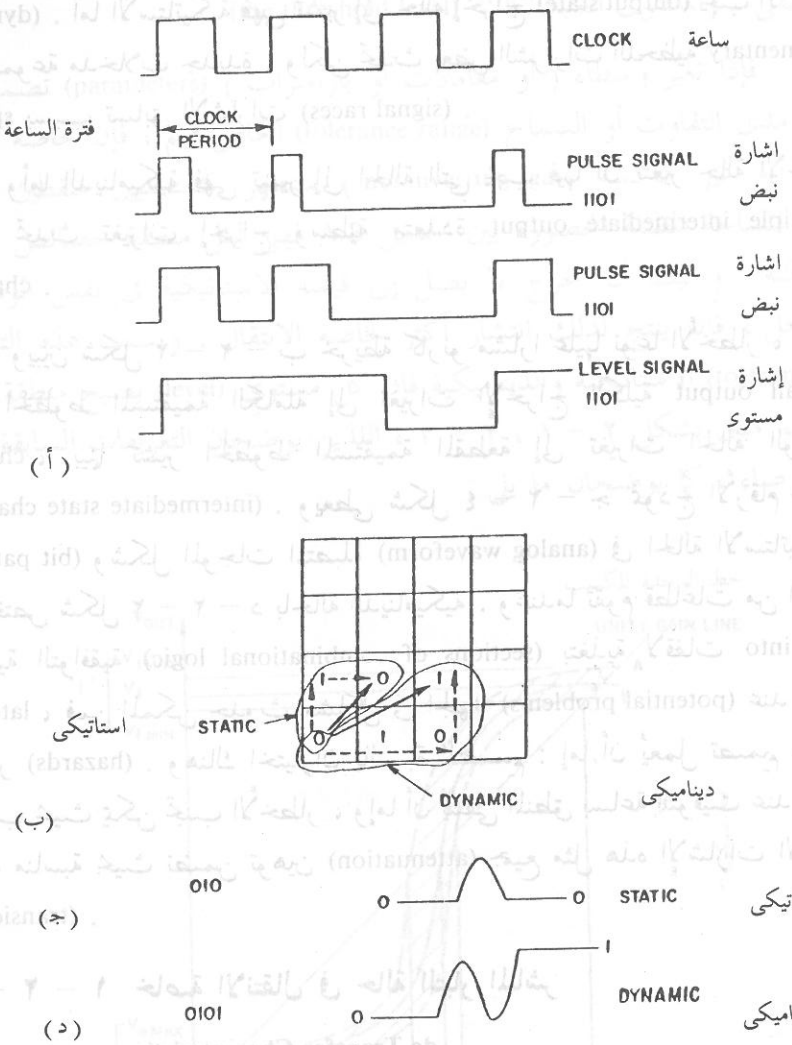
فإذا كان فرق الجهد $\triangle V$ كبيرا بدرجة كافية ومعتمدا على الجهد العتبة للبوابة 3 ، فقد يحدث انتقال منطقى خاطىء (faulty logic transition) عند مخرج البوابة 3 وعموما فإن البوابات ذوات معاوقات الإدخال الكبيرة تكون أكثر عرضة للضوضاء من البوابات ذوات معاوقات الإدخال الصغيرة .

وفى النظم الرقمية يتم تحديد الإشارات المنطقية خلال فترات أو لحظات زمنية (time slots) معينة ، وذلك من أجل تقليل آثار الضوضاء والاخطار المنطقية (logical hazards) .

ويتم تعيين هذه الفترات الزمنية باستخدام إشارة تحديد الوقت (timing signal) ، ويطلق على هذه الإشارة « الساعة » (clock) . وخلال هذه الفترات الزمنية فإن الإشارة المنطقية قد تكون إشارة مستوى (level signal) أو اشارة نبض (pulse signal) (انظر شكل ٢ – ٢ – أ) ، وغالبا ما تُستخدم إشارات المستوى . وإشارة المستوى عند أحد المستويين الثنائيين (binary levels) تمثل الوحدات الثنائية للمعلومات (bits of information) : الصفر 0 أو الواحد 1 . وأى من هذين المستويين قد يكون جهدا أو تيارا أو طاقة أو معاوقة . إلا أنه فى حالة الدوائر T^2L ICs يُستخدم مستويا الجهد V_0, V_1 . والتمثيل المعتاد للجهد (typical voltage representation) هو النظام المنطقى الموجب (positive logic system) حيث يُعد الواحد المنطقى "1" (logical) موجبا بالنسبة للصفر المنطقى "0" ، بينما فى النظام المنطقى السالب (negative logic system) يُعد الواحد المنطقى 1 سالبا بالنسبة للصفر المنطقى 0 .

وبالرغم من استخدام الإشارات ذات التوقيت (clocked signals) (إشارات الساعة) فإنه يجب الاهتمام بألا تؤثر الأخطار الانتقالية (transient glitches / hazards) على العمليات المنطقية . ومن أجل بلوغ أكبر سرعة ممكنة فمن المفيد السماح بإنجاز عدة عمليات منطقية بين الدورات الزمنية ذات ساعة التوقيت (clock cycles) بشرط

ألا يسمح للنتائج الوسطية الخاطئة (erroneous intermediate results) بالمرور خلال ساعة التوقيت (clocked on) إلى قوالب أخرى . وأثناء مرور الإشارات عبر البوابات



شكل ٢ – ٢

(أ) اشارة نبض وإشارة مستوى .
(ب) خريطة كارنو مبيَّن عليها الأخطار المحتملة .
(جـ) شكل موجة الخطر الاستاتيكى .
(د) شكل موجة الخطر الديناميكى .

المتعددة (multiple gates) فإن هناك احتمال حدوث أخطار (hazards) . ومن هذه الأخطار نوعان يعرفان باسم الأخطار الاستاتيكية (static) والأخطار الديناميكية (dynamic) . أما الاستاتيكية فهى تشير إلى حالة إخراج (output state) يجب ألا تتغير لأى مجموعة مدخلات جديدة ، ولكن تحدث بعض الشرارات اللحظية (momentary splikes) بسبب تسابق الإشارات (signal races) .

وأما الديناميكية فهى تشير إلى الحالة التي يجب فيها أن تتغير حالة الإخراج ولكن تحدث تغيرات إخراج وسطية متعددة (multiple intermediate output changes) .

ويبين شكل ٢ – ٢ – ب خريطة كارنو مشارا عليها نوعا الأخطار ، حيث تشير الخطوط المستقيمة الكاملة إلى تغيرات الإخراج الكلية (overall output change) ، بينما تشير الخطوط المستقيمة المقطعة إلى تغيرات الحالة الوسطية (intermediate state changes) . ويعطى شكل ٤ – ٢ – جـ نموذج الأرقام الثنائية (bit pattern) وشكل الموجات المتصلة (analog waveform) فى الحالة الاستاتيكية ، بينما يختص شكل ٢ – ٢ – د بالحالة الديناميكية . وعندما تقوم قطاعات من الدوائر المنطقية التوافقية (sections of combinational logic) بتغذية لاقفات (feed into latches) ، فمن الممكن حدوث مشاكل فى الجهد (potential problems) عند وجود أخطار (hazards) . وهناك اختياران بالنسبة للتصميم : إما أن يُعمل تصميم منطقى مناسب بحيث يمكن تجنب الأخطار ، وإما أن يُتَّقى المنطق بساعة التوقيت عند فترات زمنية مناسبة بحيث نضمن توهين (attenuation) جميع مثل هذه الإشارات الانتقالية (transients) .

٢ – ٢ – ١ خاصة الانتقال فى حالة التيار المباشر

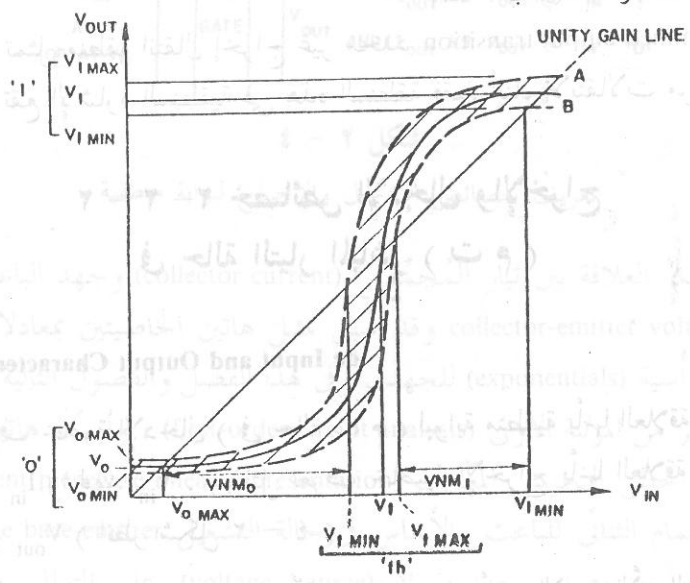
dc Transfer Characteristic

لاحظنا سابقا أنه قد تم تحديد تعريفات حدود الإشارة والضوضاء (Signal and noise margin definitions) بالنظر إلى كل من نظام الإرسال والمداخل والمخارج . وكبديل لهذا فإن العلاقة البوابية للإدخال والإخراج – (input - output gate relationship) (أو ما يُعرف بخاصة الانتقال فى حالة التيار المباشر) تعطينا أيضا معلومات عن النظام (انظر المرجعين 2 , 1 بنهاية الفصل) . ونلاحظ فى شكل

٢ – ٣ أن خط الوحدة للكسب (unity gain line) (والذى ميله يساوى الوحدة) يقطع منحنى خاصية الانتقال عند ثلاث نقاط : الصفر "0" المنطقى ، والواحد "1" المنطقى ، والمستوى العتبة "th" (the threshold level) .

فإذا تغيَّر وسطاء (أو معاملات أو بارامترات) (parameters) تصميم معين عبر مدى التفاوت أو السماح (tolerance range) الخاص بهم ، فإن خاصة الانتقال (لبوابة غير عاكسة noninverting gate) ستظهر كمنحنيين منقطين A,B . وأما المساحة المظللة المحصورة بين الحدين A,B فهى تمثل منطقة خصائص الانتقال الممكنة . وحيث أن المخرج لا يصل إلى قيمته الاستاتيكية فى نفس الوقت مع المدخل ، فإنه ينتج لذلك انتشار أكثر لخاصة الانتقال . وبسبب هذه التفاوتات (tolerances) الاستاتيكية والديناميكية فإن كل مستوى (level) يصبح منطقة (zone) كما هو مبين بشكلى ٢ – ١ ، ٢ – ٣ ، اللذين يوضحان التعريفات السابقة لحدود الضوضاء ، كما يوضحان ما يلى :

خط الوحدة للكسب



شكل ٢ – ٣

منحنى خاصية الانتقال (ت . م) لوحدة منطقية غير عاكسة

(أ) عندما يكون المدخل فى المنطقة

$$V_{0_{min}} \leq V_{in} \leq V_{t_{min}}$$

فإن المخرج يكون فى نفس المنطقة

$$V_{0_{min}} \leq V_{out} \leq V_{t_{max}}$$

(ب) عندما يكون المدخل فى المنطقة

$$V_{t_{max}} \leq V_{in} \leq V_{1_{max}}$$

فإن المخرج يكون فى نفس المنطقة

$$V_{t_{max}} \leq V_{out} \leq V_{1_{max}}$$

أى أن الدائرة سوف تحتفظ بقيمتين محددتين :

''1'' فوق $V_{t_{max}}$ و ''0'' تحت $V_{t_{min}}$. وأما المنطقة

$$V_{t_{min}} \leq V_{out} \leq V_{t_{max}}$$

فهى تمثل منطقة انتقال إخراج غير محدد (undetermined output transition region) ، وتقع الإشارة المنطقية فى هذه المنطقة فقط أثناء الانتقالات من مستوى لآخر .

٢ – ٢ – ٢ خصائص الإدخال والإخراج فى حالة التيار المباشر (ت م)

dc Input and Output Characteristics

تُعرَّف خاصة الإدخال (فى حالة ت م) لبوابة منطقية بأنها العلاقة التى تربط بين التيار I_{in} والجهد V_{in} . وبالمثل تعرف خاصية الإخراج بأنها العلاقة التى تربط بين I_{out} و V_{out} (انظر شكل ٢ – ٤) .

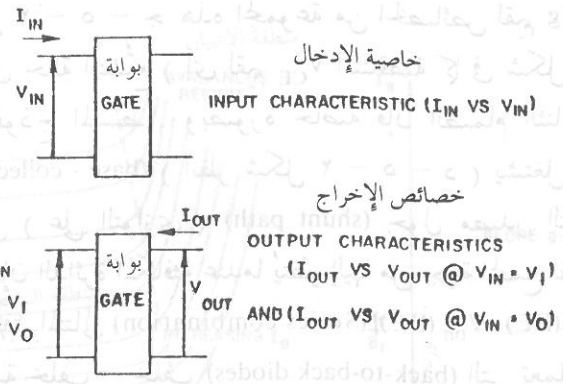
وتفيد هاتان الخاصيتان فى تحديد شروط أو حالات الأحمال (loading conditions) ، وأقصى مروحة إخراج (maximum fan-out) والمستويات المنطقية ، وحدود الضوضاء لبوابة منطقية .

٢ – ٣ الترانزستور ثنائى القطبية كأداة تحويل

The Bipolar Transistor as a Switching Device

هناك علاقتان (فى حالة ت م) لهما أهمية خاصة لفهم الدوائر الرقمية ثنائية القطبية . وهاتان العلاقتان هما :

(أ) العلاقة بين تيار الأساس (القاعدة) I_B (base current) وجهد الباعث (القاذف) والأساس V_{BE} (base - emitter voltage) .



شكل ٢ – ٤

تعريف خصائص الإدخال والإخراج لبوابة منطقية

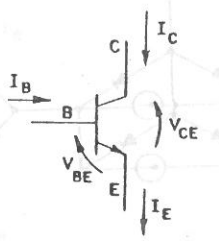
(ب) العلاقة بين تيار المُجَمِّع I_c (collector current) وجهد الباعث والمجمِّع V_{CE} (collector-emitter voltage) وقد سبق تمثيل هاتين الخاصيتين بمعادلات تشتمل على دوال أُسية (exponentials) للجهد . وفى هذا الفصل والفصول التالية سنستخدم تحليل دوائر من المرتبة الأولى (first-order circuit analysis) ، ونُبسِّط هاتين العلاقتين إلى التمثيل الخطى التجزيئى المكافىء (equivalent piecewise linear representation) . فمثلا الصمام الثنائى للباعث والأساس فى حالة التشغيل (''on''-state base-emitter diode) يصبح مصدر جهد V_{on} (voltage source) على التوالى مع موصِّل (Conductance) g_π وهو عبارة عن ميل (slope) منحنى العلاقة (الخاصية) $I_\beta - V_{\beta E}$ عند نقطة انحياز (bias point) حيث $I_\beta = I_c / \beta_F$.

وأما خاصية (I_c characteristics) فلها تمثيلان ممكنان لحالة التشغيل : الصيغة النشطة (الفعالة) (active mode) وصيغة التشغيل المشبَّع (saturated operation mode) وكما رأينا سابقا فإن تمثيل الصيغة النشطة عبارة عن مولِّد تيار تابع (معتمِد) (dependent current generator) يمكن تمثيله بإحدى المعادلتين التاليتين :

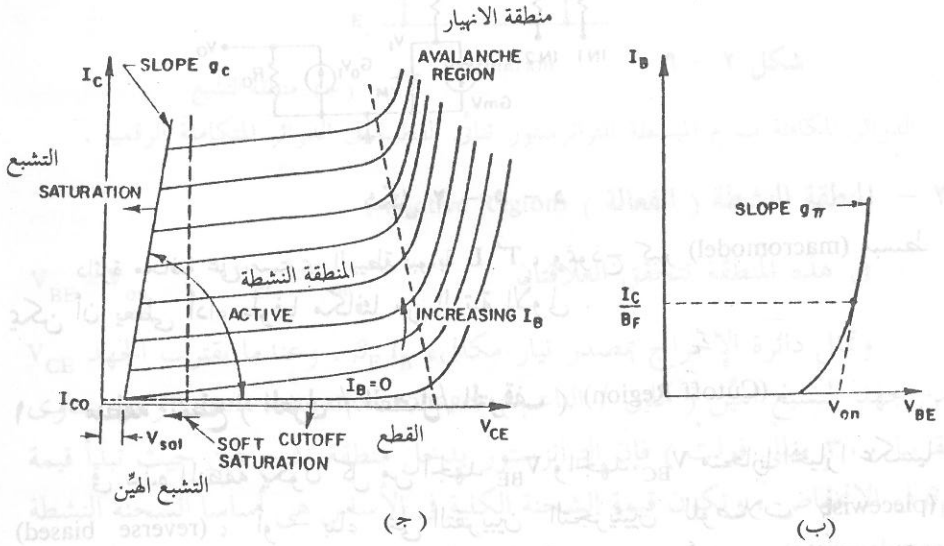
$$I_2 = \beta_F I_\beta \qquad (٢ - ١ - أ)$$

$$I_c = I_S e^{qv_{BE} / kT} \qquad (٢ - ١ - ب)$$

ويوضح شكل ٢ – ٥ – جـ هذه المجموعة من الخصائص لقيم Ig المتزايدة . وعندما تعمل الأداة فى حالة التشبُّع (أى لقيم V_{CE} المتناقصة كما فى شكل ٢ – ٥ – جـ) فبالطبع يتغير النموذج المبسط . وبصورة خاصة فإن الصمام الثنائى للمجمِّع والأساس (base - collector diode) (انظر شكل ٢ – ٥ – د) يشتغل (turns on) ويسمح بمسار تحويل (على التوازى) (shunt path) حول مصدر التيار التابع . ومن الناحية العملية فإن الدائرة المكافئة عندما يُنظر إليها من جهة المجمع تصبح مصدر جهد V_{sat}، وهو التوافق المتتالى (Series combination) ([V_{on} (BE) - V_{on} (BC)]) الذى يمثل الصمامات الثنائية خلف – خلف (back-to-back diodes) التى تعمل على تحويل المسار حول المصدر التابع . وبالإضافة إلى مصدر الجهد فإن مقاومة المجمع ($\frac{1}{g}$) على التوالى تعد الخاصية الطرفية الملاحَظة المسيطرة (dominant observable terminal characteristics) (I_c - V_{CE}) ويلخص شكل ٢ – ٦ المكافئات الخطية (تقريبية) (linearized dc equivalents) لكل من المناطق النشطة والمشبعة ، وكذلك لمنطقة القطع (الفصل/التوقف) (cut off mode) ونوضح ذلك فيما يلى :



(أ)

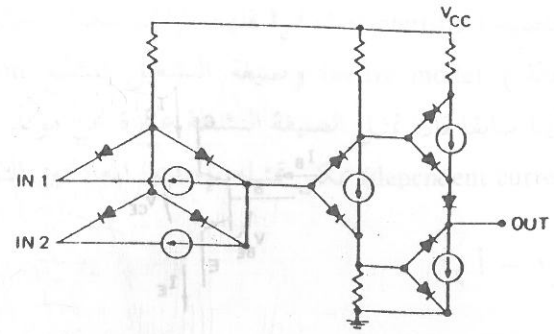


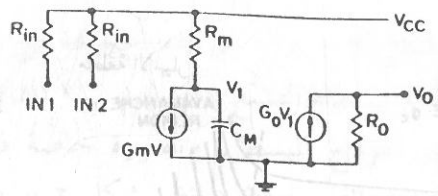
شكل ٢ – ٥

(أ) جهد وتيارات ترانزستور npn .

(ب) منحنى التيار I_B مقابل الجهد V_{BE} (خاصية الإدخال لتركيبة ترانزستور ذات باعث مشترك) .

(جـ) منحنى التيار I_C مقابل الجهد V_{CE} (خاصية الإدخال لتركيبة ترانزستور ذات باعث مشترك) .





شكل ٢ – ٥ – د

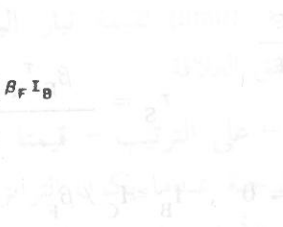
دائرة مكافئة على مستوى النبيطة لبوابة T^2 L ، ونموذج كبير (macromodel) مبسط يمكن أن يعطى أداء طرفيا مكافئا من الرتبة الأولى .

١ – منطقة القطع (العزل / الفصل/ التوقف) (Cutoff Region) :

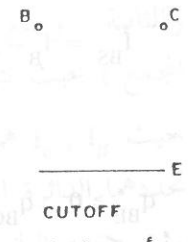
فى هذه المنطقة يكون كل من الجهد V_{BE} والجهد V_{BC} منحازا انحيازا عكسيا (reverse biased) ، أو – بناءً على التقريبين التجزيئيين للوصلات (piecewise approximations of the junctions) – انحيازا أماميا بجهد أقل من الجهد V_{on} . وأما تيار المجمِّع فينشأ فقط بسبب التسرُّب (leakage) من وصلة المجمع ، وفى الحالة المثالية تُمثَّل كل من الدوائر المكافئة عند المدخل والمخرج بدوائر مفتوحة (open circuits) . وتكون الشحنة الكلية للأساس صغيرة

$$q_{BE} + q_{BC} = 0$$

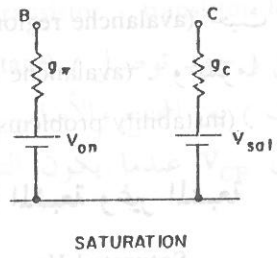
$$I_B = 0 , I_C = 0$$



(ب) المنطقة النشطة



(أ) منطقة التوقف



(جـ) منطقة التشبع

شكل ٢ – ٦

الدوائر المكافئة ت م المبسطة للترانزستور ثنائى القطبية فى الدوائر المتكاملة الرقمية .

٢ – المنطقة النشطة (الفعالة) (Active Region) .

فى هذه المنطقة تتحقق العلاقتان $V_{BE} \geq V_{on}$, $V_{BC} \leq V_{on}$

وتمثل دائرة الإخراج بمصدر تيار مكافىء $\beta_F I_B$. وعندما يقترب الجهد V_{CE} من جهد التشبع الهيِّن (اللين / الناعم) (soft saturation voltage) (وهو يساوى تقريبا ٣٠٠ ميللى فولت) فإن الترانزستور يدخل منطقة تشبع هين حيث تبدأ قيمة β_F فى الانخفاض . وتكون قيمة الشحنة الكلية فى الأساس هى أساسا الشحنة النشطة (active charge) .

$$I_B = I_C / \beta_F \quad , \quad q_{BC} = 0 \quad , \quad q_{BE} \geq q_{BC}$$

(٣) منطقة التشبع (Saturation Region)

فى هذه المنطقة يكون كل من V_{BE}, V_{BC} أكبر من أو يساوى V_{on} أى أن :

$$V_{BE} \geq V_{on} \quad , \quad V_{BC} \geq V_{on}$$

وفى هذه الحالة تُمثَّل دائرة الإخراج بمصدر جهد تشبع V_{sat} على التوالى مع مقاومة تشبع ($1/g_c$) . وتكون الشحنة الكلية للأساس مساوية لمجموع شحنة أساس ذى حالة نشطة (active-mode base charge) وشحنة تخزين زائد (excess storage charge) تعطى بالعلاقة :

$$q = \tau_S I_{BS}$$

حيث :

$$I_{BS} = I_B - \frac{I_C}{\beta_F}$$

$$\tau_S = \frac{\beta_F \tau_F (1 + \beta_R) + \beta_R \tau_R \beta_I}{1 + \beta_F + \beta_R}$$

وتتحقق لدينا العلاقات :

$$q_{BE} \geq 0 \ , \ q_{BC} = 0 \ , \ I_B \geq I_C / \beta_F$$

وبالإضافة إلى المناطق الثلاث المذكورة سابقا فإنه من الممكن أن يعمل الترانزستور فى منطقة الانهيار (avalanche region) حيث تكون وصلة المجمع تحت تأثير انهيار شامل (avalanche breakdown) . وعموما لا تُستخدم هذه المنطقة بسبب مشاكل عدم الاستقرار (instability problems) .

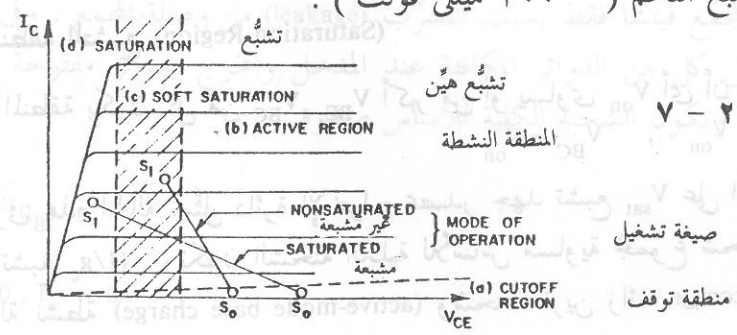
٢ – ٤ بين العائلات المنطقية المشبعة وغير المشبعة

Saturated Versus Nonsaturated Logic Families

فى الدوائر المتكاملة الرقمية يكون للترانزستور ثنائى القطبية حالتان ثابتتان (2 steady states) وفى العائلات المنطقية المشبعة تحدث هاتان الحالتان والترانزستور فى منطقتى التشبع والقطع ، وأما بالنسبة للعائلات المنطقية غير المشبعة فإن حالة التشغيل (التوصيل) (on state) تحدث والترانزستور فى المنطقة النشطة . ويبين شكل ٢ – ٧ كلتى الحالتين على منحنيات العلاقة بين I_C و V_{CE} .

وهناك طريقتان أساسيتان يمكن اتباعهما لمنع الترانزستور ثنائى القطبية من دخول منطقة التشبع :

(١) **الأولى** : حجز (clamping) قيمة الجهد V_{CE} عند قيمة أكبر من قيمة جهد التشبع الناعم (≈ ٣٠٠ ميللى فولت) .



شكل ٢ – ٧

صيغة التشغيل المشبعة وغير المشبعة مُعَرَّفة على منحنيات I_c مقابل V_{CE}

(٢) **والثانية** : وضع حد (limit) لقيمة تيار الباعث (أو تيار الأساس أو تيار المجمع) بحيث تتحقق العلاقة

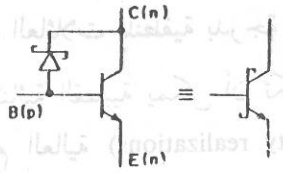
$$I_B \leq I_C / \beta_F$$

حيث I_β , I_c هما – على الترتيب – قيمتا تيار الأساس وتيار المجمع اللذان تحددهما الدائرة الخارجية عندما يكون الترانزستور موصلا .

وتستخدم الطريقة الأولى مثلا مع دائرة « شوتكى » المنطقية ترانزستور – ترانزستور (Schottky transistor - transistor logic) (STTI) حيث يُوصَّل ديود « شوتكى » بجهد تشغيل (جهد توصيل) (turn-on voltage) يساوى V_{on} (SBD) (تقريبا ٤٠٠ ميللى فولت) بين المجمع والأساس (انظر شكل ٢ – ٨) وكنتيجة لهذا فإن القيمة الصغرى V_{CE} عندما يكون الترانزستور موصلا تساوى تقريبا ٣٠٠ ميللى فولت :

$$V_{on}\,(BE) - V_{on}\,(SBD) \cong 300 \text{ mv}$$

وأما الطريقة الثانية فتستخدم مع العائلات المنطقية ذات الصبغة التيارية (current-mode logic families) مثل عائلات منطق اقتران الباعث (emitter-coupled logic) (ECL) حيث يُستخدم مصدر تيار I_0 لوضع حد لتيار الباعث (وبالتالى لتيار المجمِّع) ألا يزيد عن I_0 . وكنتيجة لهذا فإن الحد الأعلى لتيار الأساس سيكون $I_0/(\beta + 1)$ بشرط أن $V_{CE} \geq 300$ mv .



شكل ٢ – ٨

ترانزستور شوتكى npn

وكما رأينا سابقا فعندما يدخل الترانزستور مرحلة التشبع ، فإن الشحنة الزائدة (excess charge) q_t يتم تخزينها فى الأداة (النبيطة / الجهاز) (device) . وهذه الشحنة تسبب تأخيرا (delay) أكثر عندما يتحول الترانزستور من حالة التشغيل (التوصيل) إلى حالة التعطيل (القطع/الفصل) (off-state) . ولذلك فإن العائلات المنطقية غير

المشبعة تكون أسرع من المشبعة . وتشتمل العائلات المنطقية المشبعة على عائلات :

- منطق الترانزستور ذى الاقتران المباشر
(direct - coupled transistor logic) (DCTL)
- المنطق مقاوم – ترانزستور (أو منطق مقاومات وترانزستورات)
(resistor - transistor logic) (RTL)
- المنطق صمام ثنائى – ترانزستور (diode - transistor logic) (DTL)
- المنطق ترانزستور – ترانزستور (transistor - transistor logic) (TTL)
- منطق الحقن المتكامل (integrated injection logic) (I^2L)

وأما العائلات المنطقية غير المشبعة فتشتمل على عائلات :

- منطق اقتران الباعث (emitter - coupled logic) (ECL)
- منطق الباعث – الدالة (emitter - function logic) (EFL)

وفى الفصول التالية سنقدم التحليل الأساسى للعائلات :

T^2L, ST^2L, I^2L ، وكذلك لعائلات أخرى لها علاقة قريبة بها وهى : ECL, EFL . ويرجع الاقتصار والتركيز على هذه العائلات بالذات إلى اعتبارين :

الأول : فى الوقت الحالى تستخدم الدوائر المتكاملة IC's لشرائح MSI (chips) وحتى لشرائح LSI (chips) هذه العائلات المنطقية بدرجة كبيرة تكاد تقتصر عليها .

الثانى : شرائح VLSI ثنائية القطبية يمكن أن تكون عملية (feasible) فقط بالإنجازات ذات كثافة التحزيم العالية (high-packing density realizations) لهذه العائلات المنطقية .

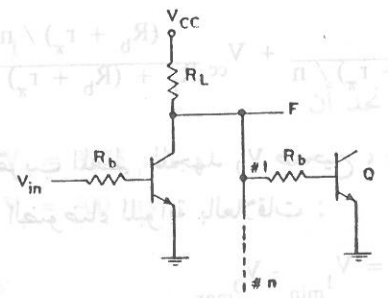
٢ – ٥ البوابة العاكسة ذات الترانزستور ثنائى القطبية

The Bipoler Transistor Inverter

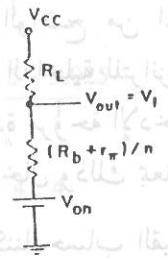
نناقش فيما يلى تحليل عاكس بسيط يستخدم الترانزستور ثنائى القطبية لنرى كيفية إجراء حسابات وسطاء (بارامترات) البوابة (gate parameters) . والعاكس البسيط هو قالب البناء الأساسى الذى كان يستخدم فى الأيام الأولى للدوائر المتكاملة من المنطق الترانزستور – المقاوم (Integrated resistor transistor logic) (RTL) .

ويمكننا معالجة هذه البوابة العاكسة الصغرى (minimum inverter gate) كالوحدة العامة (generic unit) لدوائر LSI على الشريحة (on-chip LSI circuits) .

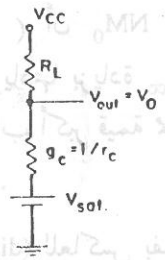
ويبين شكل ٢ – ٩ – ١ العاكس الأساسى ذا مروحة الإخراج n . ونلاحظ أن مقاوِم إدخال (input R_b resistor) يُضاف إلى المدخل لتقليل اعتماد خاصية الإدخال للبوابة على خاصية شبيه الصمام الثنائى (diode-like characteristic) لوصلة الباعث والأساس . وهذا يجعل الدائرة أقل عرضة لمشكلة الاستئثار بالتيار (current hogging) والتى تنتج من الخصائص غير المتوائمة لوصلة الباعث والأساس (unmatched base-emitter junction characteristics) .



(أ)



(جـ)



(ب)

شكل ٢ – ٩

العاكس الترانزستور ثنائى القطبية والدائرتان المكافئتان ت م

وبناء على التقريب الخطى التجزيئى (piecewise linear approximation) لخصائص الإدخال ، فإن الجهد العتبة V_t للعاكس يكون مساويا V_{on} لوصلة الباعث والأساس لأنه إذا كان $V_{in} \geq V_{on}$ فإن Q تكون فى حالة التشغيل وتعمل فى منطقة

التشبُّع ، بينما إذا كان $V_{in} < V_{on}$ فإن Q تكون فى حالة التوقف . ويعطى شكل ٢ – ٩ – ب الدائرة (ت م) المكافئة للبوابة عندما يكون $V_{in} = V_t$ ، ويعطى شكل ٢ – ٩ – جـ الدائرة (ت م) المكافئة عندما يكون $V_{in} = V_0$.

وبالرجوع إلى شكل ٢ – ٩ يمكننا حساب جهود الإخراج كما يلى :

$$V_0 = V_{sat} \frac{R_L}{R_l + r_c} + V_{cc} \frac{r_c}{R_l + r_c}$$

$$= V_{sat} + V_{cc} \frac{r_c}{R_L}$$

$$V_1 = V_{on} \frac{R_L}{R_L + (R_b + r_\pi) / n} + V_{cc} \frac{(R_b + r_\pi) / n}{R_L + (R_b + r_\pi) / n}$$

ويلاحظ أن التقريب المعطى للجهد V_0 صحيح ، وذلك لأنه عموما تكون r_c $<< R_L$. ويعطى حدا الضوضاء للبوابة بالعلاقات :

$$NM_1 = V_{1_{min}} - V_{t_{max}} = V_{1_{min}} - V_{0_{max}} \qquad ٤ - ٢$$

$$NM_0 = V_{t_{min}} - V_{0_{max}} = V_{0_{min}} - V_{0_{max}}$$

من الواضح من المعادلات (٤ – ٢) – (٤ – ٤) أن NM_0 دالة فى الخواص الداخلية للترانزستور (r_c , V_{sat}) ، بينما MM_1 يمكن زيادتها بزيادة V_{cc} . وتؤدى زيادة مروحة الإدخال n إلى تقليل قيمة V_t . ويمكن حساب أكبر قيمة ممكنة لمروحة الإدخال وذلك بمعلومية قيمة V_t وقيمة صغرى لـ NM_1 .

ويمكننا حساب القيمة المتوسطة لقدرة التبديد (dissipation) للعاكس بفرض أن العاكس يبقى فى المتوسط فى حالة عمل (on) خلال نصف وقت التشغيل (operating time) ، وفى حالة تعطل (off) خلال النصف الآخر . وبالتالى يكون :

$$P_{av} = (P_{on} + P_{off}) / 2$$

حيث

$$P_{on} = V_{cc} I_{on} \;\&\; P_{off} = V_{cc} I_{off} \qquad (٢-٥)$$

ومن الدائرتين المكافئتين فى شكلى ٢ – ٩ – ب ، ٢ – ٩ – جـ نستنتج أن

$$I_{on} = \frac{V_{cc} - V_o}{R_L} , I_{off} = \frac{V_{cc} - V_L}{R_L} \qquad (٢ - ٦)$$

مثال : فى هذا المثال نحسب بعض القيم العملية للوسطاء (ت م) للدائرة ، بفرض أن

$V_{cc} = 5V$, $R_L = 1\ k\Omega$, $R_b = 3\ k\Omega$

$V_{on} = 700\ V$, $V_{sat} = 50\ mV$, , $r_c = 50\ \Omega$

$r_\pi << R_b$, $n = 1$

بمعلومية هذه القيم نجد أن :

$V_0 = 300\ mV$ $V_1 = 3975\ mV$

$V_l = 3625\ mV$ $V_t = 700\ mV$

$V_1 - V_t = 3225\ mV$

$V_t - V_0 = 400\ mV$

$$I_{on} = \frac{5 - 0.3}{1} = 4.7\ mA$$

$$I_{off} = \frac{5 - 3.925}{1} = 1.075\ mA$$

$$\frac{I_{on}}{I_{off}} = 4 . 4$$

$$P_{av} = 14.4\ mW \qquad (٢ - ٧)$$

العلاقة ٢ – ٧ تبين أن هذه البوابة العملية لها تأرجح منطقى عالى (high logic swing) ، وحدود ضوضاء غير متماثلة (unsymmetrical noise margins) ، ونسبة كبيرة بين التيارين I_{off} , I_{on} ، وقدرة تبديد عالية نسبيا . وتؤدى النسبة العالية بين التيارين I_{on}, I_{off} إلى شرارات انتقالية تيارية (current transient spikes) عند خط مغذِّى القدرة (power supply line) ، وهذا بدوره يمكن أن يسبب مشاكل فى النظام كأن يؤدى مثلا إلى إنجاز منطقى خاطىء (faulty logic performance) .

٢ – ٦ دوائر المنطق ترانزستور – ترانزستور (T^2 L)

Transistor - Transistor Logic (T^2 L)

كما ذكرنا سابقا فإن دائرة RTL كانت تستخدم كقالب البناء الأساسى فى الأيام الأولى للدوائر المتكاملة . وقد تم اختيار هذه الدائرة نظرا لكونها مركّبا منفصلا بسيطا (simple discrete component circuit) متوفرا فعلا وله استخدامات عملية بالإضافة إلى أنه كان من الممكن الحصول على هذه الدائرة باستخدام الدوائر المتكاملة المطابقة لأحدث التطورات الفنية (state-of-the-art IC's) المتوفرة فى تلك الأيام . وقد كانت العناصر الأساسية لبوابة NOR عبارة عن مجموعة من الترانزستورات npn الموصلة على التوازى والمصنوعة على نفس الأرض العازلة (isolation land) ولها جميعها منطقة مجمِّع مشتركة (common collector region) ، ومقاومات انتشارية (diffused resistors) للأساس والمجمِّعات .

وقد أدت النقائص (shortcomings) فى دوائر RTL إلى استخدام منطق الصمام الثنائى والترانزستور (Diode - Transistor Logic) (DTL) ، وهو عبارة عن دائرة مركبات منفصلة (discrete component circuit) أخرى مُعدَّة للصيغة المتكاملة . وقد أدت دوائر DTL إلى استخدام عنصر متكامل فعلا (truly integrated) ألا وهو الترانزستور npn متعدد البواعث (multiemitter) والموصَّل كى يعطى صمامات ثنائية BE متعددة ، وأخيرا أدت إلى استخدام العائلة المنطقية ترانزستور – ترانزستور (T^2 L) . وفى حالة ما إذا احتجنا إلى قدرة حث عالية (high driving capability) فإننا نضيف دائرة إخراج قطب مركّب (totem-pole output circuit) إلى هذه الدائرة الأساسية T^2 L .

وبالتالى فقد انتشر استخدام هذه العائلة فى دوائر MSI إلا أنه حديثا مع دوائر شوتكى T^2 L (أى دوائر ST^2 L) أصبحت تستخدم هذه العائلة فى تطبيقات LSI .

ويبين شكل ٢ – ١٠ – أ بوابة T^2L الأساسية بمروحة إخراج n . ويتحكم ترانزستور الإدخال متعدد البواعث Q_1 فى حالة التوصيل (conduction state) بالنسبة لترانزستور الإخراج Q_2 . وتؤدى البوابة عمل دالة NAND حيث أن المخرج F يكون فى مستوى الصفر "0" المنطقى (أى منخفض low) فقط عندما تكون جميع

المداخل فى مستوى الواحد "1" المنطقى (أى مرتفعة high) . وفيما يلى نحسب وسطاء (ت م) الدائرة .

الحالة الأولى (١) عندما يكون أحد المداخل (أو أكثر من مدخل) منخفضا (أى جهده V_0) ، فإن وصلة الأساس والقاذف فى الترانزستور Q_1 تكون فى حالة توصيل حيث يفيض التيار I_1 ، ولا يمر تيار الأساس (base current) فى الترانزستور Q_2 ، وبالتالى يكون Q_2 فى حالة قطع ويكون المخرج F عند الجهد V_1 . وبذلك يكون الترانزستور Q_1 مشبعا حيث تيار الأساس قيمته $(V_{cc} - V_{on} - V_o) / (R_I + r_\pi)$ والمجمِّع يمدُّه فقط تيار التسرُّب (leakage current) I_1 التابع لوصلة الأساس والمجمِّع المعكوسة الانحياز (reverse-biased base - collector junction) فى الترانزستور Q_1 ، أى أن شرط التشبُّع $(I_\beta > I_c / \beta)$ يكون متحققا .

ولحساب قيمة V_1 يجب أن ندرس التيار $n\beta_R I_1'$ الذى يغذيه الجهد V_{cc} عبر R_2 إلى بوابات المخارج (output gates) وعددها n . وأما سبب تولد هذا التيار فهو أن ترانزستور (أو ترانزستورات) حمل الإدخال (input load transistor(s)) Q_1' والمقابلة للمرحلة (أو للمراحل) التالية (next stage) تعمل فى الحالة النشطة المعكوسة (inverse active mode) [أو الحالة العليا (upward mode)] عندما تكون وصلة المجمِّع والأساس منحازة للأمام (forward biased) وبينما يكون الترانزستور Q_1 فى المنطقة النشطة المعكوسة (inverse active region) يكون تيار الباعث (والذى يعمل كمجمِّع) مساويا للقيمة $\beta_R I_1'$ ، حيث I_1' هو تيار الأساس وقيمته تعطى ببساطة بالعلاقة

$$I_1 = \frac{V_{cc} - 2\,V_{on}}{R_1 + 2\,r_\pi}$$

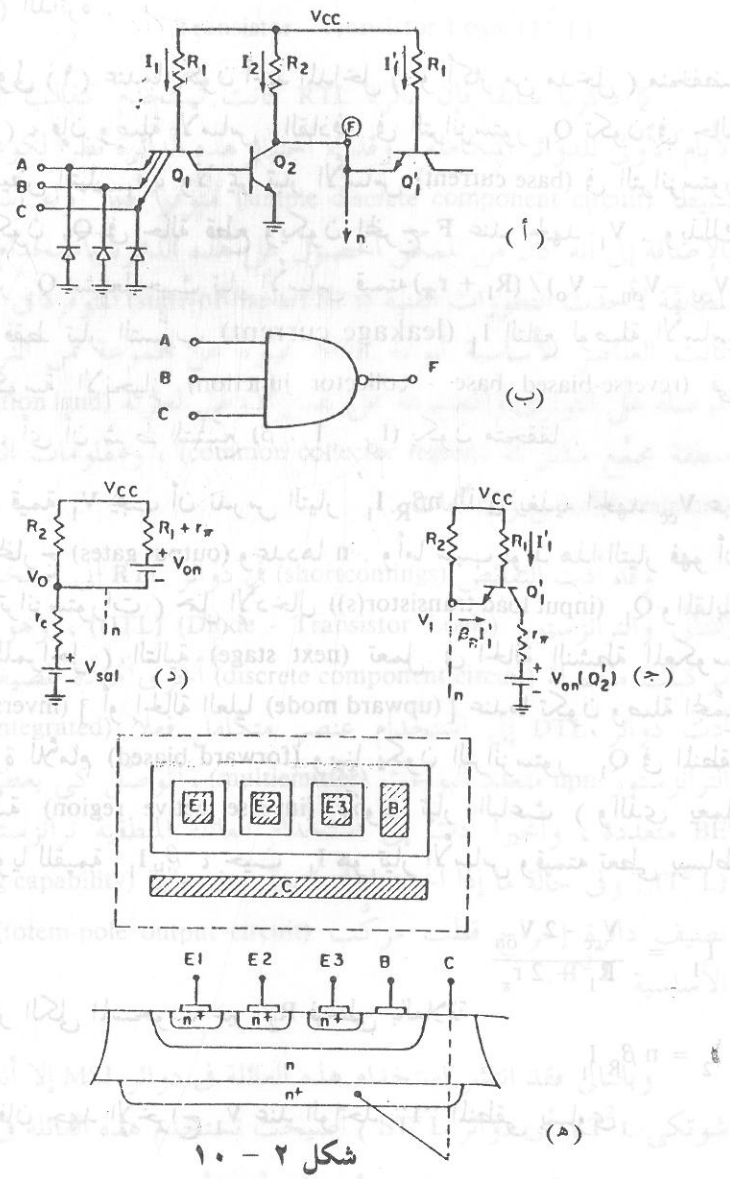
وأما التيار الكلى المسحوب عبر R_2 فيعطى بالعلاقة

$$I_2 = n\,\beta_R\,I_1$$

وبالتالى فإن جهد الإخراج V_1 عند الواحد "1" المنطقى يساوى

$$V_1 = V_{cc} - n\,\beta_R\,R_2\left(\frac{V_{cc} - 2\,V_{on}}{R_1 + 2\,r_\pi}\right) \qquad (٢ - ٨)$$

وبين شكل ٢ – ١٠ – جـ نموذج الدائرة المكافئة (equivalent circuit model)



شكل ٢ – ١٠

(أ) بوابة T^2L الأساسية مع عدد n من بوابات التحميل ، وقد أضيفت الصمامات الثنائية عند المدخل لتقليل التغييرات العابرة عند المدخل .

(ب) البوابة المنطقية المكافئة .

(جـ) الدائرة المكافئة عندما يكون المخرج مرتفعا .

(د) الدائرة المكافئة عندما يكون المخرج منخفضا .

(هـ) النسق العام ومقطع مستعرض .

ويمكن أن نستنتج من المعادلة (٢ – ٨) أنه من الأفضل أن نقلِّل قيمة β_R وذلك لأنه كلما قلت هذه القيمة ، زادت القيمة العظمى المسموح بها لعدد مروحة الإخراج n . وبالإضافة إلى هذا ، فإن عدم تواؤم (matching) قيمة β_R من إحدى بوابات الأحمال (loading gates) مع قيمتها من بوابة أخرى يؤدى إلى مشكلة الاستئثار بالتيار (current - hogging problem) ، حيث يُغذَّى تيار إخراج أكبر إلى بوابات ذات قيم β_R أكبر . ومن الجدير بالملاحظة أنه عند استنتاج المعادلة (٢ – ٨) فرضنا أن جميع البواعث فى ترانزستورات الإدخال فى بوابات الأحمال موصلة لمستوى جهد عال (high-voltage level) ، أى أن جميع ترانزستورات الإدخال فى بوابات الأحمال تعمل فى الحالة النشطة المعكوسة . وبالطبع فإن هذا الفرض يعطى أقل قيمة ممكنة للجهد V_1 .

وبالرجوع إلى شكلى ٢ – ١٠ أ و ٢ – ١٠ – جـ نجد أنه عندما يكون جهد الإخراج V_1 فإن التيارين I_1 , I_2 يعطيان بالعلاقتين :

$$I_1 = \frac{V_{cc} - V_{on} - V_0}{R_1 + r_\pi}$$

$$I_2 = n\,\beta_R\,\frac{V_{cc} - 2\,V_{on}}{R_1 + 2\,r_\pi}$$

الحالة الثانية (٢) عندما تكون جميع المداخل عالية (عند الجهد V_1) فإن وصلة المجمع والأساس فى الترانزستور Q_1 تكون فى حالة توصيل وتعذى تيار الأساس للترانزستور Q_2 عبر المقاومة R_1 . وبالتالى فإن Q_2 يصبح مشبعا والمخرج F يصبح عند الصفر "0" المنطقى ، أى عند الجهد V_0 ويعطى شكل ٤ – ١٠ – د نموذج الدائرة المكافئة للأحمال (وعددها n) لمجمِّع Q_2 . ومن هذا الشكل نجد أن :

$$V_0 = V_{sat} \frac{[(R_1 + r_\pi)/n] \,||\, R_2}{\{[(R_1 + r_\pi)/n \,||\, R_2\} + r_c}$$

$$+ V_{cc} \frac{[(R_1 + r_\pi)/n] \,||\, r_c}{\{[(R_1 + r_\pi)/n \,||\, r_c\} +}$$

$$= (V_{cc} - V_{on}) \frac{R_2 \,||\, r_c}{[(R_2 \,||\, r_c) + R_1 + r_\pi)}$$

$$= V_{sat} + V_{cc} \frac{r_c}{R_2} + (V_{cc} - V_{on}) \frac{n\, r_c}{R_1} \quad \ldots (٢ - ١١)$$

حيث استخدمنا الرمز || ليعنى : « على التوازى مع » .

من الواضح أن V_0 يكون دائما أكبر من جهد التشبع لترانزستور الإخراج Q_2 . وإذا زاد عدد مروحة الإخراج n فإن V_0 يزيد ، ويكون من الأفيد تقليل قيمة r_c .

وعندما يكون جهد الإخراج مساويا V_0 فإن التيارين I_1, I_2 يعطيان بالعلاقتين :

$$I_1 = \frac{V_{cc} - 2\, V_{on}}{R_1 + 2\, r_\pi}$$

$$I_2 = \frac{V_{cc} - V_0}{R_2} \quad (٢ - ١٢)$$

ويجب ملاحظة أنه عندما يكون جهد الإخراج مساويا v_0 فإن الترانزستور Q_2 يسحب تيارا قيمته تساوى $(I_2 + nI_1)$.

وإذا فرضنا أن بوابة $T^2 L$ معتادة تعمل عند الجهد "0" المنطقى نصف وقت تشغيلها بينما تعمل عند الجهد "1" النصف الآخر ، فإن متوسط تبديد القدرة (ت م) (average dc power dissipation) للبوابة يعطى بالعلاقة :

$$P_{dc} = \frac{V_{cc}}{2} (I_{on} + I_{off}) \quad (٢ - ١٣)$$

حيث :

من الحالة الثانية (٢) $I_{on} = I_1 + I_2$

من الحالة الأولى (١) $I_{off} = I_1 + I_2$

وجهد العتبة للبوابة هو الجهد الذى يتغير عنده ترانزستور المخرج من حالة التعطيل (off) إلى حالة التشبع . وتبعا للتقريب الخطى التجزيئى (piecewise linear approximation)

فإن هذا يعطى بالعلاقة :

$$V_1 = V_{on} - V_{sat} \quad (٢ - ١٤ أ)$$

حيث V_{on} هو جهد التوصيل (turn-on voltage) لوصلة الباعث والأساس للترانزستور Q_2 ، و V_{sat} هو جهد التشبع للترانزستور Q_1 . ويمكن زيادة قيمة V_1 إذا أضفنا صمامات ثنائية إزاحية (offset diodes) بين مجمِّع Q_1 وأساس Q_2 . إلا أن هذه الصمامات الثنائية تزيد وقت توقيف (turn-off time) الترانزستور Q_2 .

وبفحص البوابة $T^2 L$ الأساسية فى شكل ٢ – ١٠ – أ من وجهة نظر أدائها الانتقالى (transient performance) نجد أن Q_1 يعطى مسارا ذا معاوقة بسيطة (low impedance path) من أساس Q_2 إلى الأرض وذلك خلال انتقالات التوقيف (turn off transients) ، وتفيض الشحنة المخزونة إلى الخارج عبر Q_1 . وهذا يعطى مسارا أسرع للشحنة المخزونة عما إذا استخدم عاكس بسيط بدون Q_1 . وهذه هى إحدى المميزات الأساسية للمنطق $T^2 L$. ويمكن تحسين سرعة التشغيل أكثر إذا أضفنا صمامات شوتكى الثنائية (Schottky diodes) على التوازى مع وصلتى المجمِّع والأساس فى Q_1 و Q_2 ، مما ينتج عنه بوابة $ST^2 L$.

ومن المميزات الأساسية الأخرى للمنطق $T^2 L$ أن إضافة مداخل إلى بوابة واحدة يتطلب إضافة بواعث إضافية لترانزستور المدخل Q_1 متعدد البواعث (شكل ٢ – ١٠ – هـ) .

وهذه خاصية هامة جدا وذلك لأن منطقة السيليكون التى تستهلكها بوابة واحدة سوف تزداد قليلا كلما زاد عدد المداخل .

وهذا يوضح مناسبة هذه العائلة للمنطق LSI .

مثال : فيما يلى نحسب بعض القيم العملية لوسطاء (ت م) الدائرة بفرض أن :

$V_{cc} = 5V$, $R_1 = 4\,k\Omega$, $R_2 = 1\,k\Omega$,

$V_{on} = 700\ mV$, $V_{sat} = 50\ mV$,

$r_c = 50\ \Omega$, $r_{\pi} \ll R_2$, $n = 1$, $\beta_R = 3$

بناء على هذه القيم نجد أن :

$V_1 = 2300\ mV$ $\qquad$ $V_0 = 353\ mV$

$V_t = 1947\ mV$ $\qquad$ $V_t = 650\ mV$

$V_1 - V_t = 1650\ mV$

$V_t - V_0 = 297\ mV$

$I_{on} = 5.55\ mA$ $\qquad$ $I_{off} = 3.7\ mA$

$P_{av} = 23.1\ mW$

٢ – ٧ تصميم الدوائر باستخدام الدوائر المنطقية T^2L

T^2 L in Circuit Design [3 - 10]

٢ – ٧ – ١ المنطق T^2 L مع مخرج القطب المركب Totem - Pole Output

تعد البوابة T^2 L الأساسية ذا قدرة حث (أو دفع) محدودة (limited driving capability) بسبب مقاومة الإخراج العالية نسبيا للبوابة عندما يكون جهد الإخراج عند القيمة V_1 . وإذا لزم استخدام البوابة للحث خارج الشريحة (off-chip driving) فسيكون للبوابة مروحة إخراج محدودة وزمن توصيل بطيء (slow turn-on time) ويمكن علاج ذلك إذا أمكن استخدام الترانزستور Q_2 ليحث دائرة إخراج قطب

مركب (totem-pole output circuit) كالمبينة بشكل ٢ – ١١ وفيما يلى نشرح عمل الدائرة .

الحالة الأولى (١) عندما يكون مدخل أو أكثر منخفضا (أى عند الجهد V_0) ، يصبح الترانزستور Q_1 مشبعا والترانزستور Q_2 معطلا . وكنتيجة لهذا يشتغل الترانزستور Q_3 ويتعطل الترانزستور Q_4 . ويصبح مستوى جهد الإخراج مساويا V_1 . ويؤدى انخفاض الجهد عبر R_2 إلى منع Q_3 من الدخول فى منطقة التشبع ، وبالتالى يعمل فى المنطقة النشطة .

$$V_1 = V_{cc} - 2\,V_{on} - R_2 \frac{n\beta_R\, I_1}{\beta_F} = V_{cc} - 2\,V_{on} \qquad (٢ - ١٦)$$

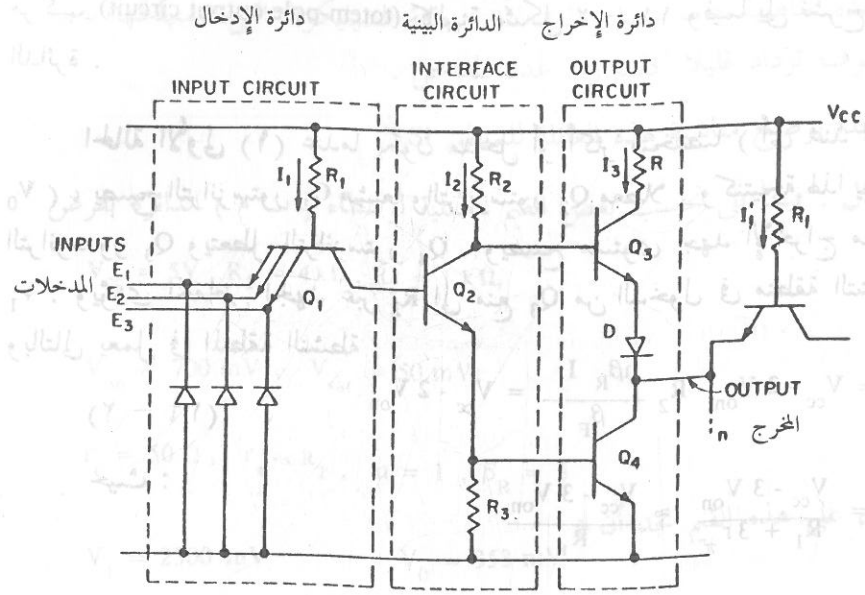
حيث :

$$I_1' = \frac{V_{cc} - 3\,V_{on}}{R_1 + 3\,r_{\pi}} \approx \frac{V_{cc} - 3\,V_{on}}{R_1}$$

$$I_1 = \frac{V_{cc} - V_{on} - V_0}{R_1 + r_{\pi}} \approx \frac{V_{cc} - V_{on} - V_0}{R_1} \qquad (٢ - ١٧)$$

$$I_2 = \frac{n\beta_R\, I_1'}{\beta_F} \qquad (٢ - ١٨)$$

الحالة الثانية (٢) عندما تكون جميع المداخل عالية الجهد (أى عند V_1) يعمل الترانزستور Q_1 فى الصيغة النشطة العكسية (inverse active mode) ، والترانزستور Q_2 فى حالة التشبع . ونتيجة لهذا يصبح Q_1 معطلا وذلك لأن جهد الأساس يظل عند القيمة $V_{on} + V_{sat}$ بينما جهد التشغيل المطلوب له هو $(2\,V_{on} + V_{sat})$ والترانزستور Q_4 مشبع



شكل ٢ – ١١

بوابة $T^2 L$ ذات دائرة إخراج قطب مركب (طوطم)

$$V_0 = V_{sat} + (V_{cc} - V_{on}) \frac{n\, r_c}{R_1} \qquad (٢ - ١٩)$$

$$I_1 = \frac{V_{cc} - 3\, V_{on}}{R_1 + r_\pi} \qquad (٢ - ٢٠)$$

$$I_2 = \frac{V_{cc} - V_{on} - V_{sat}}{R_2 + r_c + r_\pi} \qquad (٢ - ٢١)$$

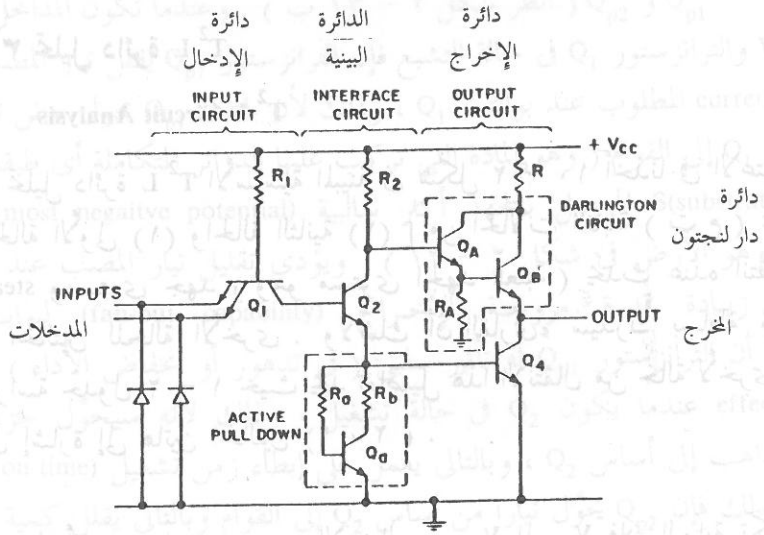
وبالرغم من أنه بالنسبة لحالات التيار المباشر يكون فى دائرة القطب المركب إما الترانزستور Q_3 أو الترانزستور Q_4 فى حالة تشغيل – وذلك يعتمد على الحالات المنطقية – إلا أنه أثناء التحول الانتقالى (transient switching) فإن كلا من Q_4 و Q_3 يكون فى حالة تشغيل والتيار I_3 يجب أن يُحد بالمقاومة R . إلا أنه حتى مع وجود هذه المقاومة تحدث بعض الشرارات التيارية (current spikes) بين المصدر والأرض .

٢ – ٧ – ٢ المخرج القطبى المركب المعدَّل

Modified Totem - Pole Output

يمكن تعديل الدائرة الأساسية المبينة فى شكل ٢ – ١١ وذلك لتحقق متطلبات إنجاز معينة . ويمكن توضيح ذلك بدراسة الدائرة المعدلة فى شكل ٢ – ١٢ كمثال . فى هذه الدائرة نستبدل بالمقاوم R_3 دائرة خافضة (أى للجهد أو جاذبة لأسفل) نشطة (active pall-down) مكونة من Q_a , R_a , R_b . ونستبدل بترانزستور المخرج Q_3 والصمام الثنائى D دائرة دار لنجتون (Darlington Circuit) مكونة من R_B و Q_B و Q_B .

ونلاحظ أن وظيفة R_3 فى شكل ٢ – ١١ هى جذب أساس Q_4 إلى أسفل (أى خفضه) إلى الأرض عندما يتعطل Q_2 . ونفس هذه الوظيفة تؤديها الدائرة الخافضة (دائرة الجذب لأسفل) النشطة مع تحقيق بعض المميزات . فهذه الدائرة



شكل ٢ – ١٢

بوابة $T^2 L$ ذات دائرة إخراج قطب مركب معدلة

تمثل مقاومة عالية بين أساس Q_4 والأرض . وعندما يشتغل Q_4 فإن Q_2 أيضا يشتغل . وبالتالى فإن الدائرة الخافضة النشطة تحوِّل تيارا أقل من أساس Q_4 وبالتالى تسمح

للترانزستور Q_4 بتشغيل أسرع . وأثناء تعطيل Q_4 فإن الدائرة الخافضة النشطة تعطى تيار تفريغ (discharging current) أكبر مما تعطيه الدائرة الخافضة السلبية (passive pull-down) بسبب تيار المجمع فى الترانزستور النشط Q_a . وبالتالى فإن تعطيل Q_4 يتم بسرعة أكبر وزيادة فى ذلك فإن الدائرة الخافضة النشطة تسمح بالتشغيل على مدى أوسع بالنسبة لدرجات الحرارة وحدود أكبر بالنسبة للضوضاء (higher noise margins) .

وتسمح دائرة دارلنجتون بمقاومة إخراج أقل عندما يكون جهد الإخراج عاليا ، وهذا يسمح بدوره بسرعة تشغيل (speed of operation) أعلى وذلك لمروحة إخراج معينة معطاة . ويجب ملاحظة أن R_A قد أضيفت لكى يفيض تيار الباعث وذلك لأن Q_B تكون دائما فى المنطقة النشطة (وصلة المجمع فيها منحازة عكسيا بالانخفاض فى جهد المجمع والباعث فى Q_A) وتيار الأساس فيها صغير .

٢ – ٧ – ٣ تحليل دائرة T^2L

T^2L Circuit Analysis

عند تحليل دائرة T^2L الأساسية المبينة فى شكل ٢ – ١٠ أخذنا فى الاعتبار حالتين [الحالة الأولى (١) والحالة الثانية (٢)] من الحالات الثابتة (ت م) (dc steady states) ومستوى جهد (وهو مستوى الجهد العتبة) يحدث عنده انتقال من إحدى الحالتين للحالة الأخرى . ولاشك أن القارىء سيدرك بساطة هذا التحليل بدراسة جدول ٢ – ١ حيث يجد تفاصيل هذا الانتقال من حالة لأخرى ، وفى الجدول إشارة إلى هاتين الحالتين (١ ، ٢) .

ونلاحظ أنه عندما يزيد جهد الإدخال من V_0 إلى V_1 فإن البوابة تكون فى حالة انتقال (بين الخطوتين رقمى 2 , 8 فى الجدول) . وإذا أردنا معرفة تفاصيل خصائص الانتقال (transfer characteristic) [أى العلاقة بين V_{out} و V_{in}) ، فيمكن أن نضيف نقاط إيقاف (نقاط قطع) (break-points) مقابلة للخطوات من الخطوة رقم 3 إلى الخطوة رقم 9 . وبالإضافة إلى هذا فيمكننا عند حساب إنجاز أو أداء الانتقال للبوابة (transient performance of the gate) أن تستعمل نقاط الإيقاف هذه

فى حساب التأخيرات الفردية (individual delays) ويمكن تقدير التأخير الكلى (total delay) بجمع هذه التأخيرات الفردية . ويمكن اتباع منهج شبيه لما سبق لتحليل بوابات T^2L ذات المخرج القطبى المركب ، وسنترك ذلك كتدريب للقارىء .

٢ – ٧ – ٤ طفيليات T^2L

T^2L Parasitics

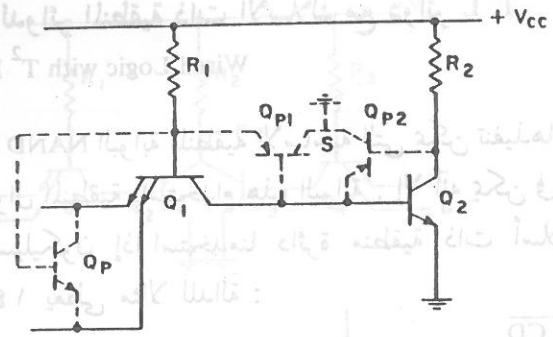
عند مكاملة بوابة T^2L الأساسية المبينة فى شكل ٢ – ١٠ نلاحظ وجود ترانزستورات طفيلية نشطة كالمبينة فى شكل ٢ – ١٣ – أ . فهناك ترانزستور اقتران npn طفيلى (parasitic npn coupling transistor) (Q_p) بين الباعثين . ونظرا لصغر المساحات الباعثة العرضية (أو الجانبية) (lateral emitter areas) وبالتالى صغر I_s ، فيكون من المهم إدخال هذا الترانزستور فى الاعتبار وقت الانتقال فقط . وهناك كذلك ترانزستوران npn طفيليان مرتبطان بالترانزستورين Q_1 و Q_2 وهما :

Q_{p1} و Q_{p2} (انظر شكل ٢ – ١٣ ب) . وعندما تكون المداخل عند الجهد V_1 والترانزستور Q_1 فى حالة التشبع فإن الترانزستور Q_{p1} يقلل تيار المصب (sinking current) المطلوب عند بواعث Q_1 ، وذلك لأن باعث Q_{p1} يحول بعض تيار الأساس فى Q_1 إلى القوام (وهو المادة التى تركب عليها الدوائر المتكاملة أى طبقة الأساس) S(substrate) الموصل بالجهد أكثر سالبية (most negaitve potential) فى الدائرة (وهو الأرض فى شكل ٢ – ١٣) . ويؤدى تقليل تيار المصب عند بواعث Q_1 إلى زيادة قدرة مروحة الإخراج (fan-out capability) لبوابة الحث . إلا أن الترانزستور Q_{p1} له تأثير سلبى (فى تدهور أو انخفاض الأداء) (degrading effect) عندما يكون Q_2 فى حالة تشغيل ، وذلك لأنه سيحوِّل جزءا من التيار الذاهب إلى أساس Q_2 ، وبالتالى يعمل على إبطاء زمن تشغيل (turn on time) Q_2 . كذلك فإن Q_{p2} يحوِّل تيارا من أساس Q_2 إلى القوام وبالتالى يقلل كمية تشبع Q_2 . ويجب إدخال تأثير كل من Q_{p1} و Q_{p2} فى الاعتبار عند حساب درجة التشبع (degree of saturation) ($I_B - I_C / \beta_F$) للترانزستورين Q_1 و Q_2 .

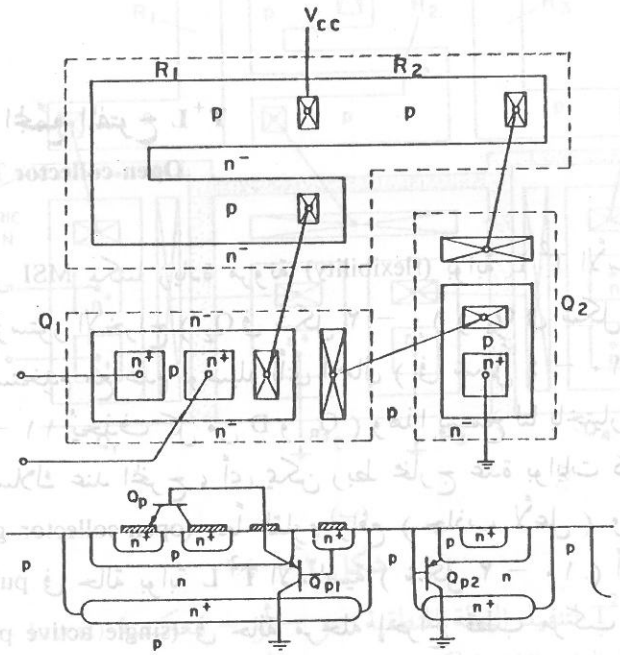
	المدخل		البوابة		الحِمل	
			Q_1	Q_2	Q'_1	Q'_2
١	الحالة (١)	V_0	مشبع	معطل	عاكس نشط	مشبع
٢	عند العتبة	$V_{on} - V_{sat}$	مشبع	معطل-نشط	عاكس نشط	مشبع
٣			مشبع	نشط	عاكس نشط	مشبع
٤			مشبع	نشط	مشبع	مشبع
٥			مشبع	نشط	مشبع	نشط
٦			مشبع	نشط	مشبع	نشط-معطل
٧			مشبع	نشط-مشبع	مشبع	معطل
٨			مشبع	مشبع	مشبع	معطل
٩	الحالة (٢)	V_1	عاكس نشط	مشبع	مشبع	معطل

جدول ٢ – ١

مناطق تشغيل ونقاط إيقاف (أو تعطيل) بوابة T^2L المبينة فى شكل ٢ – ١٠



(أ)



(ب)

شكل ٢ – ١٣

(أ) بوابة T^2L ذات ترانزستورات طفيلية نشطة : Q_{p2} و Q_{p1} و Q_p .

(ب) مخطط ومناظر مقطعية للبوابة T^2L والترانزستورات الطفيلية : Q_{p2} و Q_{p1} و Q_p .

٢ – ٧ – ٥ الدوائر المنطقية ذات الأسلاك مع دوائر T^2L

Wired Logic with T^2L

تعد بوابة NAND البوابة المنطقية الأساسية التى يمكن تنفيذها فى المنطق T^2L ، ويمكن تنفيذ الدوال المنطقية باستخدام هذه البوابة . إلا أنه يمكن فى بعض التطبيقات توفير منطقة السيليكون إذا استخدمنا دائرة منطقية ذات أسلاك عند المخرج . والشكل ٢ – ١٤ يعطى مثالا للدالة :

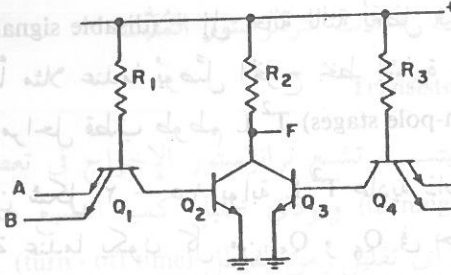
$$F = \overline{AB + CD}$$

أى أن البوابة تنفذ الدالة : و – أو – العكسية (AND - OR - (A O I Invert) .

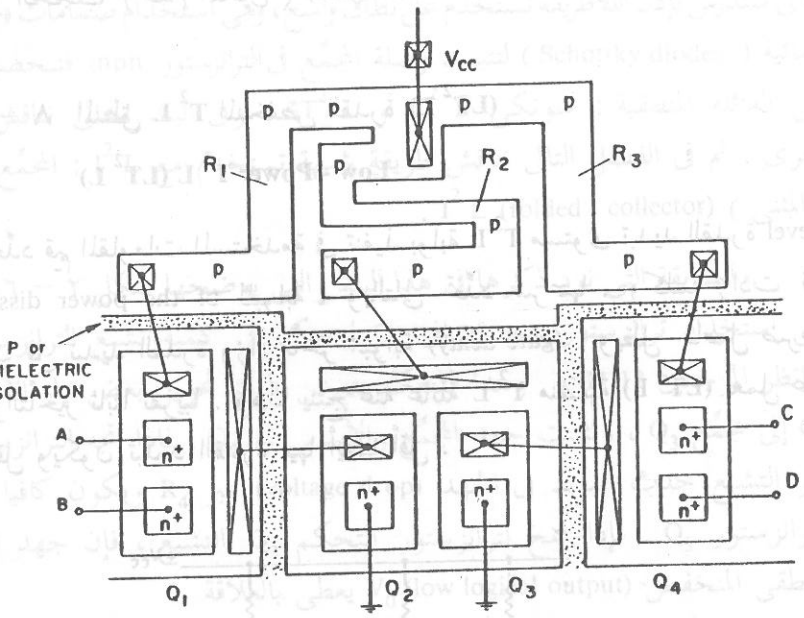
٢ – ٧ – ٥ المجمِّع المفتوح T^+L

Open-collector T^2L

فى دوائر MSI يمكننا زيادة مرونة (flexibility) بوابة T^2L الأساسية وذلك بجعل مجمِّع ترانزستور الإخراج (Q_2 فى شكل ٢ – ١٠ و Q_4 فى شكل ٢ – ١١) متوفرا لدى المستخدِم مع عدم توصيله بأى أحمال (فى شكل ٤ – ١٠ يُحذف R_2 وفى شكل ٢ – ١١ يُحذف كل من D و Q_3) وهذا يسمح لنا باختيار دائرة AND منطقية ذات أسلاك عند المخرج ، أى يمكن ربط مخارج عدة بوابات ذات مجمِّعات مفتوحة (open-collector gates) معاً لمقاوِم رافع (جاذب لأعلى) وحيد (single pull-up resistor) فى حالة بوابة T^2L الأساسية (شكل ٢ – ١٠) أو رافع نشط وحيد (single active pull-up) فى حالة مرحلة إخراج قطب مركب (totem-pole output stage) وبالإضافة إلى هذا يمكننا اختيار قيمة مناسبة للجهد V_{cc} وقيمة مناسبة للحمل .



(أ)



(ب)

شكل ٢ – ١٤

(أ) بوابة T^2L لتنفيذ الدالة المنطقية : و – أو – العكسية (AND - OR - Invert)
(ب) التخطيط العام المقابل لشكل ٢ – ١٤ – أ .

٢ – ٧ – ٧ المخرجات ثلاثية الحالـة

Tristate Outputs

عندما يُستخدم القطب المركَّب T^2L كأداة حث ، يكون من المرغوب بالنسبة لتطبيقات عديدة أن ينتقل المخرج – تحت تحكم إشارة عدم تمكين(تعطيل /

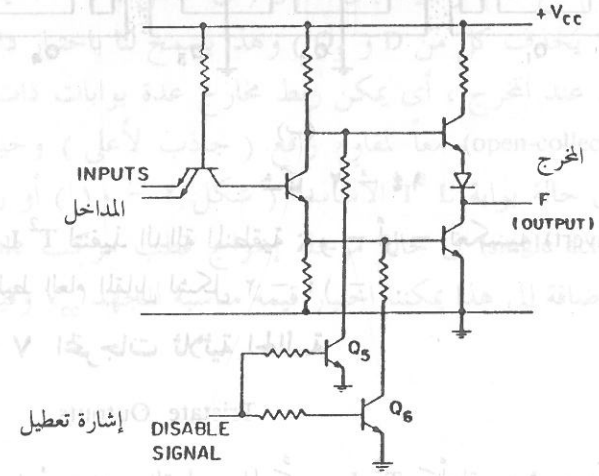
حجب) (disable signal) – إلى حالة ثالثة يُعَطَّل فيها ترانزستورا الإخراج . وهذا الوضع ينشأ مثلا عندما يُوصَّل المخرج بخط إشارة مشترك (common signal line) تشترك فيه مراحل قطب طوطم T^2 L (T^2 L totem-pole stages) عديدة .

ويبين شكل ٢ – ١٥ بوابة T^2 L عادية ذات مخرج ثلاثى الحالة . وتحدث الحالة الثالثة عندما يكون كل من Q_5 و Q_6 فى حالة توصيل ، كما تحددها إشارة التعطيل (الحَجْب / عدم التمكين) (disable signal) عندما تكون عالية (high) .

٢ – ٧ – ٨ المنطق T^2 L المنخفض القدرة (LT^2 L)

Low - Power T^2 L (LT^2 L)

تحدِّد قيم المقاومات المستخدمة فى تنفيذ بوابة T^2 L مستوى تبديد القدرة (level of the power dissipation) للبوابة ، وبالتالى تحدِّد سرعتها . وكلما زادت قيم المقاومات قل تبديد القدرة وزاد تأخر البوابة (gate delay) . ويظل حاصل ضرب القدرة والتأخير ثابتا تقريبا . وهذا ينتج عنه عائلة T^2 L منطقية (LT^2 L) تعمل عند سرعة أقل ويكون تبديد القدرة فيها أيضا أقل .



شكل ٢ – ١٥

بوابة T^2 L ذات مخرج ثلاثى الحالة

٢ – ٧ – ٩ الدوائر المنطقية T^2 L ذات الترانزستور المُثَبَّت

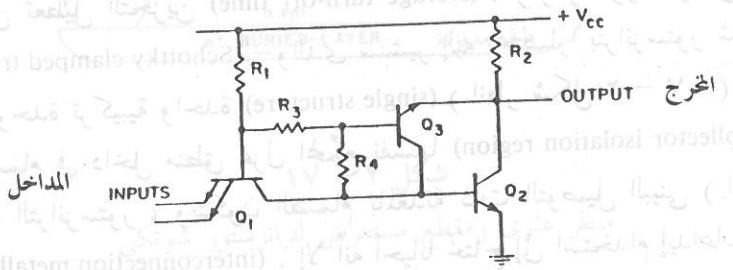
Transister Clamped T^2L

فى الدوائرالمنطقية T^2 L يتسبب تشبع ترانزستور الإخراج فى تعطيل إضافى عندما يتوقف عن العمل (turning off) ويؤدى تقليل كمية التشبع هذه أو منع تواجدها إلى زيادة سرعة التوقف أى تقليل زمن التعطل (turn - off time) . وفى البند التالى سندرس بإذن الله طريقة تستخدم على نطاق واسع، وهى استخدام صمامات «شوتكى» الثنائية (Schottky diodes) لتثبيت وصلة المجمِّع فى الترانزستور npn، فنحصل بذلك على العائلة المنطقية : شوتكى T^2 L أو ST^2 L . وفى البند الحالى نناقش طريقة أخرى . ثم فى الفصل التالى نناقش طريقة شبيهة تستخدم مع I^2 L : المجمِّع المطوى (المثنى) (I^2 L (folded - collector) .

والطريقة التى نود ذكرها فى هذا البند والتى يوضحها شكل ٢ – ١٦ تعتمد على استخدام ترانزستور npn إضافى Q_3 ليتحكم فى كمية تشبع الترانزستور Q_2 [انظر المرجعين 11,12] . وهذا التحكم يتم عن طريق تحويل بعض تيار الأساس فى Q_2 إلى مجمِّع Q_3 ، وتثبيت جهد المجمِّع والأساس فى Q_2 . فإذا اتجه الترانزستور Q_1 نحو التشبع حدث هبوط فى الجهد (voltage drop) عبر R_4 ويكون كافيا لتشغيل الترانزستور Q_3 . فإذا سمح لترانزستور التحكم Q_3 بالتشبع ، فإن جهد الإخراج المنطقى المنخفض (V_0 (low logical output يعطى بالعلاقة

$$V_0 = V_{on} - V_{sat}$$

حيث V_{on} : هو الجهد الخاص بوصلة الباعث والأساس فى Q_2 .



شكل ٢ – ١٦

ترانزستور T^2 L مثبت

و V_{sat} : هو جهد تشبع الترانزستور Q_3 . ونلاحظ فى وضع بوابة شكل ٢ – ١٦ أن Q_1 و Q_2 لهما مجمِّع مشترك . وهذه الطريقة للتحكم فى التشبع تتطلب منطقة سيليكون أكبر منها فى طريقة التثبيت بصمامات شوتكى إلا أنها لا تتطلب أى خطوات تشغيل (processing steps) إضافية .

٢ – ٨ شوتكى $T^2 L$

Schottky $T^2 L$ [13 - 15]

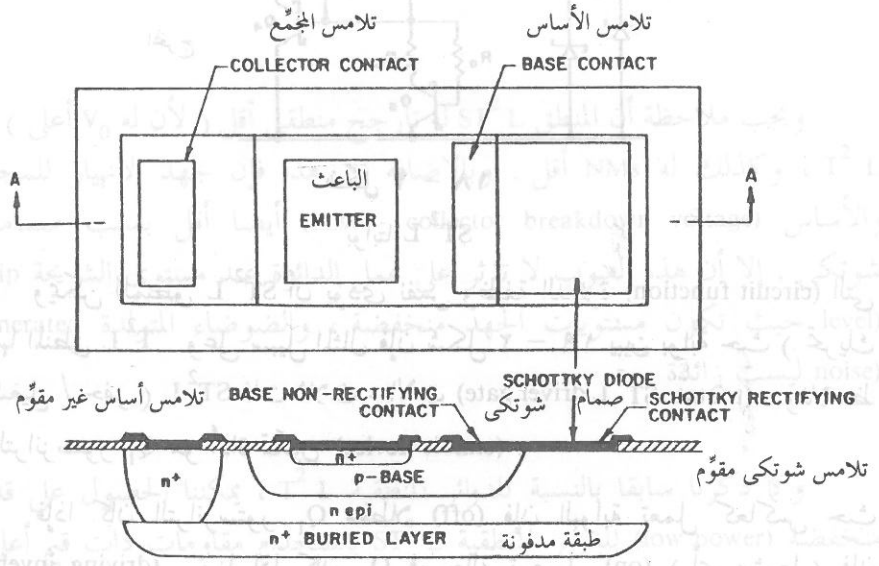
أدى التقدم فى تكنولوجيا القطبية الثنائية واستخدام صمامات شوتكى إلى استعمال $T^2 L$ فى كل من الدوائر المتكاملة MSI و LSI . وذلك لأن التقدم فى هذه التكنولوجيا يسمح بهندسة بسيطة للترانزستورات ، ويؤدى استخدام صمامات شوتكى إلى منع تشبع الترانزستورات npn . وبالإضافة إلى هذا فإن صمامات شوتكى تستخدم لتحل محل صمامات وصلة الإدخال (input junction diodes) فى بوابات $T^2 L$ المعتادة (conventional $T^2 L$ gates) مما يؤدى بدوره إلى تقليل عدد ترانزستورات الإدخال .

وكما ذكرنا فى البند ٢ – ٤ فإن إحدى طرق منع الترانزستور من الوصول إلى التشبع هى تثبيت وصلة المجمع والأساس باستخدام صمام شوتكى ، والذى له جهد توصيل (turn-on voltage) أقل من جهد توصيل صمام وصلة سيليكونى (junction silicon diode) (انظر شكل ٢ – ٨) .

وهذا يقلل شحنة التخزين (storage charge) فى أساس الترانزستور ، وبالتالى يقلل زمن تعطيل التخزين (storage turn-off time) . وترانزستور شوتكى المثبت (Schottky clamped transistor) – والذى سنشير إليه اختصارا بترانزستور شوتكى – يصنع كوحدة تركيبية واحدة (single structure) (انظر شكل ٢ – ١٧) ، حيث يبنى الصمام فى داخل منطق عزل المجمِّع نفسها (same collector isolation region) التى فيها الترانزستور ، ويتكون الصمام بالمعدنة ذات التوصيل البينى (الداخلى) (interconnection metallization) . إلا أنه أحيانا نحتاج إلى استخدام إيداعات معدنية (metal deposition) إضافية لتقليل التسرب من الصمام (diode leakage) .

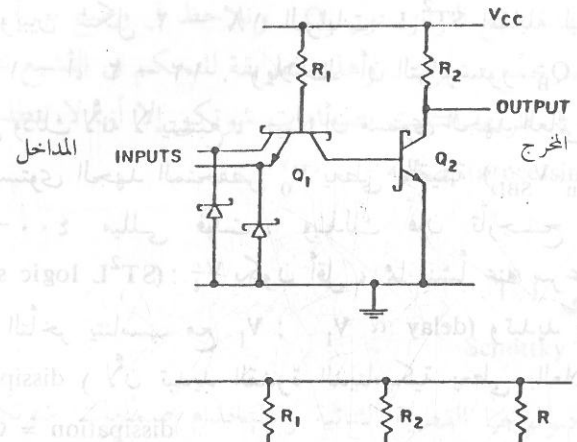
ويبين شكل ٢ – ١٨ البوابات $ST^2 L$ المقابلة لبوابات $T^2 L$ فى شكلي ٢ – ١٠ – أ، ٢ – ١٢ . ويلاحظ أن الترانزستور Q_B لم يُستبدل بترانزستور شوتكى وذلك لأنه لا يتشبع ، حيث أن مستوى الجهد العالى هو نفسه فى حالة T^2L بينما مستوى الجهد المنخفض V_0 يُعطى بالقيمة $(V_{on}-V_{SBD})$ والتى هى فى حدود ٣٠٠ – ٤٠٠ ميللى فولت . وبذلك فإن تأرجح $ST^2 L$ المنطقى (ST^2L logic swing) : V'_l يكون أقل ، مما ينشأ عنه سرعة أكبر (higher speed) (لأن التأخر يتناسب مع V_l : V_l delay α) وتبديد قدرة أقل (lower power dissipation) (لأن تبديد القدرة الديناميكية يعطى بالعلاقة (dynamic power

$$\text{dissipation} = CV_l^2 f$$



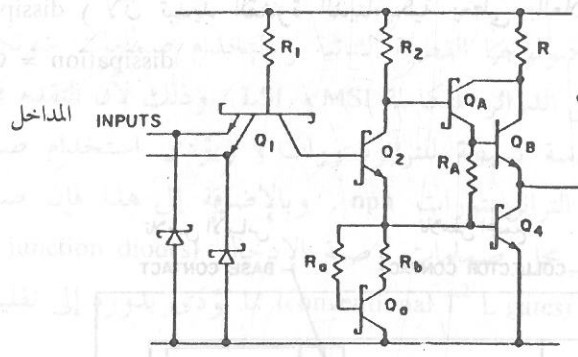
شكل ٢ – ١٧

منظر علوى ومقطع مستعرض لترانزستور شوتكى



(أ)

البوابة الأساسية



(ب)

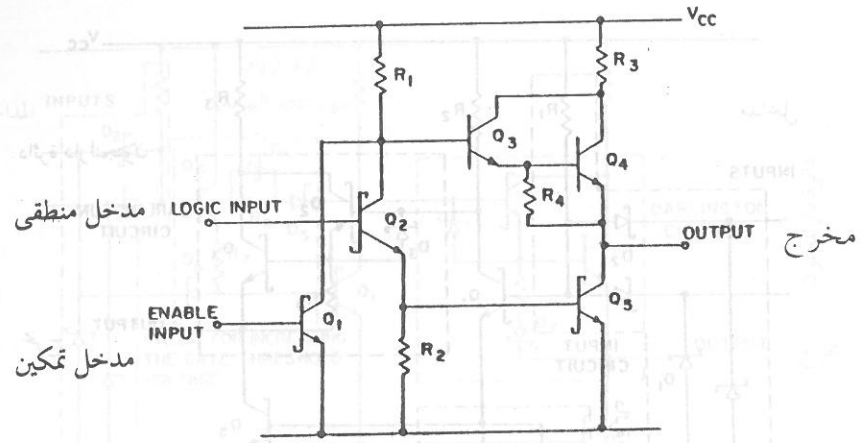
بوابة ذات مخرج قطب مركب

شكل ٢ – ١٨

بوابتا ST^2L

ويمكن للمنطق ST^2L أن يؤدى نفس وظيفة الدائرة (circuit function) التى يؤديها المنطق T^2L . وعلى سبيل المثال فإن شكل ٢ – ١٩ يبين بوابة حث (تحريك / تشغيل / حفز) ST^2L ذات ثلاث حالات (tristate ST^2L driver gate) ، ونلاحظ أن الترانزستور Q_1 هو أداة تمكين (enable device) .

فإذا كان الترانزستور Q_1 معطلا (off) فإن البوابة تعمل كعاكس حث (driving inverter) . بينما إذا كان Q_1 فى حالة توصيل (on) (أى مشبعا) فإن $Q_3 - Q_5$ يكونوا معطلين بغض النظر عن إشارة المدخل المنطقية (logic input signal) ، وفى هذه الحالة تصبح عقدة المخرج (output node) عائمة (طليقة) (floating) ، وتصبح معاوقة المخرج (output impedance) دالة فى سعة (capacitance) عقدة المخرج وتيارات التسرب (leakage currents) لهذه العقدة . وهذا يسمح بتوصيل داخلى (بينى) عل التوازى (parallel interconnection) لمخارج عدة أدوات حث (outputs of several drivers) .

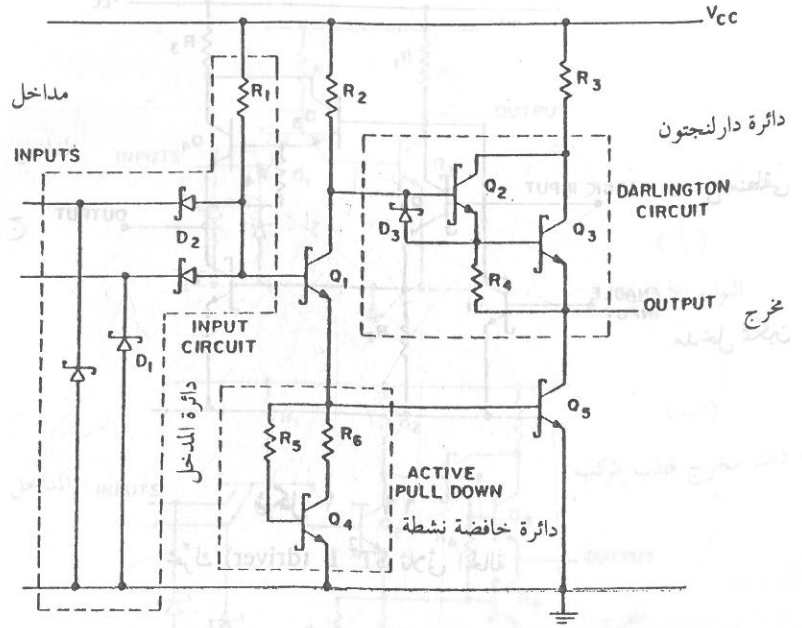


شكل ٢ – ١٩

محرِّك ST^2L (driver) ثلاثى الحالة

ويجب ملاحظة أن المنطق SI^2L له تأرجح منطقى أقل (لأن له V_0 أعلى) من T^2L ، وكذلك له NMs أقل . وبالإضافة إلى هذا فإن جهد الانهيار للمجمع والأساس (base - collector breakdown voltage) أيضا أقل بسبب صمامات شوتكى . إلا أن هذه العيوب لا تؤثر على عمل الدائرة عند مستوى الشريحة (chip level) حيث تكون مستويات الجهد منخفضة ، والضوضاء المتولدة (generated noise) ليست زائدة .

وكما ذكرنا سابقا بالنسبة للدوائر المنطقية T^2L ، يمكننا الحصول على قدرة منخفضة (low power) للدوائر المنطقية ST^2L باستخدام مقاومات ذات قيم أعلى ، مما يؤدى إلى تبديد قدرة أقل عند سرعات تشغيل أقل . وشكل ٢ – ٢٠ يبين بوابة ST^2L معدَّلة (modified) ذات قدرة منخفضة . ولزيادة معاوقة المدخل (input impedance) للبوابة لا نستخدم ترانزستور المدخل متعدد البواعث (multiemitter input transistor) ، ونستخدم بدلا منه دائرة ادخال تتكون من مقاوم R_1 وصمامى شوتكى D_1 و D_2 .



شكل ٢ – ٢٠

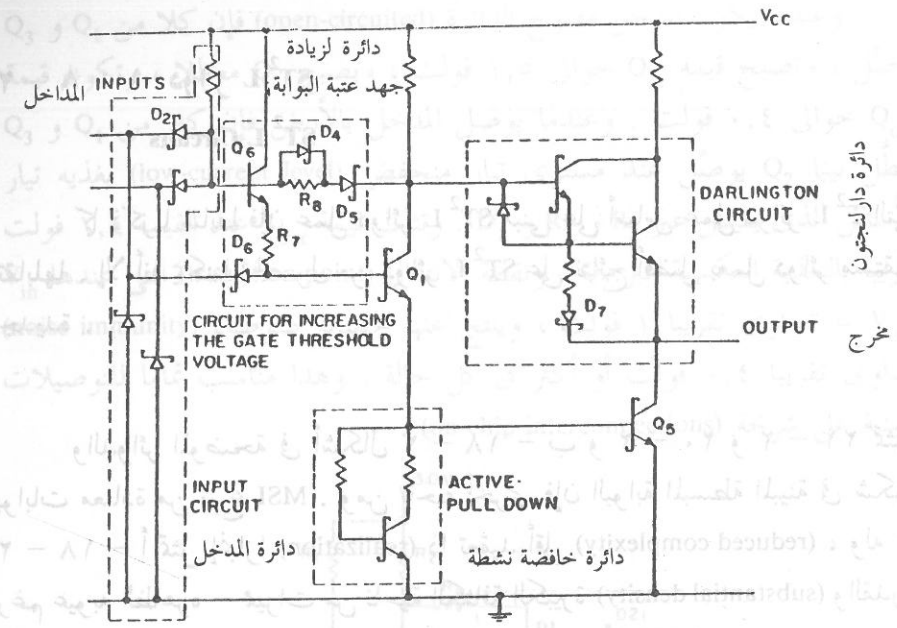
بوابة شوتكى (LS) – قطب مركب معدلة ذات قدرة منخفضة

ودائرة المخرج شبيهة بدائرة شكل ٢ – ١٢ وشكل ٢ – ١٨ وتتكون من ترانزستور Q_5 ودائرة دار لنجتون ومقاوم محدِّد R_3 (limiting resistor) والدائرة البينية (دائرة الربط) (interface circuit) مطابقا تماما لدائرة شكل ٢ – ١٢ وشكل ٢ – ١٨ وتتكون من ترانزستور Q_1 ومقاوم R_2 ودائرة خافضة نشطة (active pull-down circuit) ويعطى جهد العتبة للبوابة LS بالعلاقة :

$$V_t = V_{on}(Q_5) + V_{on}(Q_1) - V_{on}(D_2) - 1\,V$$

حيث $V_{on}(Q_5)$ تعنى : V_{on} للترانزستور Q_5 ، وهكذا . ولزيادة جهد العتبة للبوابة – وبالتالى لزيادة حدود الضوضاء (noise margins) لها ، وفى نفس الوقت لتحسين أدائها الديناميكى (dynamic performance) يُعَدَّل بالاقتران (coupling) بين دائرة الإدخال والدائرة البينية فى بوابة LS من الجيل الثانى (second generation LS gate) ، أى LS^2 كما هو مبين فى شكل ٢ – ٢١ . ويُعطى جهد العتبة للبوابة LS^2 بالعلاقة :

$$V_t = V_{on}(Q_5) + V_{on}(Q_1) + V_{on}(Q) - V_{on}(D_2)$$
$$= 1.4\,V$$



شكل ٢ – ٢١

بوابة LS من الجيل الثانى LS^2

وأما التحسين فى الأداء الديناميكى للبوابة فيرجع إلى الانتقال السريع من الجهد العالى إلى الجهد المنخفض (high - to - low transition) عند المخرج وإلى قدرة الحث ذات السعة العالية (high-capacitance - drive capability) . ويعتبر الترانزستور Q_6 مفتاح هذا التحسن . وذلك لأنه إذا زاد المدخل واقترب من القيمة V_t فإن Q_6 يوصِّل ويغذى تيارا دافقا (surge of current) داخل أساسى Q_1 و Q_5 . وهذا يسمح بالتحول السريع للمخرج من الواحد ''1'' المنطقى إلى الصفر ''0'' المنطقى . وهذا التيار الدافق من Q_5 يجب التحكم فيه والا نتجت عنه شرارات (spiking) . وهذا التحكم يتم بواسطة : R_8 و D_5 و D_4 و R_7 .

ودائرة دار لنجتون فى LS^2 هى نفسها فى LS باستثناء إضافة D_7 إلى المقاوم الخافض R_4 ، وهذا يُمكِّن المخرج من أن يُرفع بينما يتم الاحتفاظ بالحالة المنطقية ''1'' فيَسْهُل بذلك الاتصال البينى (التعشيق / الربط) (interfacing) مع المنطق CMOS .

٢ – ٨ – ١ دوائر ST^2L

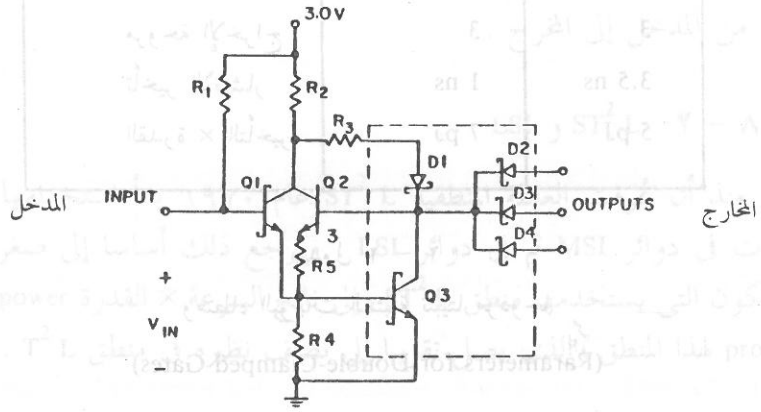
ST^2L Circuits

كما ذكرنا سابقا فإن عمل دوائر ST^2L مبنى على أساس عمل دوائر T^2L التى تقابلها . إلا أنه يمكننا الحصول من دوائر ST^2L على نتائج أفضل بعمل دوائر مستقلة جديدة .

والدوائر الموضحة فى أشكال ٢ – ١٨ – ب و ٢ – ٢٠ و ٢ – ٢١ تمثل بوابات معتادة من نوع MSI . ومن ناحية أخرى فإن البوابة المبسطة المبينة فى شكل ٢ – ١٨ – أ تمثل إنجازا (realization) ذا تعقيد أقل (reduced complexity) ، وله – رغم عيوبه الظاهره – مميزات من ناحية الكثافة الكبيرة (substantial density) والقدرة البسيطة (reduced power) وذلك بالنسبة للتصميمات على الشرائح (on-chip) . وإحدى الطرق التى يمكن اتباعها للحصول على أفضل ما يمكن من كل من دوائر T^2L ودوائر ST^2L هى استعمال مستويات منطقية (داخلية) على شريحة [on-chip (internal) logic levels] وأيضا حواجز (فواصل) T^2L معتادة خارج الشريحة (conventional off-chip T^2L buffers) . وقد اقترح « هودجز » (Hodges) تركيبة البوابة المبينة فى شكل ٢ – ٢٢ والتى تحقق كلا من هذين الغرضين . فجميع المكونات فى تلك التركيبة توائم تكنولوجيا T^2L ، وسرعات العمل توائم سرعات T^2L . وشكل ٢ – ٢٢ – ب يبين جزءا من التركيبة .

وفى جدول ٢ – ٢ نرى مجموعتين من القيم الوسيطة (parameter values) لدائرة شكل ٢ – ٢٢ وكذلك استهلاك القدرة (power consumption) والتأخير (delay) لكل من هاتين المجموعتين ، حيث جهد التغذية الداخلى V_{cc} (internal supply voltage) يساوى ٣ فولت عند درجة حرارة الغرفة ، ونحصل على هذ الجهد من جهد يساوى ٥ فولت يعطيه منظِّم على شريحة (on-chip regulator) والمستويات المنطقية المعتادة عند المخرج تساوى ٠,٤ فولت و ١,٤ فولت .

وعندما يكون المدخل مفتوح الدائرة (open-circuited) فإن كلا من Q_1 و Q_3 يوصِّل ، وتصبح قيمة Q_{in} حوالى ١,٥ فولت ، ويصبح Q_2 معطلا ، وتكون قيمة Q_{out} حوالى ٠,٤ فولت . وعندما يوصل المدخل بالأرض فإن كلا من Q_1 و Q_3 يعطَّل بينما Q_2 يوصِّل عند مستوى تيار منخفض (low-current level) يغذيه تيار الأساس الذى يفيض عبر R_2 و R_3 و D_1 . وتثبَّت قيمة V_{out} عند القيمة ١,٤ فولت تقريبا بالتغذية العكسية عبر Q_2 . ونقطة الانتقال (transition point) التى عندها V_{in} = V_{out} تساوى تقريبا ١ فولت ، وينتج عنها حصانة ضوضاء (noise immunity) تساوى تقريبا ٠,٤ فولت أو أكثر فى كل حالة . وهذا مناسب تماما للتوصيلات البينية على شريحة (on-chip interconnections) .



شكل ٢ – ٢٢

بوابة NAND أساسية مثبتة تثبيتا مزدوجا (double-clamped)

(أ) مخطط الدائرة

(ب) المخطط العام للترانزستور Q_3 والصمامات D_1 - D_4

القـــدرة المنخفضة Low Power	السرعـة العاليـة High Speed	
12 KΩ	2.4 K Ω	R_1
5 KΩ	1 K Ω	R_2
8 KΩ	1.6 K Ω	R_3
2.5 KΩ	0.5 K Ω	R_4
.5 KΩ	0.1 K Ω	R_5
1.4 m W	7 m W	القدرة ت . م
3	3	مروحة الإخراج
3.5 ns	1 ns	تأخير الانتشار
5 pJ	7 pJ	القدرة × التأخير

جدول ٢ – ٢

وسطاء البوابات المثبتة تثبيتا مزدوجا

(Parameters for Double-Clamped Gates)

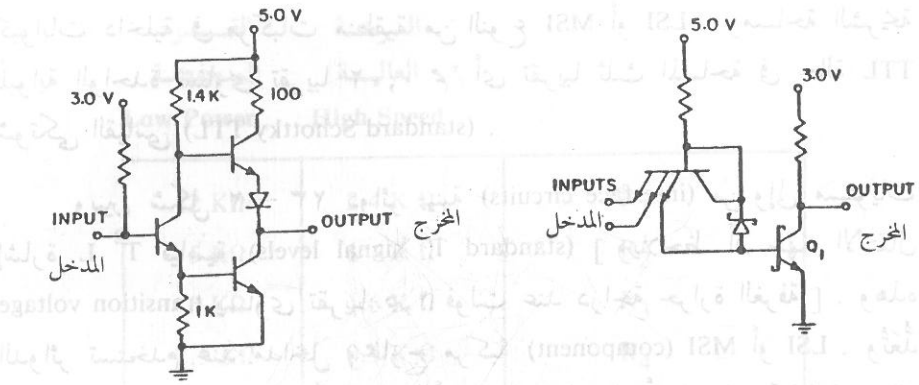
وتركب الصمامات الثنائية D_1 - D_4 على منطقة المجمع المتجانسة (n) (n epitaxial collector region) فى الترانزستور Q_3 . وإذا استخدمنا بدلا من ذلك ترتيبات أخرى لبوابات من الترانزستور متعدد البواعث أو الصمامات الثنائية (diode or multiemitter transistor gating) فستنتج لدينا سعة كلية أكبر بكثير . والترانزستوران Q_1 و Q_2 هما ترانزستورا شوتكى مثبتان (Schottky clamped transistors) وجهد التشبع المثبت للترانزستور Q_3 يحدد المستوى المنخفض للمخرج (output low level) . وأما المستوى العالى للمخرج فيُثَبَّت بتأثير Q_2 , R_2 , D_1 , R_5 , R_4 . والجهد عند العقدة 3 يساوى تقريبا ٠,٥ فولت . ولذلك فإن تأخر توصيل (turn-on delay) الترانزستور Q_3 يقل عن الحالة التى ينزل فيها هذا الجهد إلى الصفر . ويلخص جدول ٢ – ٢ عمل الدائرة ، حيث نفترض وجود مروحة إخراج ذات ثلاث دوائر متطابقة مع وجود حِمل loading واحد على الشريحة . وهذه تُستخدم

كبوابات داخلية فى مركبات منطقية من النوع MSI أو LSI . ومساحة الشريحة للبوابة الواحدة تساوى تقريبا ٠,٠٢ مم^2 أى تقريبا ثلث المساحة فى حالة TTL شوتكى القياسى (standard Schottky TTL) .

ويبين شكل ٢ – ٢٣ دوائر بينية (interface circuits) من وإلى مستويات إشارة T^2 L قياسية (standard T^2 signal levels) [ويلاحظ أن جهد الانتقال transition voltage يساوى تقريبا ١,٥ فولت عند دراجة حرارة الغرفة] . وهذه الدوائر تستخدم عند مداخل ومخارج مركبة MSI (component) أو LSI . وتُعَدُّ الدوائر البينية البسيطة مطلبا أساسيا إذا أردنا الحصول على أى مميزات كلية فى دوائر MSI وذلك لأن هذه الدوائر تشتمل عادة على ثلاث إلى ست بوابات فقط فى أى مسار من المدخل إلى المخرج .

٢ – ٨ – ٢ ST^2 L و LSI

منذ أن عُرفت العائلة المنطقية ST^2 L عام ١٩٧٠ بدأ استخدامها فى عدة تطبيقات فى دوائر MSI ثم فى دوائر LSI . ويرجع ذلك أساسا إلى صغر مساحة السيليكون التى يستخدمها منطق ST^2 L وإلى ناتج السرعة × القدرة (speed - power product) لهذا المنطق والذى يصل تقريبا إلى نصف نظيره فى منطق T^2 L .



شكل ٢ – ٢٣

(أ) دائرة بينية عند المدخل : من T^2L 5-V إلى ST^2L 3-V مثبت تثبيتا مزدوجا .

(ب) دائرة بينية عند المخرج : من ST^2L 3-V مثبت تثبيتا مزدوجا إلى T^2L 5-V .

ولقد بدأ تصميم ST^2L أساسا كامتداد أو تطوير لمنطق T^2L القياسى (standard) . وأصبحت وظائف ST^2L MSI (functions) متوفرة لتحل محل وظائف T^2L MSI واحدة مقابل واحدة . ويمكن لمصمم الدوائر أن يستخدم مزيجا من ST^2L و T^2L لأى نظام جزئى (subsystem) ، حيث يستخدم ST^2L عندما تكون السرعة عاملا مهما ويستخدم T^2L عندما تكون NMs مهمة . وعلى سبيل المثال ففى كثير من الحاسبات الصغيرة يُستخدم ST^2L لمسجلات الحسابات (computation registers) كأجهزة الجمع (adders) والضرب (multipliers) والتجميع (accumulators) ، بينما يُستخدم T^2L فى أجهزة الإدخال والإخراج وحث الذاكرة (memory drivers) والدوائر البينية (interface circuits) الأخرى .

ولقد انتشر استخدام ST^2L فى دوائر LSI ليس فقط بسبب مساحة السيليكون الصغيرة وناتج القدرة × السرعة الصغير ولكن هناك أيضا عوامل أخرى ، من أهمها أننا لا نحتاج إلى إزاحة مستويات (level shifting) لربط (أى تعشيق أو وَصْل) ST^2L مع أى عائلات منطقية معتادة [سواء T^2L أو DTL أو MOS ذات عتبة صغيرة (low-threshold)] ما عدا ECL . ومن هذه العوامل الأخرى كذلك أن صمامات شوتكى المثبتة عند المدخل (Schottky - clamped input diodes) تكبت (تُخمِد) (suppress) أى تأثيرات لضوضاء الخط (line noise) أو ما يُعرف بالجرس (ringing) وذلك لأن خصائص أو منحنيات الانتقال (transfer characteristics) أحَدُّ

منها (sharper) فى T^2L . ومن المميزات الأخرى كذلك أن المصمم لديه مرونة فى الاختيار بين ST^2L و T^2L ذات القدرة البسيطة (low-power) و T^2L . ونتيجة لهذا فإن وظائف ST^2L LSI متوفرة . وعلى سبيل المثال فإن المتحكم الصغير ذا شريحة وحيدة (single chip microcontroller) يستخدم مع شرائح ST^2L أخرى فى الحاسبات الصغيرة ، ويمكن للمنظومات ذات المجال القابل للبرمجة (field-programmable arrays) أن تحل محل الوظائف المنطقية العشوائية (random logic functions) .

٢ – ٩ مصفوفات التحويل والمنظومات المنطقية القابلة للبرمجة (PLAs)

Switching Matrices and Programmable Logic Arrays (PLAs)

يظهر تأثير ST^2L على التصميم المنطقى فى استخدام المنظومات المنطقية المعتادة (regular logic arrays) . ويتعلق البند الحالى بمفاهيم مصفوفات التحويل والمنظومات المنطقية القابلة للبرمجة (PLAs) . ورغم أن المناقشة هنا ستكون مركزة على ST^2L باستخدام صمامات شوتكى إلا أن الدراسة ستأخذ طابع العموم ويمكن تطبيقها على العائلات المنطقية MOS وثنائية القطبية (bipolar and MOS logic families) .

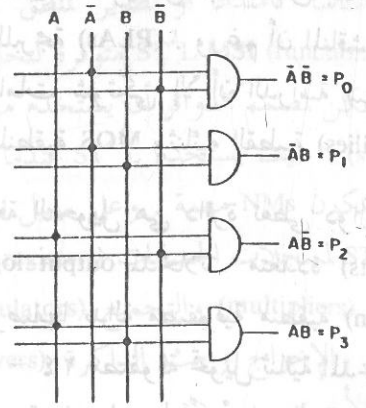
ومصفوفة التحويل هى دائرة تعطى دوال إخراج منطقية متعددة (multiple output logic functions) لمدخلات متعددة (multiple inputs) . والدائرة متعددة المخارج يمكن وصفها بدالة مصفوفية منطقية (Boolean matrix function) مناسبة . ويبين شكل ٢ – ٢٤ مصفوفة تحويل ثنائية المدخل (two-input switching matrix) ، حيث تعطى أربعة مخرجات لمتغيِّرَىْ إدخال وهى المصفوفة المبينة بالشكل تستخدم الدالة AND المنطقية لتعطى جميع توافقات حاصل الضرب : P_0 , P_1 , P_2 , P_3 . ودوال الإخراج f_0 , f_1 , f_2 , f_3 يمكن كتابتها بدلالة حواصل الضرب فى شكل مصفوفة . وفى مثالنا الحالى تكون مصفوفة التحويل مستطيلة وقطرية ، وهى تحوِّل حواصل الضرب الصغرى عند المدخل [input minterms (products)] إلى دوال الإخراج (output functions) :

$$\begin{bmatrix} f_0 \\ f_1 \\ f_2 \\ f_3 \end{bmatrix} = \begin{bmatrix} 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \end{bmatrix} \begin{bmatrix} P_0 \\ P_1 \\ P_2 \\ P_3 \end{bmatrix}$$

وإذا استبدلنا ببوابات AND بوابات OR فإن مصفوفة التحويل تبقى كما هى ، ونستبدل بحواصل الضرب حواصل الجمع المنطقية S_0 , S_1 , S_2 , S_3 ، أى الحدود الكبرى (maxterms) .

ويمكن الحصول على دوال تحويل أخرى لمدخلين (أو أكثر) وذلك إما بتغيير عدد المخرجات (وذلك بتغيير عُقد التوصيل الداخلى (interconnection nodes) ، أو بأن نستبدل ببوابات AND , OR عناصر منطقية مختلفة .

$$\begin{bmatrix} f_0 \\ f_1 \\ f_2 \\ f_3 \end{bmatrix} = \begin{bmatrix} 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \end{bmatrix} \begin{bmatrix} P_0 \\ P_1 \\ P_2 \\ P_3 \end{bmatrix}$$

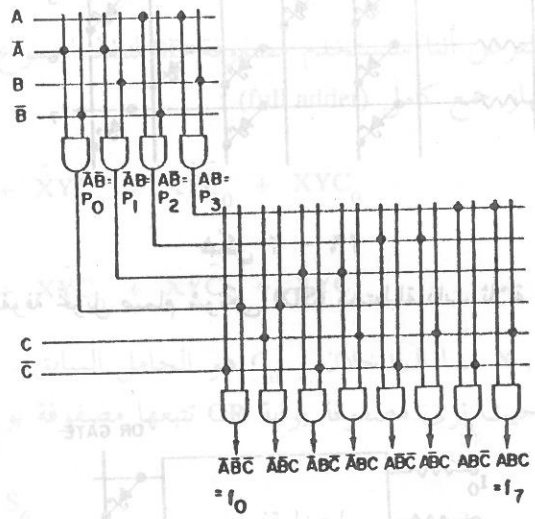


شكل ٢ – ٢٤

مصفوفة تحويل ثنائية المدخل

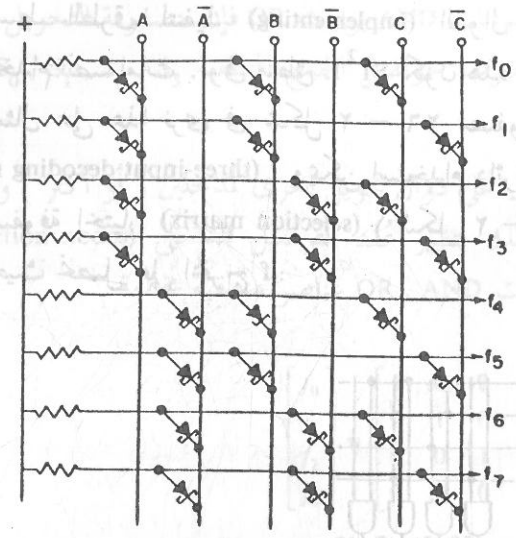
ويمكننا أن نطبق هذا المفهوم السابق على الدوائر المنطقية متعددة المستويات (multiple-level logic circuits) . ويبين شكل ٢ – ٢٥ مصفوفة تحويل ثنائية المستوى لثلاثة متغيرات إدخال [انظر المرجع رقم 20] . والمستوى الأول هو مصفوفة ذات أربعة مخارج كالمبينة فى شكل ٢ – ٢٤ والتى تحث (drives) بدورها مصفوفة تحويل ثانية . وتستخدم كلا المصفوفتين بوابات AND كعناصر منطقية . ويمر كل مدخل خلال عنصرى AND قبل الظهور عند خطوط الإخراج (f_0 - f_7) .

ومن أبسط الطرق لتنفيذ (implementing) الدوال المصفوفية (matrix functions) استخدام الصمامات . وفى منطق ST^2L تكون هذه الصمامات صمامات شوتكى . وكمثال على هذا نرى فى شكل ٢ – ٢٦ مصفوفة فك شفره ثلاثية المدخل (three-input decoding matrix) . ويمكن استخدام دائرة شبيهة بدائرة شكل ٢ – ٢٦ كمصفوفة اختيار (selection matrix) (شكل ٢ – ٢٧) وذلك لثمانية مداخل I_0 - I_7 حيث نحصل على المخرج f :



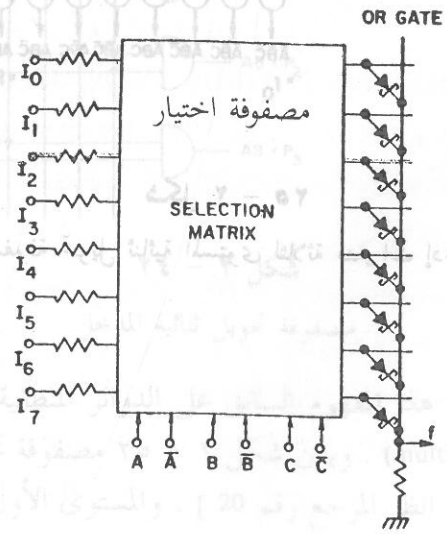
شكل ٢ – ٢٥

مصفوفة تحويل ثنائية المستوى لثلاثة متغيرات إدخال



شكل ٢ – ٢٦

مصفوفة تحويل صمام شوتكى (SD) مستطيلة ذات ثلاثة مداخل



بوابة OR

شكل ٢ – ٢٧

مصفوفة اختيار SD

$$f = I_0 P_0 + I_1 P_1 + I_2 P_2 + ... + I_7 P_7$$

أى أن المخرج f دالة فى المدخلات الثمانية ومدخلات التحكم الثلاثة A,B,C (حيث $P_0 = ABC$، ... إلخ) وعموما يمكن تركيب دوائر شبيهة لتعطى أجهزة صياغة الشفرة (encoders) ، حيث تعطى n زوجا (pairs) من المخرجات لعدد 2^n من المدخلات وأجهزة فك شفرة ، وكذلك تعطى عدد 2^n من المخرجات موزَّعة من مدخل واحد تبعا لحالة (state) n زوج من المدخلات (n input pairs) .

وكمثال نفرض أننا سنستخدم مصفوفة SD لتنفذ المجموع S (sum) والحامل C (carry) فى جهاز جمع كامل (full adder) :

$$S = \bar{X}\bar{Y}C_0 + \bar{X}Y\bar{C}_0 + X\bar{Y}\bar{C}_0 + XYC_0$$

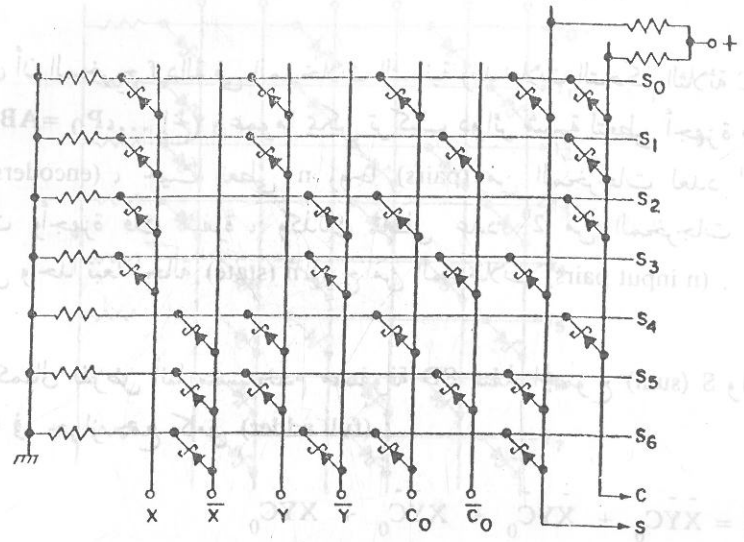
$$S = \bar{X}YC_0 + \bar{X}\bar{Y}C_0 + XY\bar{C}_0 + XYC_0$$

حيث X , Y هما المدخلان و C_0 هو الحامل السابق . والتنفيذ يظهر فى شكل ٢ – ٢٨ حيث نرى مصفوفة بوابة OR تتبعها مصفوفة بوابة AND :

$$S = S_0 S_3 S_5 S_6$$

$$C = S_0 S_1 S_2 S_4$$

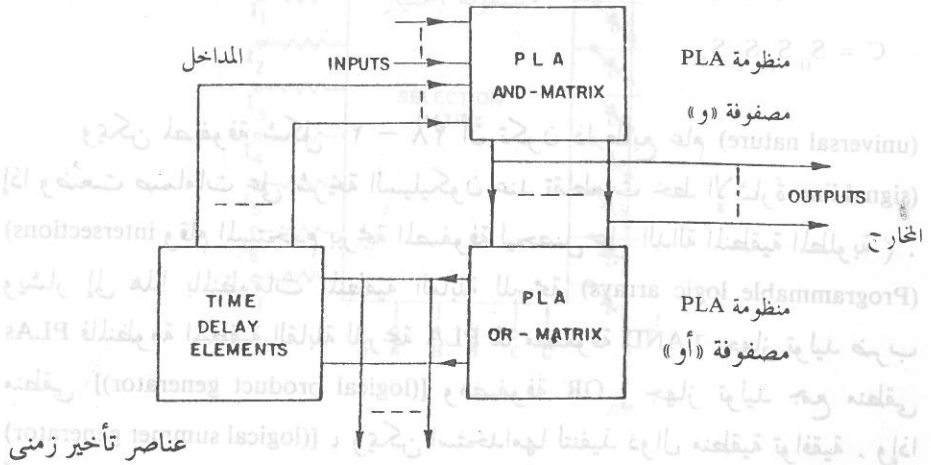
ويمكن لمصفوفة شكل ٢ – ٢٨ أن تكون ذا طابع عام (universal nature) إذا وضُعت صمامات على شريحة السيليكون عند تقاطعات خط الإشارة (signal line intersections) وقام المستخدم ببرمجة المصفوفة ليحصل على الدالة المنطقية المطلوبة) . ويشار إلى هذا بالمنظومات المنطقية القابلة للبرمجة (Programmable logic arrays) PLAs فالمنظومة المنطقية القابلة للبرمجة PLA لها مصفوفة AND [جهاز توليد ضرب منطقى (logical product generator)] ومصفوفة OR [جهاز توليد جمع منطقى (logical summer generator)] ، ويمكن استخدامها لتنفيذ دوال منطقية توافقية . وإذا أردنا تنفيذ دائرة تتابعية باستخدام PLAs فيمكننا تغذية مخرج مصفوفة OR عكسيا



شكل ٢ – ٢٨

تنفيذ جهاز جمع كامل باستخدام مصفوفة SD

لمدخل مصفوفة AND عن طريق عناصر تأخير زمنى (time delay elements) [كالدوائر القلابة (flip-flops) مثلا] كما يبين ذلك شكل ٢ – ٢٩ .

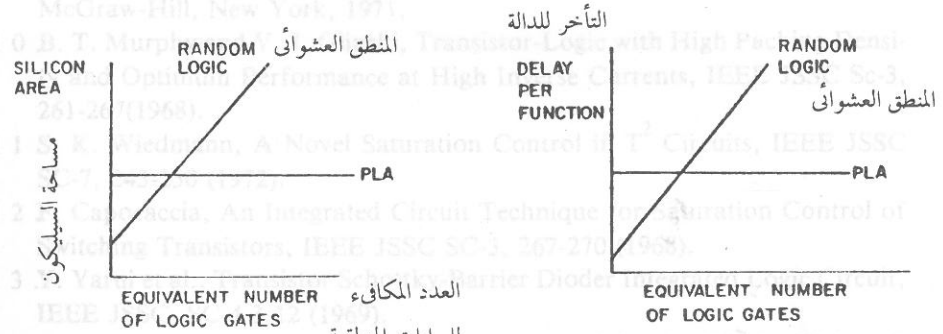


شكل ٢ – ٢٩

تنفيذ المنطق التتابعى باستخدام المنظومات المنطقية القابلة للبرمجة PLAs

ويمكننا كذلك استخدام ذاكرات القراءة فقط (ROMs) (Read-only-memories) لتنفيذ الدوال المنطقية بطريقة شبيهة للمنظومات PLAs . وعموما الذاكرة ROM يتم الحصول عليها (realized) فى صيغة مصفوفة ذات n صف تمثل عدد الكلمات و m عمود تمثل عدد الوحدات الثنائية bits فى الكلمة . وهكذا يمكن للذاكرة ROM أن تخزِّن محتويات مصفوفة تحويل ، فمثلا مصفوفة تحويل OR لمتغيرين تتطلب ذاكرة ROM ذات كلمتين ، ووحدتين ثنائيتين لكل كلمة (two-word two-bit per word ROM) .

ويجب ملاحظة أن المنظومات PLAs قوالب منطقية عامة (universal logic blocks) ويمكن أن تقل الاستفادة منها إذا كانت الدالة المطلوب تنفيذها بسيطة . ويوضح شكل ٢ – ٣٠ هذه النقطة . فمساحة السيليكون والتأخر (delay) لمنظومة PLA معطاه ثابتان بغض النظر عن الدالة المطلوب تنفيذها . وهكذا فهناك قَدْر أمثل



شكل ٢ – ٣٠

منحنيات أداء المنظومات المنطقية القابلة للبرمجة PLAs

من التعقيد (optimum complexity) لا يُفَضَّل من الناحية الاقتصادية أن تُستخدم دونه – أى أقل منه – منظومة PLA معينة . وهذا القدر الأمثل دالة فى حجم المنظومة PLA وتكنولوجيا LSI المستخدمة للحصول عليها .

المراجـــع

REFERENCES

1. C.S. Meyer, D. K. Lynn, and D. J. Hamilton, Analysis and Design of Integrated circuits, McGraw-Hill, New York, 1968.
2. T. R. Blakeslee, Digital Design with Standard MSI and LSI, Wiley, New York, 1975.
3. L. S. Garrett, Integrated-Circuit Digital Logic Families: TTL Devices, IEEE Spectrum 7. 63-72 (Nov. 1970).
4. A. B. Glaser and G. E. Shbak-Shorpe, Integrated Circuit Engineering: Design, Fabrication and Applications, Addison-Wesley Reading, MA, 1977.
5. D. J. Hamilton and W. G. Howard, Basic Integrated Circuit Engineering. McGraw-Hill, New York, 1975.
6. C. A. Holt, Electronic Circuits: Digital and Analog, Wiley, New York, 1978.
8. V. H. Grinich and H. G. Jackson, Introduction to Integrated Circuits, McGraw-Hill, New York, 1975.
9. R. L. Morris and J. R. Miller, Designing with T^2 Integrated Circuits, McGraw-Hill, New York, 1971.
10. B. T. Murphy and V. J. Glinski, Transistor-Logic with High Packing Density and Optimum Performance at High Inverse Currents, IEEE JSSC Sc-3, 261-267(1968).
11. S. K. Wiedmann, A Novel Saturation Control in T^2 Circuits, IEEE JSSC SC-7, 243-250 (1972).
12. F. Capocaccia, An Integrated Circuit Technique for Saturation Control of Switching Transistors, IEEE JSSC SC-3, 267-270 (1968).
13. Y. Yarui et al., Transistor Schottky-Barrier Dioder Integrated Logic Circuit, IEEE JSSC, SC-4 3-12 (1969).
14. R. N. Noyce, R. E. Bohn, and H. T. Chua, Schottky Diodes Make IC Science, Electronics 42, 74-80 (july 21,1968).
15. L. Altman, Large-Scale-Integration, Electronics Book Series, McGraw-Hill, New York, 1976.
16. J. C. Barrett et al., Design Considerations for a High-Speed Bipolar Read-Only Memory, IEEE JSSC SC-5 196-202 (1970).
17. D. A. Hodges, Department of Electrical Engineering and Computer Sciences, University of California, Berkeley, CA, personal communication.
18. R. J. Clayton et al., Evaluation Breeds a Microcomputer that Can Take On Its Big Brothers, Electronics 44, 62-66 (October 11,1971).
19. N. Cavlan and S. J. Durham, Field Programmable Arrays: Powerful Alternatives to Random Logic, Electronics 52, 109-114 (July 5,1979).
20. B. Zacharov, Digital Systems Logic and Circuits, American Elsevier, New York, 1968.

2 1 P. Hoffpair, LS^2 Family Squeezes More Speed from Existing T^2L Sockets, Electronics 53, 149-153 (February 28,1980).

الفصل الثالث

عائلات منطقية للدوائر LSI عالية السرعة

عائلات ECL و EFL

Logic Families for High - Speed LSI :

ECL and EFL

٣ - ١ تمهيـــد

يهدف هذا الفصل إلى دراسة الدوائر المنطقية غير المشبعه والتى يمكن تنفيذها عن طريق الحد من تأرجحات (swings) التيار والجهد لضمان عمل الأجهزة فى الصيغة النشطة (active-mode) فقط . وأما المميزات التى نحصل عليها فهى تحسين كبير فى السرعة بسبب النقص فى الشحنة الثانوية المخزونة (decreased stored minority charge) ، وبعض التغيرات فى تخطيط الدائرة والاتصالات بين أجزائها (circuit topologies) والتى تؤدى إلى سعة أقل وبالتالى إلى تحويل (switiching) أكثر كفاءة .

٣ - ٢ دوائر منطق البواعث المقترنة

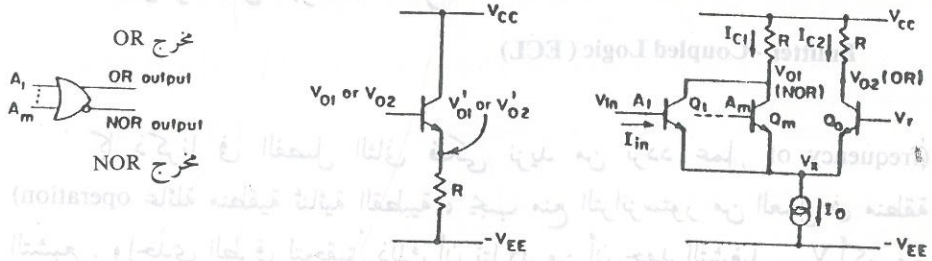
Emitter - Coupled Logic (ECL)

كما ذكرنا فى الفصل الثانى فلكى نزيد من تردد عمل (frequency of operation) عائلة منطقية ثنائية القطبية ، يجب منع الترانزستور من العمل فى منطقة التشبع . وإحدى الطرق لتحقيق ذلك أن نتأكد من أن جهد التشغيل V_{CE} أكبر من جهد التشبع الهين (الأملس / اللين) (soft saturation voltage) ، وأن تيار الأساس يكاد يكفى للحفاظ على الترانزستور عاملا فى المنطقة النشطة . ونظرا لأنه من الصعب التحكم فى تيار الأساس عند مستوى يقابل منطقة التشغيل النشطة ($I_B = I_C / \beta$) بسبب التسامح الكبير (wide tolerance) فى قيمة β ، فمن الأنسب

عمليا التحكم فى تيار الباعث (أو تيار المجمِّع) عند قيمة ثابتة يحددها تيار الانحياز (bias current) .

وهذا يؤدى بنا إلى البوابة المنطقية الأساسية للباعث المقترن المبينة فى شكل ٣ – ١ ، وهى تتكون من ترانزستور انحياز ثابت (fixed bias transistor) Q_0 ، أساسه متصل بجهد مَرْجِع (reference voltage) V_r ، وعدد من ترانزستورات إدخال متصلة على التوازى (Q_1 إلى Q_m) .

وترانزستورات الإدخال تستطيع توجيه (steering) التيار I_0 بين Q_0 و (Q_1 إلى Q_m) . وعندما يتغير أو يُوَجَّه التيار فإن جهد الإخراج المنطقى عند كل من V_{01} و V_{02} سوف يتغير أيضا فيعطى إخراج منطقى NOR و OR على الترتيب . ونظرا لأن توجيه التيار (شكل ٣ – ٢) يغير جهد الإخراج فأحيانا نستخدم الاسم : المنطق ذو الصيغة التيارية أو الدوائر المنطقية التى تعمل بنمط التيار (current-mode logic) (CML) ويُعَيَّر (normalized) التيار فى شكل ٣ – ٢ بالنسبة للقيمة $\alpha_0 I_0$ وهى القيمة العظمى لتيار المجمِّع لأن I_0 هو تيار الباعث و $\alpha \triangleq I_c / I_E$ هى كفاءة الباعث . والمحور الأفقى فى شكل ٣ – ٢ يمثل انحراف الجهد (voltage excursion) المطلوب لتوجيه التيار بين Q_0 وترانزستورات الإدخال . وحيث أن تيارات المجمِّع تعتمد على فروق الجهد بين الأساس والباعث اعتمادا أُسِّيا (exponential dependance) ، فيلزم لتحويل (switching) التيارات تغيرٌ مقداره mkt/q فقط



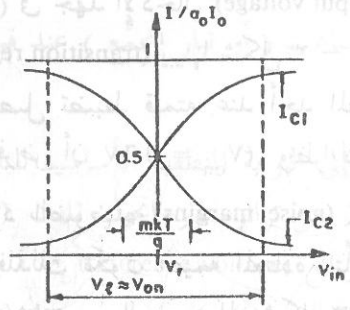
(جـ) (ب) (أ)

شكل ٣ – ١

(أ) بوابة ECL أساسية .
(ب) مرحلة متتبِّع الباعث .
(جـ) الرمز المنطقى .

(m تساوى تقريبا ٢ – ٣) فى جهد الإدخال (input voltage) بالنسبة للجهد V_r . وهذه المنطقة الانتقالية (transition region) يبينها شكل ٣ – ٢ . ويلاحظ أن الجهد V_r الوارد فى أمثلة هذا الفصل تضبط قيمته عند أحد المضاعفات الفردية (odd multiples) للقيمة $\frac{1}{2} V_{on}$ (افرض أن $V_{on} = 0.7V$). ونظرا لأنه من المرغوب فيه أن يكون هناك تماثل فى حدود الضوضاء (noise margins) عند كل من المستويين المنطقيين العالى والمنخفض فلذلك تكون القيمة المعتادة للتأرجح المنطقى الكلى فى حدود V_{on} وهى أعلى من mkt/q . وبالرجوع إلى شكل ٣ – ١ نجد أن أعلى قيمة للجهد V_{01} ستكون V_{cc} (عادة جهد الأرض) وأقل قيمة ستكون $V_{cc} - V_{on}$ وهى أقل من V_r بقدر $\frac{1}{2} V_{on}$.

وأمَّا جهد العتبة للبوابة ECL فهو V_r . فإذا كانت قيمة أى إشارة منطقية عند المدخل (input logic signal) (A_i) أكبر من V_r بقدر كاف فإن الترانزستور Q_i يصبح موصلا ON والترانزستور Q_0 عاطلا OFF . بينما إذا كانت جميع الإشارات المنطقية عند المدخل أقل من V_r بقدر كاف فإن Q_0 يصبح موصلا ON بينما جميع الترانزستورات Q_i $(i = 1,2,.....,m)$ تصبح عاطلة OFF . فإذا سمحنا بانخفاض (drop) فى الجهد قدره 0.7 V عبر المصدر التيارى (current source) لتجنب التشبع ، فنجد أن قيمة V_r يجب أن تكون 1.4 V أى انخفاضين صماميين (two diode drops) فوق $(-V_{EE})$. وإذا سُمح للترانزستور Q_0 أن يشتغل عند القيمة 350 mV للجهد V_{CE} فإن مجمِّعه سيكون عند الجهد 1.5 V فوق $(-V_{EE})$. وإذا كان التأرجح المنطقى عبر R_2 مساويا لانخفاض صمامى قدره 0.7 V فإن أدنى قيمة مطلوبة للجهد (minimum) V_{CC} ستكون 1.75 V فوق $(-V_{EE})$ . . إلا أن قيمة V_{CC} تؤخذ عادة مساوية للقيمة 5.2 V فوق $(-V_{EE})$. وذلك للسماح بتسلسل (تتابع) (cascading) بنيات ECL (structures) أى تكويم (تكديس) (stacking) البنيات التى تشترك فى مصدر تيار واحد . وهذا يسمح بتتابع ثلاث بنيات ECL . فإذا لم نرغب فى عملية التتابع هذه فإن قيمة V_{CC} يمكن أن تكون 1.75 V فوق $(-V_{EE})$ ، بفرض أن كلا من جهد تشغيل المصدر التيارى (current-source operating voltage) والتأرجح المنطقى يساوى 700 mv وأن زوج الباعث المقترن (emitter-coupled pair) يعمل بجهد أدنى (minimum) يساوى 350 mv للجهد V_{CE} عندما يكونا عاملين .



شكل ٣ – ٢

منحنيا تيارى المجمع I_{c1} , I_{c2} مقابل الجهد V_{in} .

ملاحظة : التياران I_{c1} , I_{c2} مُعايَران بالنسبة لأقصى تيار للمجمع αI_0 .

وفى دوائر ECL تُعطَى عادةً قيمة المخرج المنطقى بالنسبة لجهد أرضى حقيقى ، أى أن V_{CC} يؤخذ على أنه الأرض وتعمل الدائرة من جهد مصدرى سالب (negative supply voltage) وهذا يؤدى إلى إشارة ضوضائية أقل عند المخرج . ويمكن شرح هذا كما يلى :

١ – إذا كان « المصدر التيارى » (current source) مقاوِما R_E (resistor) بحيث أن $R_E >> R_L$ فإن الضوضاء عند عقدة V_{CC} تتسبب فى إشارة قيمتها $\triangle V_n \, R_E/(R_E + R_L)$ بينما الضوضاء عند عقدة V_{EE} تتسبب فى إشارة قدرها $\triangle V_n \, R_L/(R_E + R)$ ونسبة تقسيم الجهد (voltage divider vatio) تشير إلى أن الضوضاء عند عقدة V_{CC} أكبر .

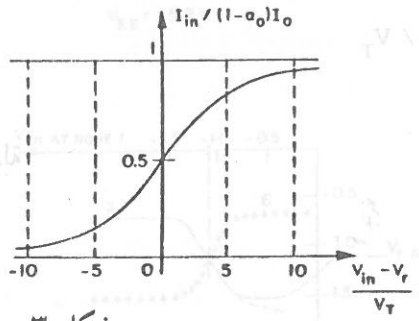
٢ – إذا استخدمنا « مرايا تيارية » (current mirrors) – كما هو مُبيَّن فيما يلى – فإن التغيرات عند الطرف V_{EE} (V_{EE} terminal) تؤثر على مستوى الانحياز وبالتالى على تيار المرآة (mirror current) بقدر $\triangle V_n \, / R_{bias}$ بينما الضوضاء عند الطرف V_{CC} تظهر مباشرة عند المخرج بفرض أن المصادر التيارية لها معاوقة لا نهائية عند المخرج (infinite output inpedance) .

ولزيادة قدرة بوابة ECL الأساسية على الحث (driving capability) نضيف مرحلة متابعة الباعث (emitter-follower stage) كما هو مبين فى شكل ٣ – ١ ب ، وذلك لأن إضافة توابع القاذف تقلل المستويات المنطقية عند المخارج بقدر V_{on} ،

وبالتالى فإن المرجع (reference) V_r يجب أيضا أن يقلل إلى قيمة تساوى $1\frac{1}{2} V_{on}$.

وشكل ٣ – ٣ يبين أن تيار المدخل (input current) يزيد عن التأرجح المنطقى عند المدخل بمقدار V_r تقريبا . وتُستَخدم وحدات kt/q المعيـرَّة (normalized) ($V_T = kT/q$) ، ويلاحظ أنه يُطلب تحوّل قليل من V_T من حالات التعطل off إلى حالات التوصيل (on states) .

ويتضح لنا من شكلى ٣ – ١ – أ و ٣ – ٢ أنه إذا تغير جهد الإدخال بقدر انخفاض صمامى (diode drop) V_{on} فإن تيار المجمِّع يتغير بقدر I_0 تقريبا . والتأرجح المنطقى للدائرة يساوى I_0R (حيث R تساوى R_1 أو R_2 بناءً على عقدة المخرج (output node) وعادة يكون التأرجح المنطقى عند المخرج محدودا (limited) بقدر انخفاض صمامى ، وفى كثير من دوائر ECL يمكن الحصول على ذلك بتوصيل مقاومة الحمل (load resistance) على التوازى (shunting) بصمام ثنائى .



شكل ٣ – ٣

منحنى تيار المدخل I_{in} مقابل فرق الجهد ($V_{in} - V_r$) .

التيار I_{in} معاير بالنسبة لأقصى تيار عند المدخل $I_0 - \alpha I_0$.

وفرق الجهد ($V_{in} - V_r$) معاير بالنسبة للجهد الحرارى V_T .

ويمكن الحصول عادة على المصدر التيارى باستعمال ترانزستور يعمل فى المنطقة النشطة ، كما سنبين ذلك فيما بعد .

وإذا اعتبرنا فى شكل ٣ – ١ – أ أن $-V_{EE}$ هو الجهد المرجع (reference voltage) فإن المصدر التيارى النشط يحتاج جهدا قدره V_{CE} أعلى من جهد التشبع الهين (≅ ٣٠٠ ميللى فولت) . افرض أن هذا الجهد يساوى انخفاضا صماميا قدره ٧٠٠ ميللى فولت . وكنيتجة لهذا فإذا أصبح أى من الترانزستورات ($Q_0 - Q_m$)

موصلا ON فإنه سيكون عاملا فى المنطقة النشطة (لأن $V_{CE} \geq$ جهد التشبع الهين للترانزستور) ويبين شكل ٣ – ٢ العلاقة بين تيارى المخرج I_{c1}, I_{c2} وجهد المدخل V_{in} بفرض أن خواص الترانزستورات متطابقة (identical transistor characteristics) وأن المصدر التيارى I_0 ثابت ومثالى . والعلاقة بين I_{c1}, I_{c2} وجهد المدخل علاقة أسية (exponential characteristic) :

$$I_{c1} = I_s e^{(V_{in} - V_x) / V_T}$$

$$I_{c2} = I_s e^{(V_r - V_x) / V_T}$$

حيث V_x هو جهد عقدة الباعث المشترك (common emitter node voltage) المبين فى شكل ٣ – ١ و I_s هو التيار المرجع الانتقالى للترانزستور ثنائى القطبية (bipolar transistor transport reference current) . وبالتالى فإن النسبة بين تيارى المجمع تعطى بالعلاقة :

$$\frac{I_{c1}}{I_{c2}} = e^{(V_{in} - V_r) / V_T}$$

وباستعمال المعادلة

$$I_{c1} + I_{c2} = \alpha_0 I_0$$

نستنتج أن

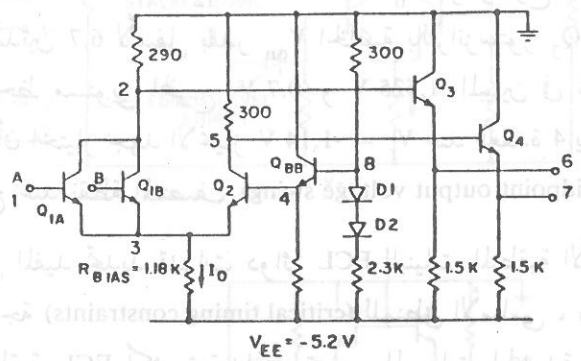
(٣ – ١)

$$\frac{I_{c2}}{\alpha_0 I_0} = \frac{1}{1 + e^{(V_{in} - V_r) / V_T}}$$

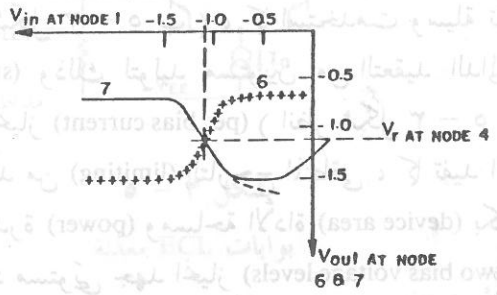
حيث α_0 هو المكسب التيارى (current gain) فى الدائرة القصيرة (short-ciruit) للأساس المشترك (common-base) و $V_T = kT/q$ هو الجهد الحرارى (thermal voltage) . وينتج من هذا أن العلاقة بين تيار المدخل وجهد المدخل تعطى بالمعادلة :

$$\frac{I_{in}}{(1 - \alpha_0) I_0} = \frac{1}{1 + e^{(V_r - V_{in}) / V_T}} \qquad (٣ – ٢)$$

ويبين شكل ٣ – ٤ – أ كيفية الحصول تماما على بوابة ECL OR/NOR تقليدية (classical) ذات مدخلين مع إعطاء قيم عملية للعناصر المختلفة . ويلاحظ أن الترانزستورين Q_{1B} و Q_{1A} يعطيان بوابة NOR القياسية بينما يعطى الترانزستوران Q_4 و Q_3 مخرجات متتبِّع الباعث (emitter-follower outputs) عبر العقدتين 2,5 .



(أ)



(ب)

شكل ٣ – ٤

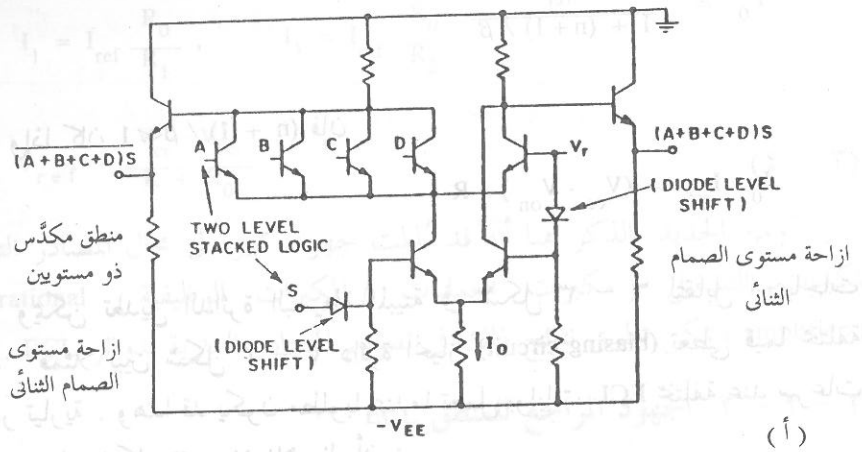
(أ) بوابة ECL NOR/OR تقليدية ذات سلسلة انحياز للجهد V_r ومتتبِّعى المصدر .
(ب) منحنى V_{out} مقابل V_{in} لشكل ٣ – ٤ – أ

وأما المقاومة 1.18 kΩ الموصلة بين العقدة 3 والجهد V_{EE} فتعمل على تحديد تيار تشغيل الدائرة [لهذه الدائرة :

$$[I_0 = (5.2 V - 2.5 V_{on}) / 1.18 k\Omega = 2.85 mA$$

والجهد عند العقدة 3 وعند العقدة 4 يتحددان بقدر انخفاض $2V_{on}$ وانخفاض V_{on} – على الترتيب – عن الانحياز (bias) عند العقدة 8 والذى يساوى 0.44 V - وهى قيمة تساوى تقريبا $\frac{1}{2} V_{on}$ تحت الجهد الأرضى . ونظرا لأن تشغيل البوابة ECL الرئيسية يفرض أن التيار I_0 يتحكم فى أقصى تأرجح (maximum swing) عند العقدتين 2,5 فلذلك $V_{12} = 290\ \Omega$ ، $I_0 = 0.825V$. وتتزحزح قيمة جهد المخرج عند كل من العقدتين 6,7 لأسفل بقدر V_{on} الخاصة بالترانزستور Q_3 والترانزستور Q_4 . وبالتالى نلاحظ مستويى المخرج 0.7 V- و 1.525 V المبينين فى شكل ٣ – ٤ ب . كما نلاحظ أن اختيار جهد الانحياز V_r = -1.14 V عند العقدة 4 يتفق تماما مع تأرجح جهد المخرج عند نقطة المنتصف (midpoint output voltage swing) .

ومن المفيد تحديد قدرات دوائر ECL للبنيات المنطقية الأكثر تعقيدا وللقيود الزمنية الحرجة (critical timing constraints) للمنطق الأساسى ، ويبين شكل ٣ – ٥ بوابات منطقية ECL أكثر تعقيدا . وتتضح المميزات الجديدة عند المقارنة بشكل ٣ – ٤ ، فقد استخدمت صمامات ثنائية مثبتة (diode clamps) كوسائل أحمال (load devices) (انظر شكل ٣ – ٥ ب) ، كما استخدمت وسيلة تكديس منطقية (stack logic realization) وذلك لتوليد مستويين من التعقيد الدالى (functional complexity) لكل تيار انحياز (per bias current) (انظر شكل ٣ – ٥ – أ) . ويفيد التثبيت الصمامى فى الحد من (limiting) التأرجح المنطقى ، كما تفيد الدائرة المكدسة فى استخدام كل من القدرة (power) ومساحة الأداة (device area) بكفاءة . والعيب الوحيد هو تطلب وجود مستويَى جهد انحياز (two bias voltage levels) ، إلا أن هذه مشكلة داخلية بسيطة . وسوف نتناول مسألة التكديس هذه بالتفصيل فى بند ٣ – ٤ عند الحديث عن EFL .



شكل ٣ – ٥

بوابات ECL معدَّلة

(أ) بوابات مكدَّسة ذات مستويين .
(ب) تنفيذ عالى السرعة بصمامات مثبتة ومداخل متتبِّع الباعث

٣ – ٢ – ١ المصادر التيارية ECL

(ECL Current Sources)

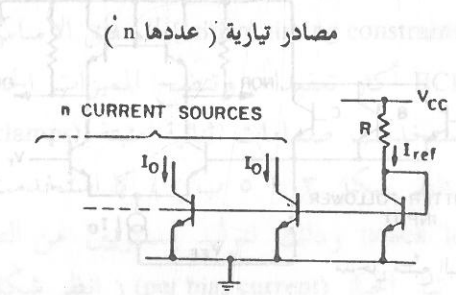
يبين شكل ٣ – ٦ دائرة انحياز بسيطة للحصول على n مصدر تيارى نشط لبوابات ECL . وتتكون الدائرة من سلسلة انحياز (biasing chain) ومقاوم R وترانزستور متصل بصمام ثنائى (diode connected transistor)،وبالنسبة لخصائص الترانزستور المتطابقة نحصل على العلاقة :

$$I_0 = \frac{I_{ref}}{1 + (n+1)/\beta}$$

وإذا كان $1 >> (n+1)/\beta$ فإن

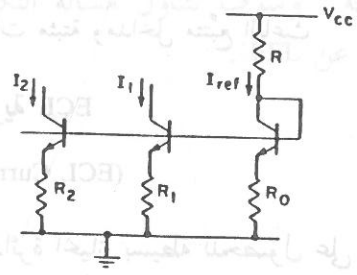
$$I_0 \simeq I_{ref} = (V_{cc} - V_{on}) / R$$

ويمكن تعديل الدائرة البسيطة المبينة فى شكل ٣ – ٦ لتقابل احتياجات مختلفة . فمثلا يبين شكل ٣ – ٧ دائرة انحياز (biasing circuit) تعطى قيما مختلفة لمصادر تيارية . وهذا قد يكون مطلوبا عندما تعمل بوابات ECL مختلفة عند سرعات مختلفة . وفى شكل ٣ – ٧ نلاحظ أن :



شكل ٣ – ٦

دائرة انحياز للحصول على I_0



شكل ٣ – ٧

دائرة انحياز للحصول على قيم مختلفة للتيار I_0

$$I_1 = I_{ref}\frac{R_0}{R_1}, \qquad I_2 = I_{ref}\frac{R_0}{R_2}$$

$$I_{ref} \simeq \frac{V_{cc} - V_{on}}{R + R_0} \qquad (٣ - ٤)$$

ومن الجديد بالذكر هنا أنه قد بُذلت جهود كبيرة فى مجال المصادر التيارية لمكبرات التشغيل (مكبرات العمليات / المكبرات الوظيفية) (operational amplifiers) ويمكن تطبيق نتائج ذلك فى تصميم المصادر التيارية لدوائر ECL .

٣ – ٢ – ٢ الجهود المراجع للمنطق ECL

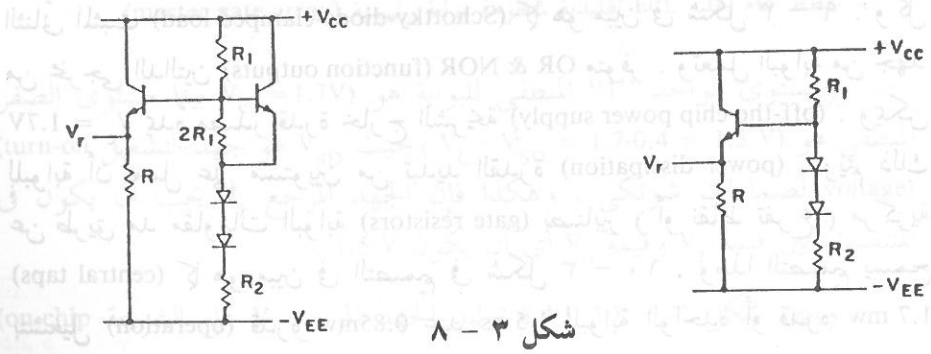
(ECL Reference Voltages)

يبين شكل ٣ – ٨ – أ دائرة انحياز بسيطة لتعطى جهدا مرجعا V_r لبوابات ECL وتتكون الدائرة من سلسلة مقاوم – صمام (diode-resistor chain) تتبعها مرحلة متتبع الباعث (emitter-follower stage) وتفيد تلك المرحلة فى إعطاء مقاومة مخرج بسيطة ، وبالتالى يمكن للجهد V_r أن يغذى أكثر من بوابة ECL واحدة ، وبإهمال تيار الأساس فى الترانزستور متتبِّع الباعث ، نحصل على العلاقة

(٣ – ٥)

$$V_r = V_{cc}\frac{R_2}{R_1 + R_2} - V_{on}\frac{R_2 - R_1}{R_1 + R_2}$$

وفائدة المقاوم R هى العمل على انحياز (bias) مرحلة متتبِّع الباعث فى المنطقة النشطة . ويمكن تعديل الدائرة لمقابلة احتياجات مختلفة .



شكل ٣ – ٨

(أ) و (ب) دائرتا انحياز للحصول على الجهد المرجع V_r

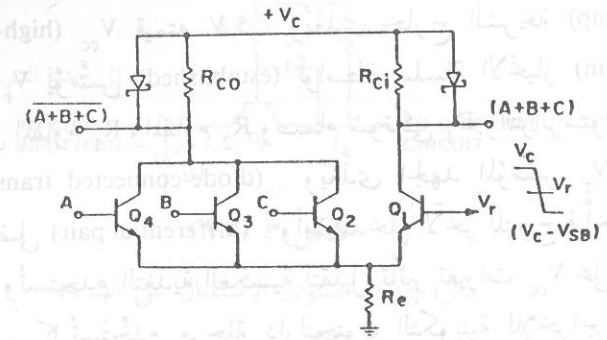
وكما سنرى بإذن الله فى البند ٣ – ٦ فمن المرغوب فيه غالبا أن نجعل V_r مساويا $1.5\ V_{on}$. ويمكن تصميم الدائرة المبينة فى شكل ٣ – ٨ – أ للحصول على مستوى الانحياز (bias level) المطلوب باختيار R_1 وتيار الانحياز لضبط قيمة الجهد المرجع . وهناك طريقة أدق لضبط قيمة V_r وهى أن نستبدل بالمقاوم R_1 الدائرة المبينة فى شكل ٣ – ٨ – ب . وفى هذه الحالة يعطى مقسِّم المقاومة (resistive divider) للمقاومين $R_1, 2R_2$ جهدا يساوى $0.5\ V_{on}$ عبر المقاوم R_1 ، وهذا بدوره يُطبَّق (applied) (يؤثِّر به) على أساس متتبع الباعث (base of the emitter follower) ، وبالتالى يكون V_r عند المخرج مساويا $1.5\ V_{on}$.

٣ – ٣ منظومة بوابة الشريحة الرئيسية ECL

ECL Master-Slice Gate Array

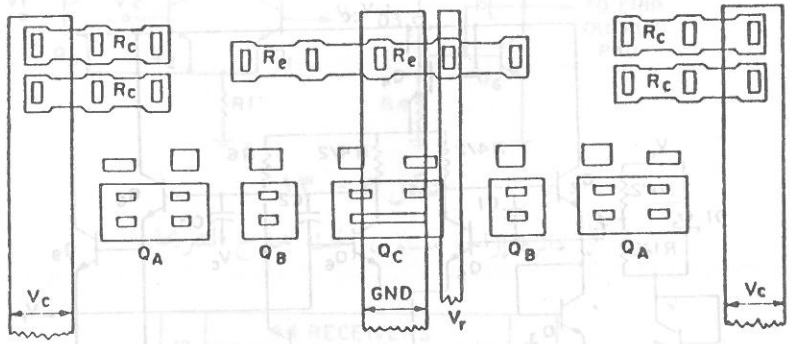
يستطيع تصميم النظم باستعمال LSI أن يستخدم عادة شريحة منظومة بوابة عامة مصممة سابقا (predesigned universal gate array chip) ، حيث تخصص هذه الشريحة لوظيفة خاصة عن طريق تكييف (customizing) أقنعة ذات مستوى أعلى (higher-level masks) مثل القناع المعدنى النهائى (final metal mask) . وميزة هذه الطريقة سرعة وقت الاستدارة (quick turnaround time) وهو الوقت المستغرق من المرحلة النهائية للتصميم المنطقى إلى الشريحة المُصنَّعة . وأما عيب الطريقة فهو أن مساحة الشريحة يمكن أن تستخدم بدرجة أقل مما ينبغى (underutilized) . إلا أن الطريقة واسعة الانتشار ، وفى هذا البند نناقش مثالا يستخدم المنطق ECL .

البوابة المنطقية الأساسية فى المنظومة هى بوابة ECL ذات حمل صمام شوتكى الثنائى المثبت (Schottky-diode-clamped load) كما هو مبين فى شكل ٣ – ٩ . وكل من مخرجى الدالتين OR & NOR (function outputs) متوفر . وتعمل البوابة من جهد $V_c = 1.7V$ يمده مصدر قدرة خارج الشريحة (off-the-chip power supply) . ويمكن للبوابة أن تعمل على مستويين من تبديد القدرة (power dissipation) . ويتم ذلك عن طريق مد مقاومات البوابة (gate resistors) بصنابير (أو نقاط تفرع) مركزية (central taps) كما هو مبين فى التصميم فى شكل ٣ – ١٠ . وهذا التصميم يسمح بتشغيل (operation) قدره 0.85mw عند 1.5 ns للبوابة الواحدة أو قدره 1.7 mw عند 0.8 ns للبوابة .



شكل ٣ – ٩

بوابة ECL ذات صمام شوتكى الثنائى المثبت



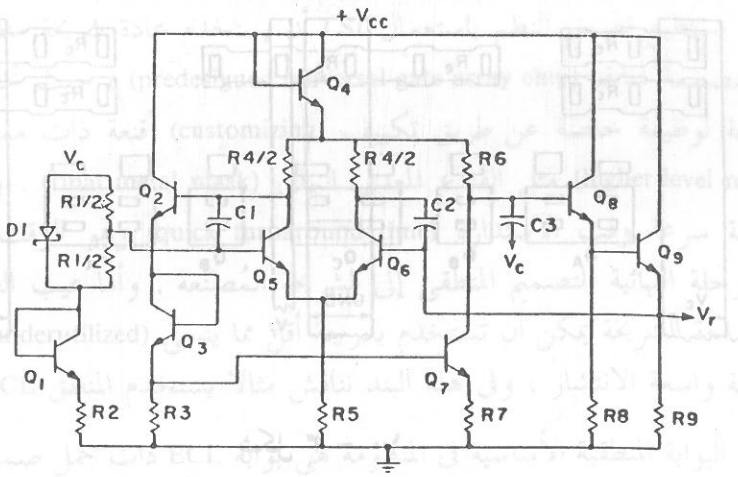
شكل ٣ – ١٠

مخطط عام لخلية ECL تقليدية لمنظومة بوابة رئيسية (master gate array)

ومستوى الواحد "1" المنطقى للبوابة هو V_c (=1.7V) بينما مستوى الصفر المنطقى هو (1.3 V = 1.7-0.4 = $V_C - V_{SD}$) حيث V_{SD} هو جهد التشغيل (turn-on voltage) لصمامات شوتكى . وهكذا فإن الجهد المرجع V_r يجب أن يكون فى المنتصف بين قيمة V_1 وقيمة V_0 أى أن يكون 1.5 V .

ويبين شكل ٣ – ١١ دائرة توليد الجهد المرجع V_r على الشريحة (on-chip reference voltage generator circuit) والدائرة تعمل من منبع عالى القدرة

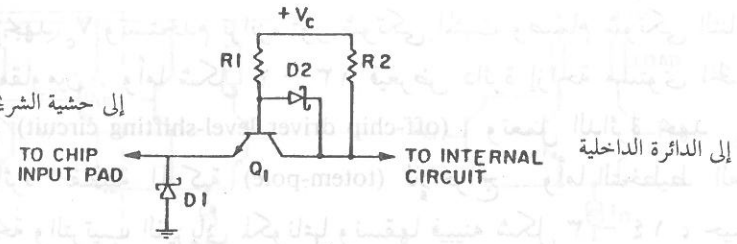
(high-power supply) V_{cc} قيمته 5 V ، ويُغَذَّى خارج الشريحة (off the chip) . والجهد المرجع V_r يؤسَّس (established) بواسطة سلسلة الانحياز (biasing chain) والتى تتكون من المقاوم R_1 والمقاوم R_2 وصمام شوتكى D_1 والترانزستور Q_1 الموصل بالصمام (diode-connected transistor) . ويُغذَّى الجهد المؤسَّس V_r داخل أحد نهايتى زوج تفاضلى (differential pair) . وأما المدخل الآخر للزوج فيأخذ عينات من مخرج الدائرة ، وتُستخدم التغذية العكسية لتقليل تأثير تغيرات V_{cc} على قيمة V_r إلى أقل حد ممكن . كما تُستَخْدم مرحلة دارلنجتون التكوينية للإخراج (Darlington configuration output stage) وذلك لتقليل معاوقة المخرج (output impedence) إلى أقل قيمة ممكنة وزيادة قدرة الحث إلى أكبر قيمة ممكنة . وتضاف المكثفات (capacitors) لاستقرار العرَى المغلقة (closed-loop stability) .



شكل ٣ – ١١

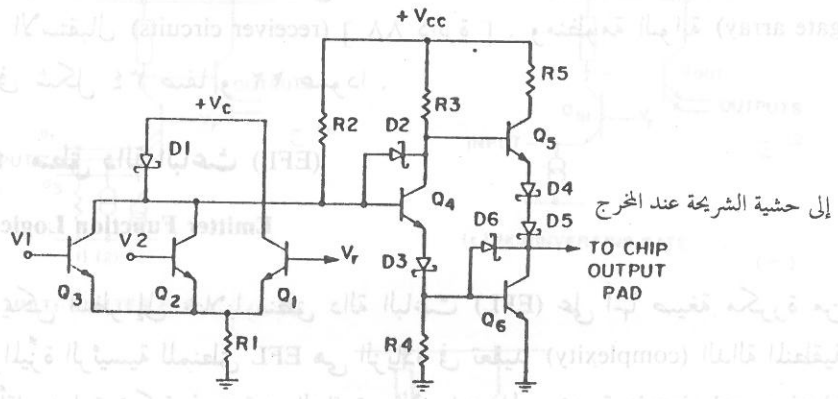
دائرة توليد الجهد المرجع V_r على الشريحة

ولتحقيق مواءمة (compatibility) T^2L عند المداخل والمخارج تُستَخدم الدائرتان المبينتان فى شكلى ٣ – ١٢ و ٣ – ١٣ ، حيث يعرض شكل ٣ – ١٢ دائرة ازاحة مستوى الاستقبال على الشريحة (on-chip receiver level-shifting circuit) ، والدائرة تُحوِّل مستويات المنطق T^2L إلى المستويات المنطقية الداخلية .



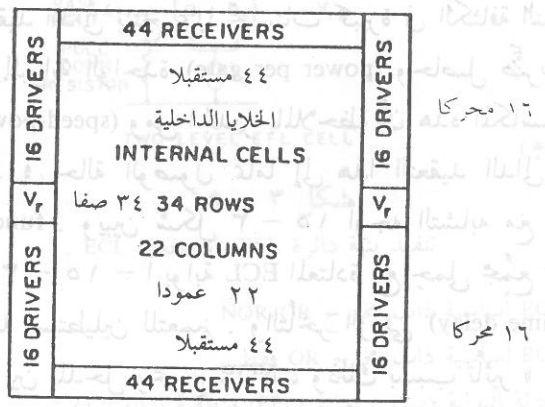
شكل ٣ – ١٢

دائرة إزاحة مستوى الاستقبال على الشريحة



شكل ٣ – ١٣

دائرة إزاحة مستوى الحث خارج الشريحة



شكل ٣ – ١٤

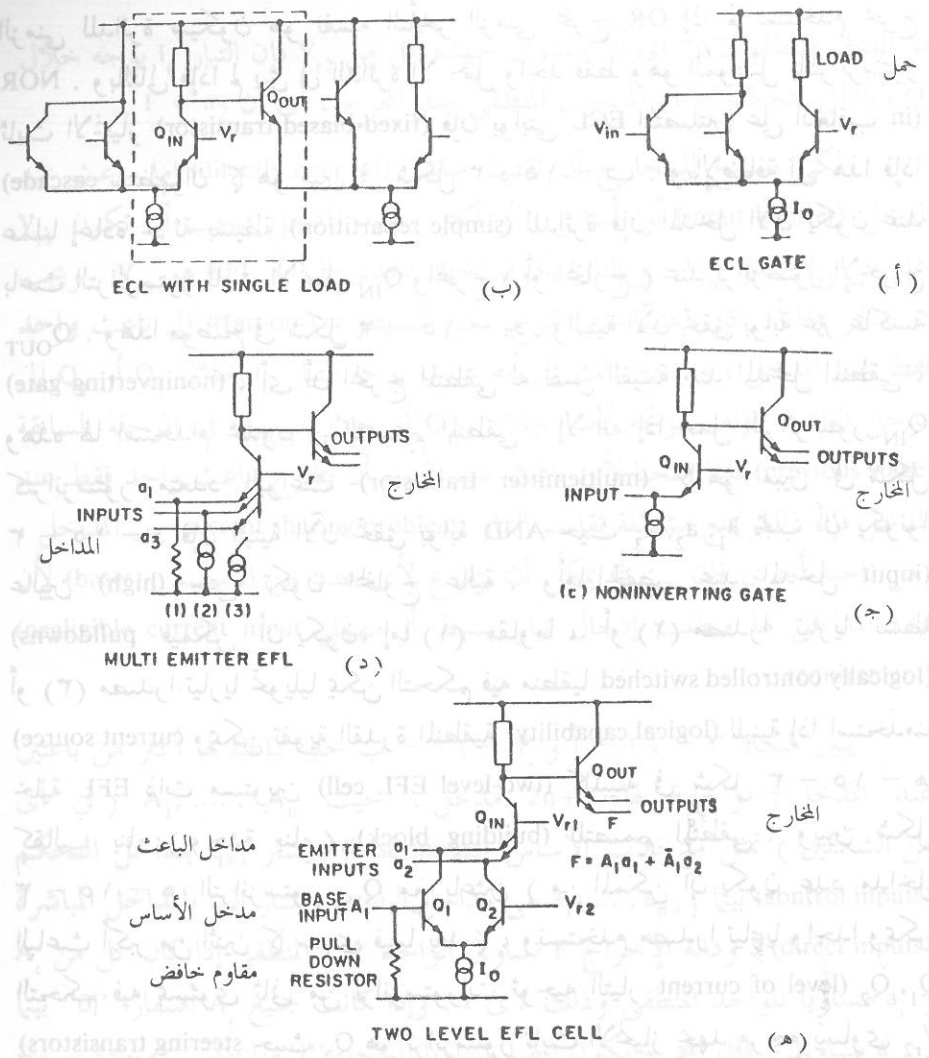
التخطيط العام للشريحة الرئيسية (masterslice) وترتيب مكوناتها

وتعمل الدائرة بجهد V_c وتستخدم ترانزستور شوتكى المثبت وصمام شوتكى الثنائى عند المدخل ومقاومين . وأما شكل ٣ – ١٣ فيعرض دائرة إزاحة مستوى الحث خارج الشريحة (off-chip driver level-shifting circuit) . وتعمل الدائرة بجهد V_{cc} وتستخدم الدائرة القطبية المركبة (totem-pole) للإخراج . وأما التخطيط العام (layout) للشريحة والترتيب الفيزيائى لمكوناتها ونسقها فيبينه شكل ٣ – ١٤ ، حيث نجد على طول محيط الشريحة محركات إزاحة المستوى (level-shifting drivers) [٦٤ محركا] ودوائر توليد المرجع (reference generating circuits) [دائرتين] ودوائر الاستقبال (receiver circuits) [٨٨ دائرة] . ومنظومة البوابة (gate array) مرتبة فى شكل ٣٤ صفا و ٢٢ عمودا .

٣ – ٤ منطق دالة الباعث (EFL)

Emitter Function Logic (EFL)

يمكن النظر إلى خلايا منطق دالة الباعث (EFL) على أنها صيغة مكررة من ECL والميزّة الرئيسية للمنطق EFL هى الزيادة فى تعقيد (complexity) الدالة المنطقية مقابل أقل زيادة ممكنة فى تعقيد الدائرة والأدوات المستخدمة (device and circuit complexity) ويتم الوصول إلى ذلك بدون أى تبديد إضافى فى القدرة ، وذلك مقارنة مع بوابة تحويل التيار ذات الدالة الوحيدة (single-function current switch gate) . وهذه الزيادة فى التعقيد الدالى ينتج عنها تحسينات كبيرة فى الكثافة النسبية (relative density) ، والقدرة للبوابة الواحدة (power per gate) وحاصل ضرب السرعة فى القدرة (speed-power product) ومن الجدير بالملاحظة أن هذه المكاسب كلها يمكن الحصول عليها فقط فى حالة الوصول تماما إلى هذا التعقيد الدالى العالى (high functional complexity) . ويبين شكل ٣ – ١٥ أوجه التشابه مع منطق ECL ، حيث يعرض شكل ٣ – ١٥ – أ بوابة ECL المعتادة مع حِملى مجمِّع (two collector loads) والمشار إليهما بمستطيلين للتعميم . والتأخر الزمنى (time delay) بين المدخل ومخرج OR أقل منه بين المدخل ومخرج NOR ، وذلك بسبب تأثير « ميلر » (Miller Effect) عند مخرج NOR . وعند جانب NOR يتأرجح جهدا المدخل والمخرج فى نفس الوقت وفى اتجاهين متعاكسين . ومن ناحية أخرى ففى جانب OR الأساس ثابت وبالتالى فإن تأرجح جهد المجمِّع هو فقط الذى يؤثر على السرعة . والتأخر



شكل ٣ – ١٥

تنفيذ بنية دائرة EFL باستخدام ECL .

(أ) بوابة ECL أساسية ذات مخارج NOR/OR .

(ب) بوابة ECL أساسية ذات مخرج OR فقط .

(جـ) إعادة تجزئة البوابة (ب) : بوابة (EFL) منطقية لدالة الباعث .

(د) بوابة EFL متعددة البواعث لها : (١) مقاومة (٢) مصدر تيارى مثالى (٣) مصدر تيارى قابل للتحويل ويمكن التحكم فيه منطقيا .

(هـ) خلية EFL ذات مستويين .

الزمنى للدائرة سيكون هو نفسه التأخر الزمنى لمخرج OR إذا لم نستخدم مخرج NOR . وبالتالى فإذا لم يبق فى الدائرة إلا حمل واحد فقط وهو المُوَصَّل بالترانزستور ثابت الانحياز (fixed-biased transistor) فإن بوابتى ECL المتصلتين على التعاقب (in cascade) ستظهران كما هو مبين فى شكل ٣ ـ ١٥ ـ ب . وبالإضافة إلى هذا فإذا عملنا إعادة تجزئة بسيطة (simple repartition) للدائرة فإن المدخل الآن يكون عند باعث الترانزستور ثابت الانحياز Q_{IN} والمخرج (أو المخارج) عند ترانزستور الإخراج Q_{OUT} . وهذا موضح فى شكل ٣ ـ ١٥ ـ جـ. والبنية الآن تحقق بوابة غير عاكسة (noninverting gate) ، أى أن المخرج المنطقى له نفس القيمة عند المدخل المنطقى ، وهذه لها استخدام محدود فى التصميم المنطقى . إلا أنه إذا عُمل الترانزستور Q_{IN} كترانزستور متعدد البواعث (multiemitter transistor) كما هو مبين فى شكل ٣ ـ ١٥ ـ د فإن البنية الآن تحقق بوابة AND حيث a_1, a_2, a_3 يجب أن يكونوا عاليين (high) حتى تكون المخارج عالية . وأما الخفض عند المدخل (input pulldowns) فيمكن أن يكون إما (١) مقاوما ، أو (٢) مصدرا تياريا نشطا أو (٣) مصدرا تياريا تحويليا يمكن التحكم فيه منطقيا (logically controlled switched current source) ويمكن تقوية القدرة المنطقية (logical capability) للبنية إذا استخدمنا خلية EFL ذات مستويين (two-level EFL cell) كالمبينة فى شكل ٣ ـ ١٥ ـ هـ كقالب بناء (وحدة بناء) (building block) للتصميم المنطقى . ويبين شكل ٣ ـ ١٥ ـ هـ الترانزستور Q_{IN} مع باعثين (من الممكن أن يكون عدد مداخل الباعث أكبر من اثنين كما سنرى فيما بعد) ، ونستخدم مصدرا تياريا واحدا ويمكن التحكم فيه بمستوى ثانى من ترانزستورات توجيه التيار (level of current steering transistors) Q_1, Q_2 حيث Q_2 هو ترانزستور ثابت الانحياز بجهد مرجع يساوى V_{r2} وكنتيجة لهذا فإن الدالة المنطقية للمخرج F(output logic function) تعطى بالعلاقة :

$$F = A_1 a_1 + A_1 a_2 \qquad (٣ - ٦)$$

حيث A_1, a_1, a_2 عموما دوال « أو » بالربط المباشر (wired-OR functions) ، فمثلا يمكن توصيل مخارج منطقية متعددة (عن طريق الجمع OR) مباشرة للدالة a_1 .

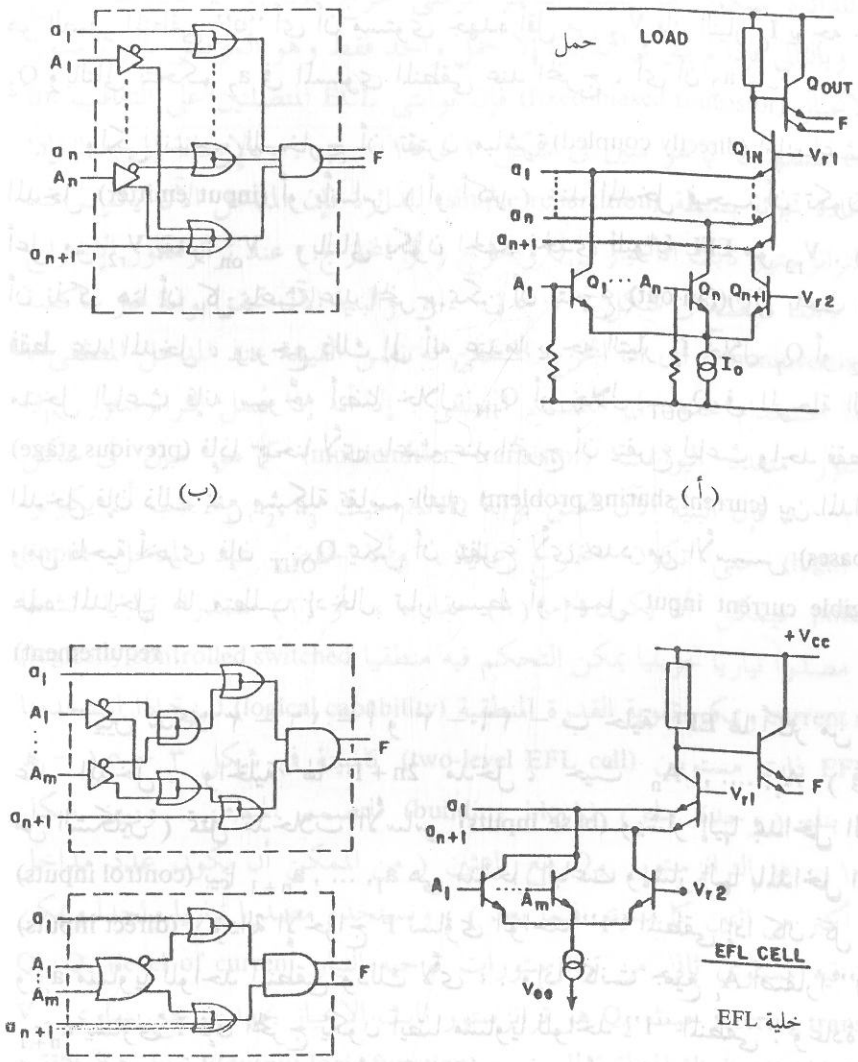
ويمكن شرح المعادلة ٣ ـ ٦ فيزيائيا كما يلى : إذا كان A_1 هو الواحد "1" المنطقى أى أن مستوى جهده أكبر من V_{r2} فإن التيار I_0 يُوَجَّه (steered) خلال Q_1 ، وبالتالى تتحكم a_1 فى المستوى المنطقى عند المخرج أى أن $F = a$ ، بينما إذا كان A_1

هو الصفر المنطقى "o" أى أن مستوى جهده أقل من V_{r2} فإن التيار I_0 يوجه خلال Q_2 وبالتالى تتحكم a_2 فى المستوى المنطقى عند المخرج ، أى أن $F = a_2$.

ولكى نسمح للمخارج أن تقترن مباشرة (directly coupled) إما بباعث عند المدخل (input emitter) أو بأساس (أو أكثر) عند المدخل فيجب أن تكون V_{r1} أعلى من V_{r2} بقدر V_{on} . وبالتالى يكون الجهد الحدى للبوابة EFL هو V_{r2} . ويجب أن نذكر هنا أن كل باعث عند المخرج يمكن أن يتفرع (fan-out) إلى باعث **واحد فقط** عند المدخل ، ويرجع ذلك إلى أنه عندما يوجه التيار I_0 خلال Q_1 أو Q_2 إلى مدخل الباعث فإنه سيوجَّه أيضا خلال Q_{IN} أو خلال Q_{OUT} فى المرحلة السابقة (previous stage) فإذا سمحنا لأى باعث عند المخرج أن يتفرع لباعث واحد فقط عند المدخل فإن ذلك يمنع مشكلة تقاسم التيار (current sharing problem) بين المداخل . ومن ناحية أخرى فإن Q_{OUT} يمكن أن يتفرع لأى عدد من الأسس (bases) لأن هذه المداخل لها متطلب إدخال تيار بسيط أو مهمل (negligible current input requirement) .

يبين شكلا ٣ ـ ١٦ ـ أ و ٣ ـ ١٦ ـ ب خلية EFL لها أكثر من باعثين عند المدخل . والخلية لها $2n+1$ مدخل ، حيث $A_1, \ldots, A_n$ (فى أى من الشكلين) تمثل مدخلات الأساس (base inputs) ويشار إليها **بمداخل التحكم** (control inputs) بينما $a_1, \ldots, a_{n+1}$ هى مداخل الباعث ويشار إليها **بالمداخل المباشرة** (direct inputs) . ودالة الإخراج F تساوى الواحد "1" المنطقى إذا كان كل من A_i و a_i مساويا للواحد المنطقى وذلك لأى i . وإذا كانت جميع A_i أصفارا "0" بينما a_{n+1} يساوى 1 فإن المخرج يكون أيضا مساويا للواحد "1" المنطقى . وعادة يُسمح لمدخل تحكم (A_i) واحد فقط أن يكون "1" عند أى لحظة معينة ، وعندما يكون هناك أكثر من A_i واحد مساويا للواحد "1" المنطقى فيجب أن يكون المخرج فى حالة « عدم اكتراث » (DON'T CARE case) . فإذا كانت F = "0" بالنسبة لحالات عدم الاكتراث فإنه يمكن التعبير عن F بالعلاقة :

$$F = A_1 a_1 + A_2 a_2 + \ldots\ldots + A_n a_n + (\overline{A}_1 \overline{A}_2 \ldots \overline{A}_n) a_{n+1}$$



شكل ٣ – ١٦

(أ) مخطط دائرة خلية EFL ذات مستويين وعدد n من البواعث .

(ب) البوابة المنطقية المكافئة .

(جـ) مخطط دائرة خلية EFL ذات مستويين وباعثين .

(د) البوابة المنطية المكافئة .

وكل من A_i و a_j يمكن أن تكون دالة OR بالربط المباشر (أى OR متصلة بأسلاك) ذات الرتبة الأولى (first-order wired-OR function) من مخرجات الباعث من المراحل السابقة .

ومن الناحية العملية فإن أقصى أعداد للمداخل الموصلة بأسلاك (maximum wired fan-in numbers) تكون محدودة بسبب اعتبارات نسق وتصميم الشريحة (chip-layout considerations) أو بسبب التأخر المطلوب . ويعتبر ٤ حدا أقصى مقبولا ويحقق متطلبات معظم التصميمات المنطقة .

وفى شكل ٣ – ١٦ – أ و ٣ – ١٦ – ب يُسمح لمدخل تحكم واحد فقط أن يساوى الواحد ''1'' عند أى لحظة معينة وذلك لمنع المصدر التيارى I_0 من أن يتقاسمه Q_{OUT} من المراحل السابقة ، فالمخارج المتعددة (multiple outputs) تؤدى إلى تغيرات غير محددة (nonspecific variation) فى التأخر . ورغم أن هذا الشرط بالسماح لمدخل تحكم واحد فقط أن يساوى الواحد ''1'' عند لحظة معينة يمثل قيدا على التصميمات المنطقية إلا أنه من الناحية العملية لا يمثل عيبا جوهريا .

وفى الدوائر المنطقية EFL يمكن أن نربط معا (tie together) مجمّعات الترانزستورات المنخفضة (low transistors) كما هو مبين فى شكلى ٣ – ١٦ – جـ و ٣ – ١٦ – د لتكوين دالة « أو » بالربط المباشر لكل من a_1 و f_1 ، حيث f_1 هى دالة NOR لمداخل التحكم $A_1, \ldots, A_m$ ، أى أن :

$$F = \frac{(f_1 + a_1)(\overline{f_1} + a_{n+1})}{f_1 = A_1 + A_2 + \ldots + A_m}$$

حيث :

وفى هذه الحالة لا تكون هناك أى قيود على مداخل التحكم ، ويمكن لأى عدد من مداخل التحكم أن تكون عالية (high) وذلك لأن جميع تيارات التحكم تُجمع عند مدخل مباشر واحد فقط .

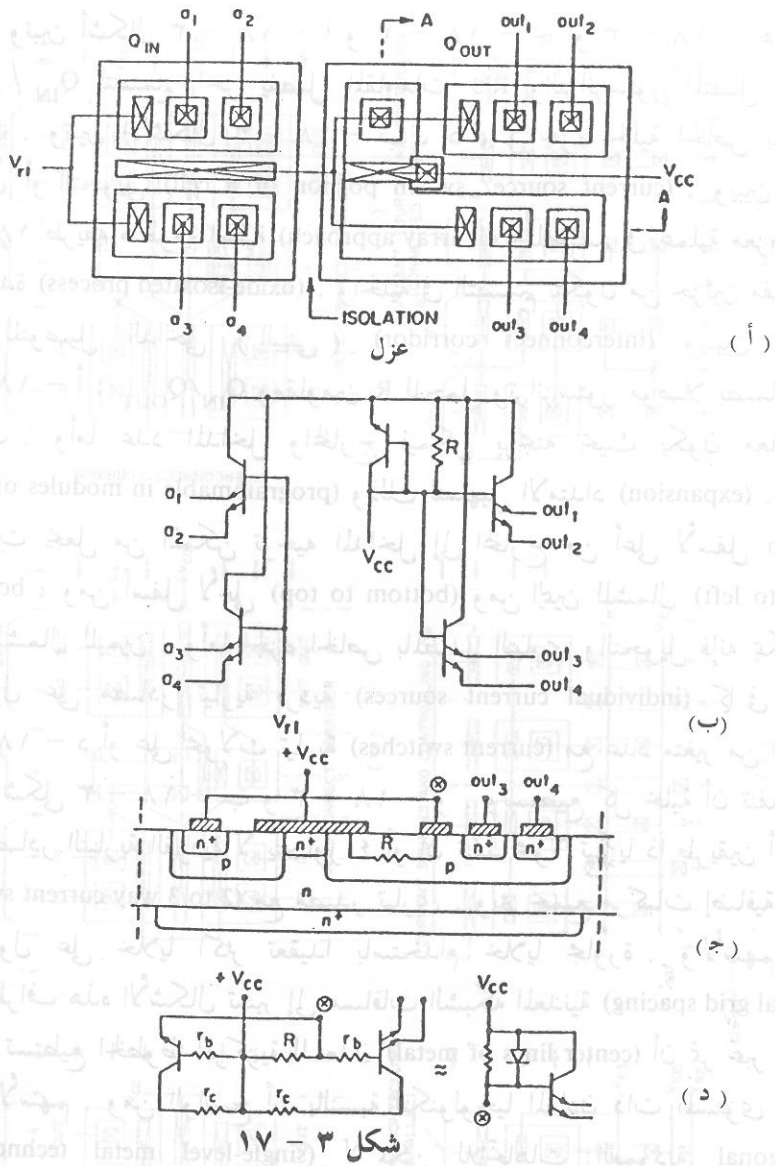
٣ – ٤ – ١ تنفيذ خلية EFL

(EFL Cell Implementation)

من المفيد بعد دراسة عمل خلية EFL أن نوضح كيفية استخدام التكنولوجيا لتنفيذ القالب الأساسى المبين فى شكل ٣ – ١٦ . يبين شكل ٣ – ١٧ أحد

التصميمات الممكنة لخلية ذات ٤ مداخل و ٤ مخارج مع استبعاد المراحل التفاضلية (differential stages) المستخدمة لإيجاد $Q_1, Q_2, \ldots, Q_{n+1}$. وتستخدم منطقتان للعزل (two isolation regions) . ويتم تكوين المقاوم R عن طريق مد (extending) انتشار الأساس (base diffusion) فى شكل "L" الموجود بين وصلة الأساس (base contact) الخاصة بـ out_3 و out_4 إلى الوصلة المعدنية (metal contact) pn^+ إلى مجمِّع Q_{out} . ويبين شكل ٣ – ١٧ – جـ منظر مقطع الأجهزة (devices) عندما يُنظر إليها عبر خط مقطع شكل L (L-shaped section line) المبين فى شكل ٣ – ١٧ – أ . وبالإضافة إلى المقاوم وأجهزة out_3 / out_4 فإن الشكل يبين أيضا ترانزستور متصلا بصمام ثنائى للتثبيت (clamping-diode-connected transistor) ويظهر هذا الصمام على التوازى مع المقاوم ويضمن تأرجحا منطقيا بأعلى قيمة ممكنة وتساوى V_{on} . لاحظ أن التلامس $+V_{CC}$ (وهو عادة الجهد الأرضى) يتكون من التلامسات الأومية (ohmic contacts) لكل من مناطق p (p regions) والمجمِّع n^+ . ويبين شكل ٣ – ١٧ – د تخطيطا لدائرة مكافئة ويظهر فيها عنصر دائرة R (circuit element) ومقاومات خارجية (extrinsic device resistances) . وأما وسائل الإدخال (input devices) فهى تقريبا متطابقة ما عدا تركيبة الصمام / المقاوم (resistor/diode combination) . وأما اختيار التصميم (design choice) لاستعمال R موزَّعة (distributed) فهو من حيل تكنولوجيا الدوائر المتكاملة ويؤدى إلى كثافة تعبئة أعلى (higher packing density) .

ومن الآثار السلبية لإدخال المقاوم R أن التأرجح المنطقى يصبح حساسا للتحكم فى المقاومة الورقية (control of the sheet resistance) ويجب أن نُدخل فى الاعتبار عند تصميم البوابة استخدام طفيليات إضافية (added parasitics) . كذلك فإننا نحتاج أحيانا مكونات معزولة عزلا جيدا (well-isolated components) والتى يمكن التحكم فيها بطريقة منفصلة (separately controlled) بل ويمكن إجراء تعديلات عليها بطريقة مستقلة (independently adjusted) . وأما الميزة الرئيسية لإزالة R من التصميم المبين فى شكل ٣ – ١٧ – أ فهى تمكيننا من وضع تصميم بديل يقلل من قيمة r_b و r_c وبالتالى يزيد من سرعة عمل البوابة .

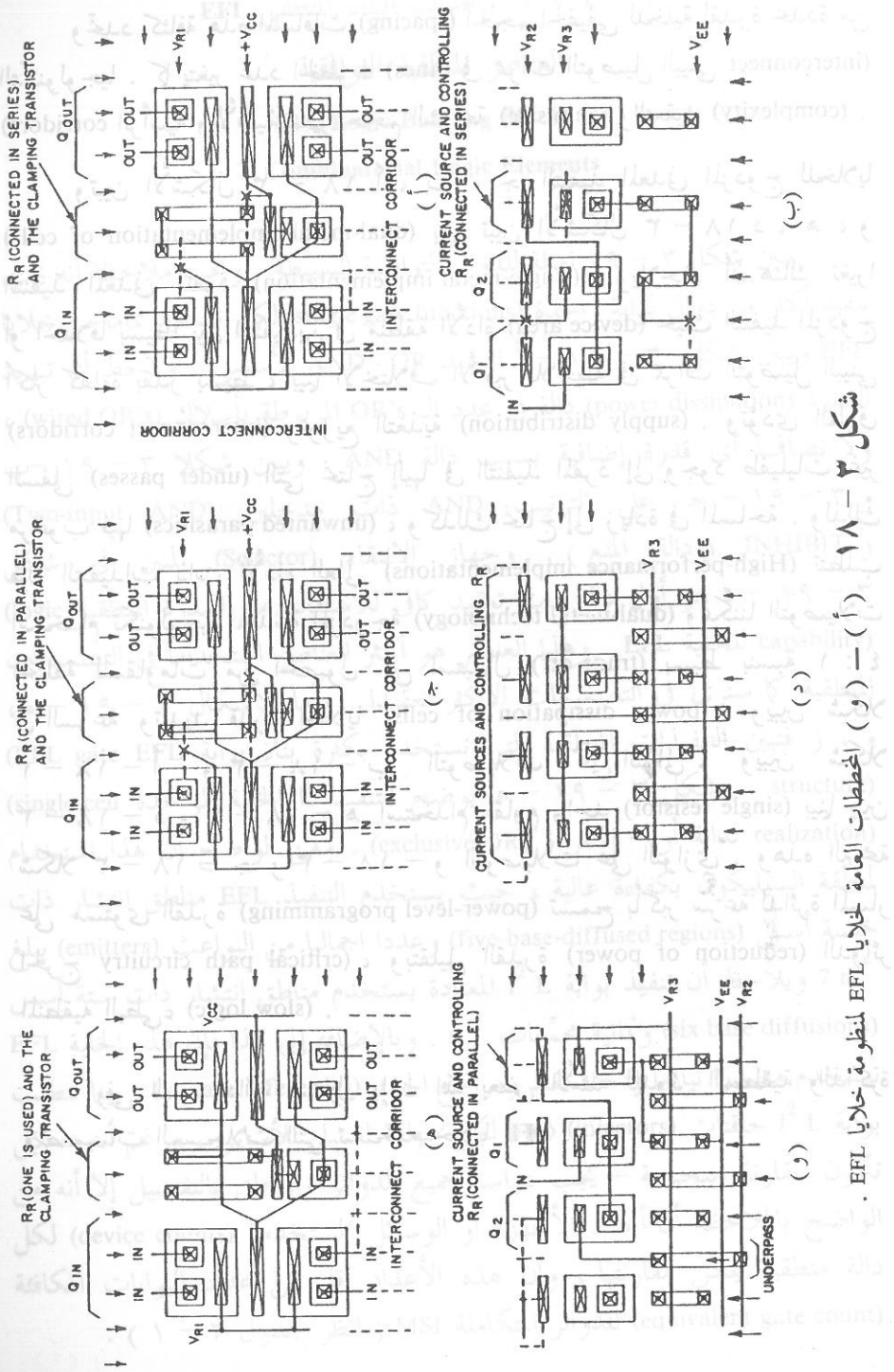


شكل ٣ – ١٧

ترانزستوران Q_{out} و Q_{in} أساسيان وحمل بوابة EFL

(أ) المخطط العام .
(ب) مخطط الدائرة المقابل للمخطط العام .
(جـ) مقطع مستعرض AA .
(د) الدائرة المكافئة للمقطع المستعرض AA بما فى ذلك الطفيليات .

وتبين أشكال ٣ – ١٨ – أ و ٣ – ١٨ – جـ و ٣ – ١٨ – هـ الجزء Q_{IN} / Q_{OUT} لتصميم آخر يفصل المقاومات R's والترانزستور المتصل بصمام للتثبيت . وتبين الأشكال ٣ – ١٨ – ب ، د ، و جزء الخلية الخاص بالمصدر التيارى أو التحويل (current source/ switch portion of a cell) . ويبين شكل ٣ – ١٨ طريقة منظومة الخلية (cell array approach) للتصميم فى عملية معزولة عن الأكسدة (oxide-isolated process) . والخلية فى التصميم تتكون من جزئين مفصولين بممر للتوصيل الداخلى (البينى) (interconnect corridor) ويبين شكل ٣ – ١٨ – أ : Q_{IN}/Q_{OUT} ومقاومين R للحمل وترانزستور موصلا بصمام ثنائى للتثبيت . وأما عدد المداخل والمخارج فيمكن برمجته بحيث يكون معامل ٢ (programmable in modules of two) وذلك لتسهيل الامتداد (expansion) . وتماثل المركبات يجعل من الممكن توجيه المداخل إلى المخارج من أعلى لأسفل (top to bottom) ، ومن أسفل لأعلى (bottom to top) ومن اليمين للشمال (right to left) ومن الشمال لليمين . وأما الجزء الخاص بالمصدر التيارى والتحويل فإنه يمكّن من الحصول على مصادر تيارية فردية (individual current sources) كما فى شكل ٣ – ١٨ – د أو على محولات تيارية (current switches) مع عدد متغير من المداخل كما فى شكلى ٣ – ١٨ – ب و ٣ – ١٨ – و . وتستطيع كل خلية أن تنفذ عددا من المصادر التيارية الفردية لا يتجاوز ٤ أو أن تنفذ محولا تياريا ذا طريقين أو ثلاثة (2 to 3 way current switch) مع مصدر تيارى . ويتم تجميع مركبات إضافية وذلك للحصول على خلايا أكثر تعقيدا باستخدام خلايا مجاورة . والأسهم المبينة على أطراف هذه الأشكال تشير إلى مسافات الشبكة المعدنية (metal grid spacing) ، حيث تستطيع الخطوط المركزية للمعدن (center lines of metal) أن تمر عبر أى من هذه الأسهم . ومن الواضح أنه بالنسبة لتكنولوجيا المعادن ذات المستوى الواحد (single-level metal technology) لا يمكن للاتجاهات العمودية (orthogonal directions) أن تعبر . وأما فى حالة المعدن ذى الطبقة المزدوجة فيمكن للطبقات المتعامدة (perpendicular layers) أن تعبر بدون توصيل (cross without connecting) وأما العلامات X المبينة فى شكل ٣ – ١٨ فتشير إلى مواضع معينة حيث تتصل الطبقتان المعدنيتان عن طريق "via" .



شكل ٣ – ١٨ (أ) – (و) الخططات العامة لخلايا EFL لمنظومة خلايا EFL .

وتحدد كثافة هذه المسافات (spacing) الحجم الحقيقى للخلية لقدرة محددة من التكنولوجيا . كما يتغير عدد الخطوط (lines) فى ممرات التوصيل البينى (interconnect corridors) الرأسية والأفقية بتغير حجم الشريحة (chip size) والتعقيد (complexity) .

وتبين الأشكال ٣ – ١٨ أ ، ب ، جـ التنفيذ المعدنى المزدوج للخلايا (dual-metal implementation of cells) بينما تبين الأشكال ٣ – ١٨ د ، هـ ، و التنفيذ المعدنى المفرد (single-metal implementation). ويلاحظ أن هناك تغيرا أو اختلافا بسيطا بين التنفيذين فى منطقة الأداة (device area) حيث التنفيذ المزدوج أكثر كفاءة بقدر بسيط ، بينما الاختلاف الأكبر نلاحظه فى ممرات التوصيل البينى (interconnect corridors) وتوزيع التغذية (supply distribution) . وتؤدى الطرق السفلى (under passes) التى نحتاج إليها فى التنفيذ المفرد إلى وجود طفيليات غير مرغوب فيها (unwanted parasitics) ، وكذلك نحتاج إلى زيادة فى المساحة . ولذلك فإن التنفيذات ذات الأداء العالى (High-performance implementations) تتطلب استخدام تكنولوجيا المعدنية المزدوجة (dual-metal technology) وتمكّننا التوصيلات المختلفة للمقاومات من الحصول على استبدال (trade-off) بسيط بنسبة ١ : ٤ فى السرعة وتبديد قدرة الخلايا (power dissipation of cells) . ويبين شكلا ٣ – ١٨ – أ و ٣ – ١٨ – ب التوصيلات على التوالى ، ويبين شكلا ٣ – ١٨ – د و ٣ – ١٨ – هـ استخدام مقاوم واحد (single resistor) بينما يبين شكلا ٣ – ١٨ – جـ و ٣ – ١٨ – و التوصيلات على التوازى . وهذه البرمجة على مستوى القدرة (power-level programming) تسمح بأكبر سرعة لدائرة المسار الحرج (critical path circuitry) ، وبتقليل القدرة (reduction of power) الدوائر المنطقيه البطىء (slow logic) .

وفى البنود التالية سنتاول بإذن الله بعض الأمثلة للدوائر المنطقية والذاكرة وتصميمات المسجلات التى تستخدم خلايا EFL .

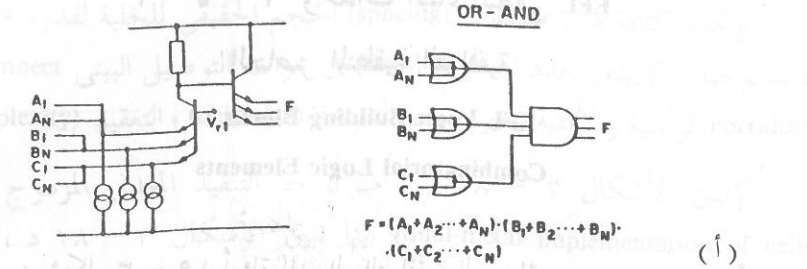
٣ – ٤ – ٢ وحدات البناء المنطقى EFL

العناصر المنطقية التوافقية

EFL Logic Building Blocks :

Combinatorial Logic Elements

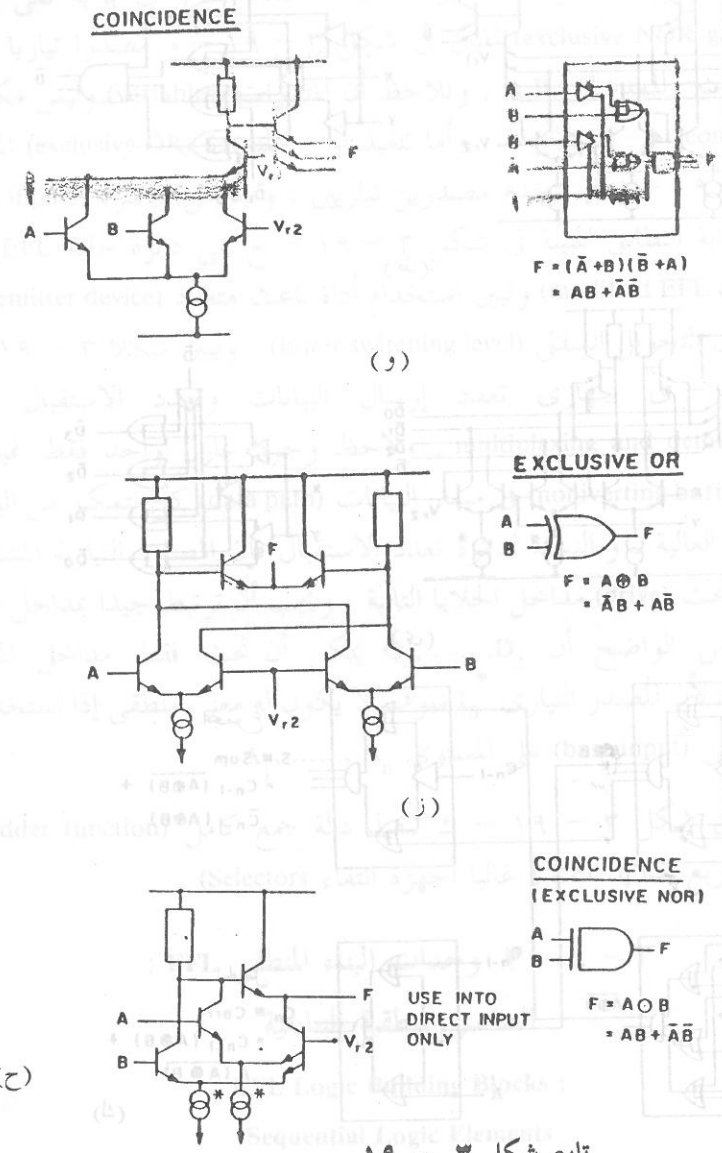
يبين شكل ٣ – ١٩ أمثلة للدوال التوافقية البسيطة . ويجب ملاحظة أنه يجب تنفيذ أكثر من دوال بوابة واحدة (single gate functions) لكى نستفيد تماما من خلايا EFL ويبين شكل ٣ – ١٩ – أ التنفيذ AND - OR الأساسى . ولاحظ أن تبديد القدرة (power dissipation) دالة فى عدد الـ OR's المربوطة بأسلاك (wired OR's) ، ولا تضاف أى قدرة إضافية بسبب دالة AND . ويبين شكلا ٣ – ١٩ –ب و ٣ – ١٩ – جـ على الترتيب AND ذات مدخلين (Two-input AND) و INHIBIT (دالة المنع) . وجهاز الانتقاء (Selector) المبين فى شكل ٣ – ١٩ – د هو أول دالة ذات تعقيد كافى للاستفادة من القدرة المنطقية (logic capability) للخلية EFL . وهذا العنصر هو أكثر العناصر استخداما فى التصميمات المنطقية كما سنرى فى التصميمات الأكثر تعقيدا . وأما الأشكال ٣ – ١٩ – هـ ، و ، ز فتبين التنفيذات المنطقية التى تستخدم بكثرة بناء بوابة EFL (EFL gate structure) . وشكل ٣ – ١٩ – هـ يوضح التنفيذ ذا الخلية الواحدة (single-cell realization) لدالة أو – المنفردة (exclusive-OR) . ومن الواضح أن هذا استخدام لمنطقة السيليكون بكفاءة عالية ، حيث يستخدم التنفيذ EFL مناطق انتشار ذات خمسة أسس (five-base-diffused regions) وعددا اجماليا من البواعث (emitters) يبلغ 7 n^+ ويلاحظ أن تنفيذ بوابة I^2L المعتادة يستخدم مناطق انتشار ذات ستة أسس (six base diffusions) وثمانية محمِّعات n^+ . وبالإضافة إلى هذا فإن هذه الخلية EFL تستخدم مصدرا تياريا واحدا فقط ومراجع الجهد (voltage references) . بينما تتطلب بوابة I^2L حاقنات pnp (injectors) لكل منطقة انتشار للأساس . ورغم أنه – كى تكون المقارنة صحيحة – يجب دراسة جميع الدوائر والمناطق بالتفصيل إلا أنه من الواضح بالملاحظة أن أعداد الأجهزة أو الوسائل المستخدمة (device counts) لكل دالة منطقية يمكن مقارنتها ، وأن هذه الأعداد أقل من أعداد البوابات المكافئة (equivalent gate count) للدوائر المتكاملة MSI (انظر جدول ٣ – ١) .



شكل ٣ - ١٩

امثلة منطقية توافقية للمنطق EFL

(أ) و / أو (AND / OR) . (ب) بوابة « و » ذات مدخلين . (جـ) المنع .



تابع شكل ٣ - ١٩

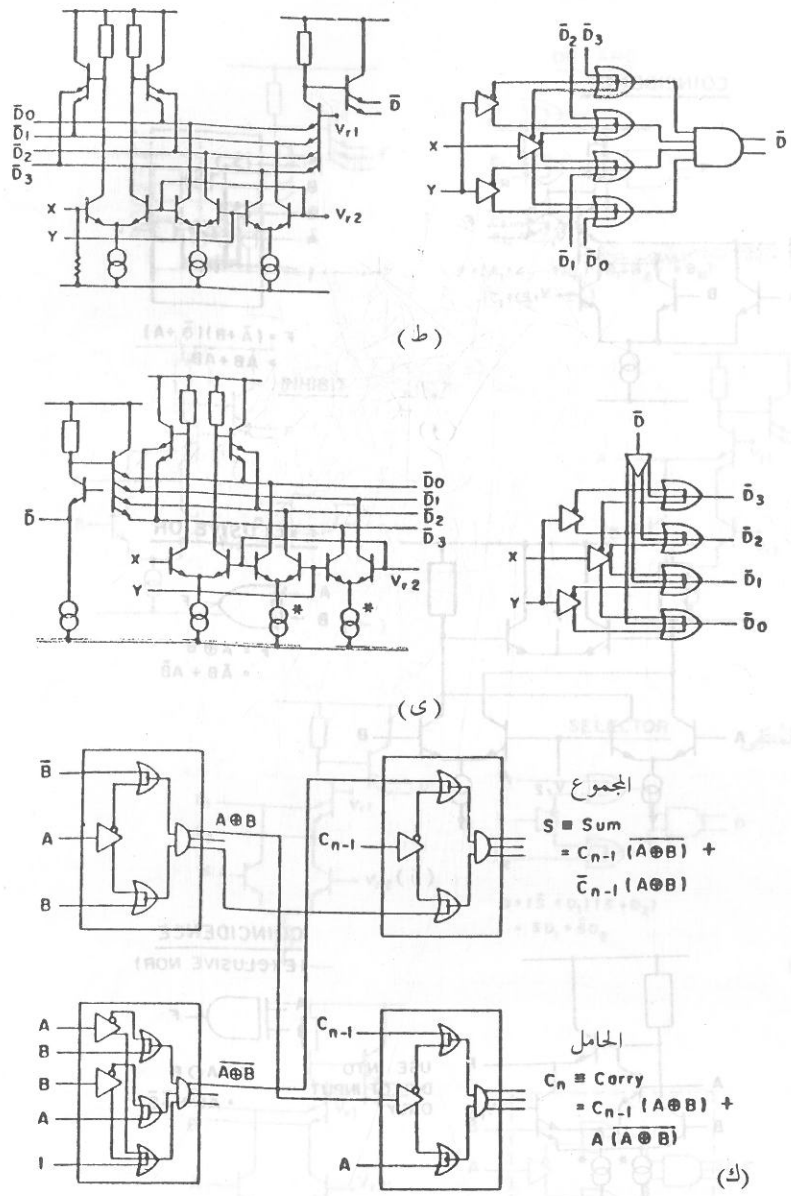
(د) الاختيار .

(هـ) أو المنفردة (exclusive-OR)

(و) التطابق / التكافؤ (Exclusive - NOR) .

(ز) أو المنفردة (Exclusive - OR) .

(ح) التطابق .



تابع شكل ٣ – ١٩

(ط) جهاز تعدد الاتصال ٤ : ١ (4:1 multiplexer) .

(ى) جهاز فك المضاعفة (تعدد الاستقبال) ٤:١ (1:4 demultiplexer) .

(ك) جهاز جمع كامل .

ويستخدم تنفيذ بوابة التطابق (coincidence gate) (أى بوابة نفى « أو » المنفردة (exclusive NOR gate المبين فى شكل ٣ – ١٩ – و مصدرا تياريا واحدا ويتطلب باعثين للمدخلين A,B . ونلاحظ أن المتغيرات (variables) وليس مكملاتها (complements) هى المستخدمة . وأما تنفيذ أو – المنفردة (exclusive-OR) المبين فى شكل ٣ – ١٩ – ز فيستخدم مصدرين تياريين ، ومداخل مباشرة (direct inputs) فقط . وبوابة التطابق المبينة فى شكل ٣ – ١٩ – ح هى دائرة خلية EFL مُعدَّلة (modified EFL cell circuit) وتبين استخدام أداة باعث متعدد (multiemitter device) عند مستوى التحويل السفلى (lower switching level) . ويبين شكلا ٣ – ١٩ – ط و ٣ – ١٩ – ى جهازى تعدد إرسال البيانات وتعدد الاستقبال (Data multiplexing and demultiplexing) . ولاحظ وجود عازل واحد فقط غير قابل للعكس (noniverting buffer) فى مسار البيانات (data path) كى نتمكن من الوصول إلى السرعة العالية . وبالنسبة لدائرة تعدد الاستقبال فإن المصادر التيارية المشار إليها بالرمز I_0^* تحث (drive) مداخل الخلايا التالية ، ويجب أن ترتبط جيدا بمداخل المرحلة التالية . ومن الواضح أن $D_3, \ldots, Q_0$ يمكن أن تحث فقط مداخل المستوى $a_1, \ldots, a_n$ لأن المصدر التيارى I_0^* سوف لا يكون له معنى منطقى إذا استخدم على مدخل أساس (base input) على المستوى $A_1, \ldots, A_n$.

ويبين شكل ٣ – ١٩ – ك تنفيذ دالة جمع كامل (full-adder function) باستخدام أربع خلايا EFL (غالبا أجهزة انتقاء Selectors) .

٣ – ٤ – ٣ وحدات البناء المنطقى EFL :

العناصر المنطقية التتابعية

EFL Logic Building Blocks :

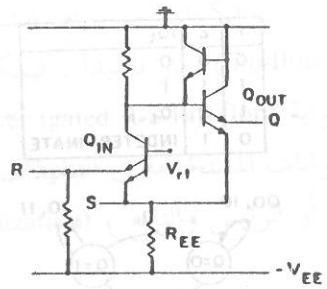
Sequential Logic Elements

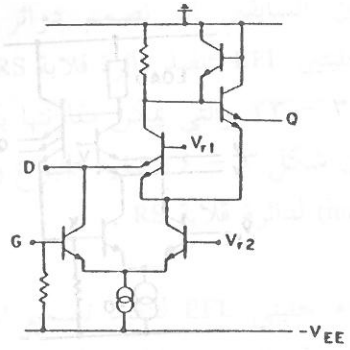
تعد القدرة على حفظ المعلومات وظيفة أساسية فى الدوائر الرقمية . ويبين شكل ٣ – ٢٠ – أ أبسط دائرة تستخدم EFL لتنفيذ لاقفة RS (latch) يتم تركيبها باستخدام مرجع انحياز وحيد (single bias reference) . وتعمل هذه الدائرة كما يلى : يتم ربط (tieing) مدخل ومخرج معا بواسطة مقاوم انحياز (bias resistor) وهذا يعطينا

مدخل الضبط S (set input) . وهناك مدخل ثانى هو مدخل إعادة الضبط R (reset) . وعادة يكون الضبط منخفضا (low) وإعادة الضبط عاليا (high) . وعندما تكون Q (انظر الشكل) منخفضة فإن التيار عبر R_{EE} تمده Q_{IN} . ولجعل Q عالية (high) يجب نغذى S بنبض موجب موجب (positive pulse) وهذا يعطل Q_{IN} (turns Q_{IN} off) ويجبر Q_{OUT} على دفع التيار عبر R_{EE} . ولإعادة ضبط (resetting) الدائرة تغذى R بنبض سالب ، وهذا يُشغِّل Q_{IN} (turns Q_{IN} on) مرة ثانية ، دافعا تيار الأساس من Q_{OUT} وبالتالى نعود للحالة الأصلية حيث Q منخفضة (low) ، والانحياز (bias) للمقاومة R_{EE} تمده Q_{IN} . وهذه الدائرة تؤدى وظيفة الذاكرة (memory function) .

وأما اللاقفة ذات البوابة (gated latch) والمبينة فى شكل ٣ – ٢٠ – ب فتمثل دائرة أكثر مواءمة (more compatible) وتحتوى على منطق ذات ساعة توقيف (clocked logic) وانحياز مصدر تيارى قياسى (standard current source biasing) ذى مستويى مرجع (two reference levels) .

والآن ننتقل من خلايا EFL الأساسية هذه إلى تعريف أكثر دقة لتصميمات عديدة ذات عنصر ذاكرة (several memory-element realizations) ونبدأ بتصميمين أو تركيبين أساسيين :





شكل ٣ – ٢٠

لاقفات EFL

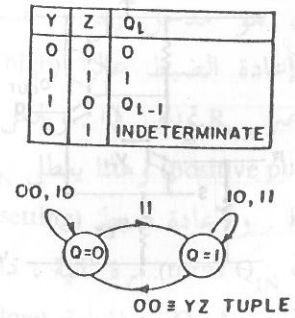
(أ) لاقفة RS بسيطة .
(ب) لاقفة ذات بوابة .

(١) الشكل التكوينى A (configuration) :

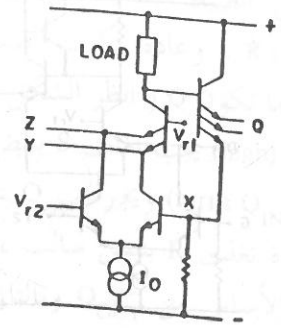
وهذا مبين فى شكل ٣ – ٢١ – أ ، حيث يُوصَّل أحد بواعث الإخراج (output emitters) – وهو الذى يمثل المخرج Q - بمدخل التحكم X (control input) . وللخلية صفات مميزة (characteristics) شبيهة باللاقفة RS كما يتبين لنا من جدول الحالات (state table) ومخطط الحالات (state diagram) المبينين فى شكل ٣ – ٢١ – ب . وهذا التنفيذ يمكن مقارنته بدرجة جيدة بالتنفيذ المعتاد لبوابتين مرتبطتين تقاطعيا (conventional cross-coupled two-gate realization) .

(٢) الشكل التكوينى B (configuration) :

وهذا مبين فى شكل ٣ – ٢٢ – أ ، حيث يُوصَّل أحد بواعث الإخراج (output emitters) - والذى يمثل المخرج Q – إلى المدخل المباشر Z (أو Y) . وكما هو مبين فى شكل ٣ – ٢٢ فإن هذا التركيب له خواص لاقفة البيانات (data latch) حيث المدخل X يمثل المدخل البوابة (gating input) (انظر شكل ٣ – ٢٠) . وهذا التنفيذ باستخدام EFL يستهلك قدرة أقل ومساحة سيليكون أقل مقارنةً بالتنفيذ المعتاد الذى يستخدم ٤ بوابات MSI .



(ب)



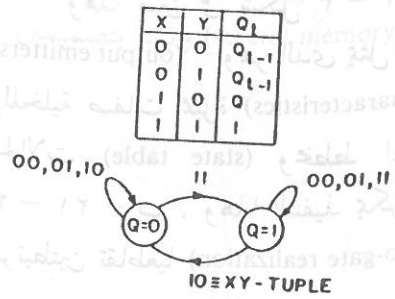
(أ)

شكل ٣ – ٢١

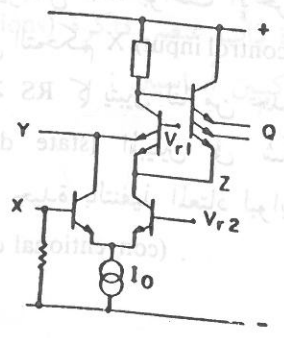
لاقفة EFL ذات الشكل التكوينى A (تناظر اللاقفة من نوع RS) .

(أ) مخطط الدائرة .

(ب) جدول الحالات ومخطط الحالات .



(ب)



(أ)

شكل ٣ – ٢٢

لاقفة EFL ذات الشكل التكوينى B (تناظر اللاقفة من نوع D) .

(أ) مخطط الدائرة .

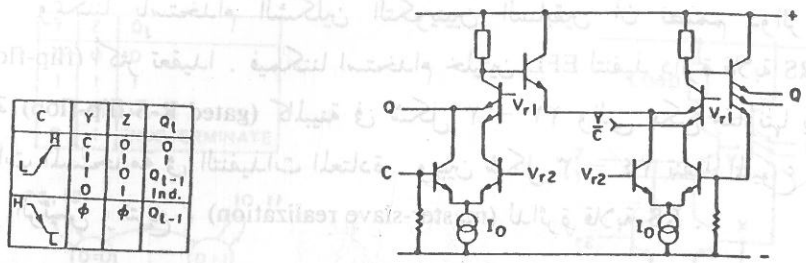
(ب) جدول الحالات ومخطط الحالات .

ويمكننا باستخدام الشكلين التكوينيين السابقين أن نصمم دوائر قلابة (flip-flops) أكثر تعقيدا . فيمكننا استخدام خليتين EFL لتنفيذ دائرة قلابة RS ذات بوابة (gated R-S flip-flop) كالمبينة فى شكل ٣ – ٢٣ والتى يمكن مقارنتها بالأربع بوابات المستخدمة فى التنفيذات المعتادة . ويبين شكل ٣ – ٢٤ تنفيذ المتبوع والتابع (أو الرئيس والتابع) (master-slave realization) لدائرة قلابة RS .

ويبين شكل ٣ – ٢٥ كيفية استخدام خليتى EFL لتنفيذ تصميم المتبوع والتابع لدائرة قلابة D ، وهذه يمكن مقارنتها بالعشر بوابات التى تستخدم فى التنفيذات المعتادة باستعمال MSI . ويلاحظ أن يُسمح باستخدام الجهد الحدى (threshold voltage) V_{r2} نفسه لكل من اللاقفة المتبوعة واللاقفة التابعة (master and slave latches) فقط فى حالة ما إذا كنا نضمن سرعة تساوى أقل سرعة حافة لساعة التوقيت (minimum clock edge speed) . ويؤدى استخدام حدين مزحزحين إزاحة بسيطة عن بعضيهما البعض (two slightly offset thresholds) – كما هو مبين فى شكل ٣ – ٢٥ – ب إلى ضمان تشغيل خالى من الأخطار (hazard- free operation) حتى فى حالة الحواف البطيئة للساعة (slow clock edges) . ويؤدى فرق فى الجهد الحدى (threshold difference) قدره ± ١٠٠ ميللى فولت إلى تمكين سرعة حافة الساعة (clock edge speed) من بلوغ مدى (range) يتراوح قدره من (التيار المباشر) dc إلى أقل من جزء من ألف مليون جزء من الثانية (أى نانو ثانية) (subnanosecond) . ويبين شكل ٣ – ٢٦ تنفيذ المتبوع والتابع لدائرة JK (JK master-slave circuit) باستخدام خلايا EFL .

ومع أن توفير مساحة السيليكون واستهلاك القدرة يكون ممكنا فى جميع الأشكال التكوينية المعتادة التى تستخدم الدوائر القلابة ، إلا أن أكبر توفير يكون مع الدوائر القلابة من النوع D المتبوع والتابع (master-slave D-type flip-flop) ولهذا السبب يُفضل استخدم هذه الدوائر عن غيرها من الأنواع لتنفيذ القوالب الدالية (الوحدات الدالية) (functional blocks) .

ويقارن جدول ٣ – ١ بين خلايا EFL وبين تنفيذ المنطق الشائع الاستعمال ووظائف التخزين باستخدام دوائر NAND . ويلاحظ أننا نحصل على تحسين بنسبة ٢ – ٥ من حيث عدد البوابات إلى عدد الخلايا . إلا أنه نظرا لأن الدوال



(أ)

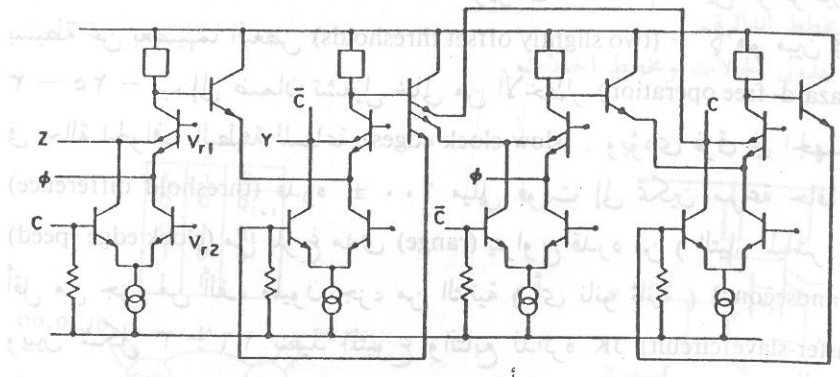
C	Y	Z	Q_t
H → L	0	0	0
	1	0	1
	0	1	Q_{t-1}
	1	1	Ind.
L → H	ϕ	ϕ	Q_{t-1}

(ب)

شكل ٣ - ٢٣

دائرة قلابة RS ذات بوابة باستخدام EFL .

(أ) مخطط الدائرة . (ب) جدول الحالات .



(أ)

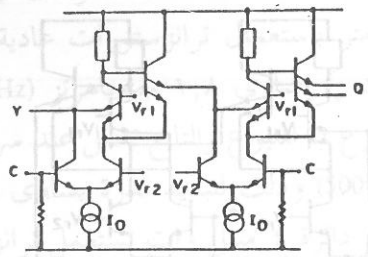
C	Y	Z	Q_t
H → L	ϕ	ϕ	Q_{t-1}
L → H	0	0	0
	1	0	1
	0	1	0
	1	1	Ind.

(ب)

شكل ٣ - ٢٤

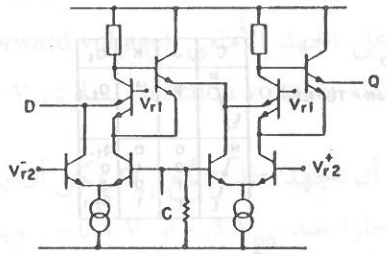
دائرة قلابة RS من نـوع المتبوع والتابع باستخدام EFL .

(أ) مخطط الدائرة . (ب) جدول الحالات .



(أ)

C	Y	Q_t
H → L	ϕ	Q_{t-1}
L → H	0	0
	1	1



(ب)

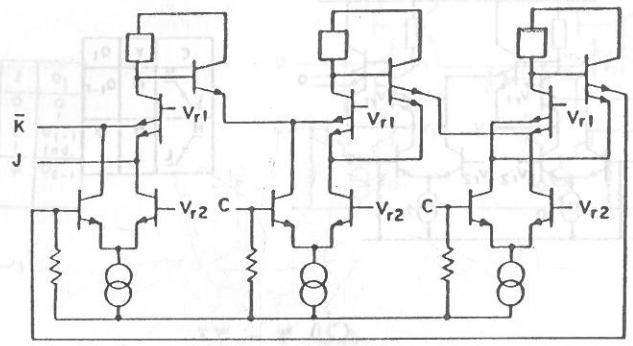
C	D	Q_t
H → L	ϕ	Q_{t-1}
L → H	0	0
	1	1

شكل ٣ - ٢٥

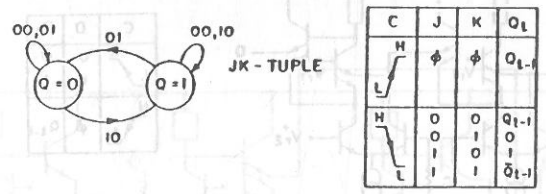
دائرة قلابة D من نوع المتبوع والتابع باستخدام EFL

(أ) دائرة قلابة تُقدح (تُحفز) بحافة النبضة السالبة (negative edge triggered) .

(ب) دائرة قلابة تقدح بحافة النبضة الموجبة (positive edge triggered) .



(أ)



(ب)

شكل ٣ – ٢٦

دائرة قلابة JK من نوع المتبوع والتابع باستخدام EFL

(أ) مخطط الدائرة . (ب) مخطط الحالات وجدول الحالات .

أو الوظائف التى نسبة التحسين فيها تساوى ٢ لا تستخدم كثيرا فى تصميم كامل التطوير (fully developed design) ، فمن المقبول أن نعتبر أن متوسط نسبة التحسين (average improvement) تساوى ٤ .

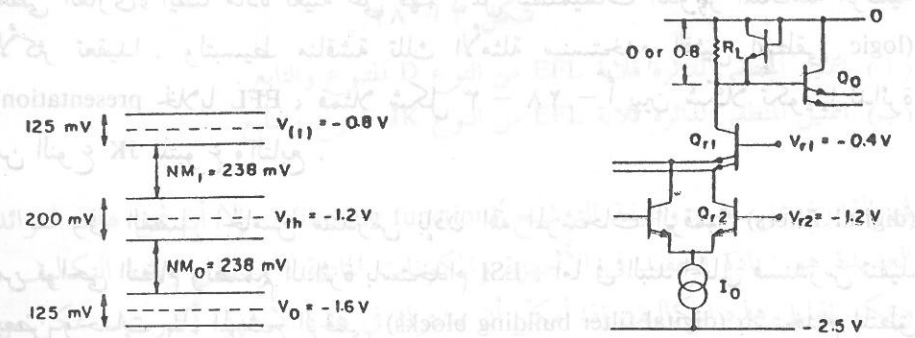
٣ – ٥ مواصفات التيار المباشر الدوائر المنطقية EFL العملية

DC Specifications for a Practical EFL

هناك العديد من التنفيذات المتكاملة (integrated realizations) لخلايا EFL ، وسنناقش هنا بإذن الله بعض هذه التنفيذات . فى التنفيذات الأولى لدوائر MSI بَيَّن « سكوكان » (Skokan) أنه يمكن صناعة دائرة قلابة كاملة (complete flip-flop)

تشتمل على عوازل خطية قدرها ٥٠ أوم (50 Ω line buffers) وذلك فى مساحة قدرها ٤٠٠ ميكرومتر × ٤٠٠ ميكرومتر باستعمال ترانزستورات عادية الانتشار (conventional diffused transistors) ذات f_τ تساوى ١,٨ جيجاهرتز (1.8 GHz) . وقد أعطى هذا التنفيذ دائرة قلابة من النوع D المتبوع والتابع تعمل عند سرعة ساعة توقيت أكبر من ٥٠٠ ميجاهرتز (500 MHz) وذلك لتبديد قدرة يساوى ١٦ ميللى وات (16 mw) . وهناك تنفيذ آخر أعطى دائرة ٤ ميللى وات تستعمل ترانزستورات ١ جيجاهرتز وتعمل عند سرعة ساعة توقيت تساوى ٢٠٠ ميجاهرتز . ويبين شكل ٣ – ٢٧ مستويات الجهد للمنطق EFL . وهذا النوع من الدائرة يمكن مواءمته فى مستويات منطقية ذات نظم عديدة معتادة (أى تقليدية) من منطق البواعث المقترنة (ECL) على الشريحة (several conventional on-chip emitter-coupled-logic systems) وتعتمد مستويات الجهد فى النظم على الجهد الأمامى (forward voltage) لوصلات pn (junctions) وهى مبينة لجهد وصلة (junction voltage) يساوى 0.8 V .

وفى شكل ٣ – ٢٧ نلاحظ أن الجهد عند مجمِّع Q_{r1} يمكن أن يتغير بين صفر و 0.8 - ، بينما الأساس يكون منحازا عند .5 V_{on} - أو 0.4 - . وبالنظر إلى Q_{r2} نلاحظ أن جهد المجمِّع لا يمكن أن يهبط أقل من 1.2 - وذلك لأنه موصل لباعث Q_{r1} ، وباعثه لا يمكن أن يكون موجبا أكبر من 2 V أثناء التوصيل ، وبالتالى فأقل قيمة توصيل للجهد V_{CE} هى 0.8 V . وبالنسبة للترانزستورات ذات المستوى



شكل ٣ – ٢٧

المستويات المنطقية وحدود الضوضاء لخلية EFL

الأقل والتى فيها المداخل المنطقية عالية أقل قيمة للجهد V_{CE} هى 0.4 V . وبالنسبة لترانزستور الإخراج Q_0 يتغير الجهد V_{CE} بين 0.8 V و 1.6 V ونظرا لأن جهد التشبع الهين فى أسوأ حالة (worst-case soft saturation voltage) – وهو جهد V_{CE} الذى تهبط عنده قيمة f_τ للترانزستور أقل من قيمتها المحددة (specified value) – يصل إلى 0.2 V ، فلذلك يكون هناك حد أسوأ حالة (worst-case margin) يساوى 0.2 V للجهد V_{CE} فى كل الترانزستورات . وهذا يسمح للدائرة أن تعمل فوق 100° C ، بينما يقل هذا الحد إلى 0 V . ويمكن استخدام العديد من التنفيذات للمصدر التيارى I_0 ، وهذا الجزء ليس جزءا حرجا (critical part) فى الدائرة لأنه ليس هناك متطلبات بالنسبة للتردد العالى (high-frequency requirement) ويعطى نظام المستوى المنطقى (logic level system) المبين فى شكل ٣ – ٢٧ تسامحا حديا (threshold tolerance) يساوى 200 mV وتسامحين مستويين (level tolerances) بالنسبة للصفر "0" والواحد "1" يساويان 125 mV ، وحدود ضوضاء (noise margins) أكبر من 200 mV .

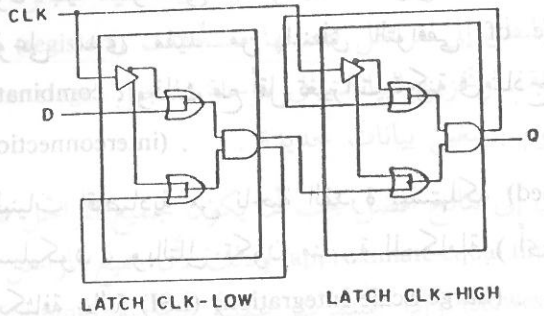
٣ – ٦ تطبيقات للدوائر المنطقية EFL

EFL Applications

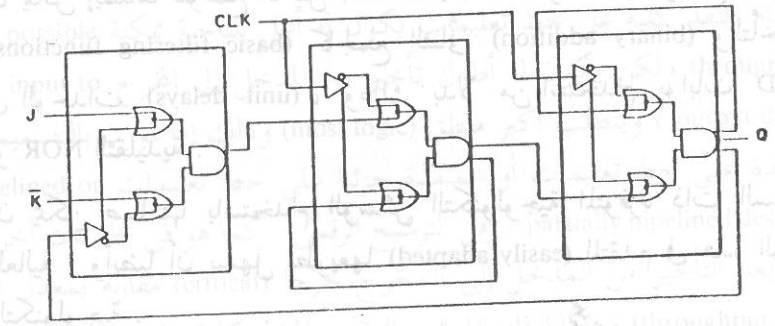
سنستعرض فى هذا البند بعض الأمثلة للأنظمة الجزئية (subsystem examples) التى تبين أهمية استخدام الدوائر المنطقية EFL وفائدتها فى تصميم الدوائر ، والتى تعطى القارىء أيضا مادة تعينه على فهم أشمل لتصميمات الدوائر المتكاملة الرقمية الأكثر تعقيدا . ولتبسيط مناقشة تلك الأمثلة سنستخدم التمثيل المنطقى (logic presentation) لخلايا EFL ، فمثلا شكل ٣ – ٢٨ – أ يبين شكلا تكوينيا لدائرة من النوع JK المتبوع والتابع .

وفى الفصل الخامس سندرس بإذن الله المرشحات الرقمية (digital filters) من نواحى النظام وتصميم الدائرة باستخدام LSI . أما فى البند الحالى فسندرس تنفيذ بعض وحدات بناء المرشح الرقمى (digital filter building blocks) باستخدام المنطق EFL .

ومعلوم أن الترشيح الرقمى (digital filtering) له فوائد عديدة كالاستقرار الأفضل (superior stability) والدقة الأعلى (higher accuracy) ، والمرونة (flexibility)



(أ)



(ب)

شكل ٣ – ٢٨

(أ) التمثيل المنطقى لدائرة قلابة EFL من النوع D المتبوع والتابع .
(ب) التمثيل المنطقى لدائرة قلابة EFL من النوع JK المتبوع والتابع .

فى القدرة على تغيير وظيفة الترشيح (filtering function) . إلا أن ثمن هذه الفوائد العديدة هو زيادة التعقيد فى الأجهزة والمكونات المادية ، وبالتالى زيادة التكاليف . ويمكن تقليل هذه التكاليف إذا أمكن أن يشترك فى هذه الأجهزة أكبر عدد ممكن من قنوات الإشارة (signal channels) بقدر ما تسمح به سرعة الدائرة (speed of the circuitry) . وبالتالى فإنه من المهم زيادة السرعة التى تستطيع عندها بنيات أو هياكل الدائرة (circuit structures) معالجة البيانات (handling the data) فى الترشيح الرقمى . وبالإضافة إلى هذا فإن هذه البنيات يجب أن تكون لها الخصائص التالية :

١ – يجب أن تكون البنية قادرة على أداء وظيفة التخزين البسيطة (simple storage function) وعلى مدى مفيد من المنطق التوافقى (a useful range of combinational logic) ، وذلك مع أقل تغييرات ممكنة فى نماذج التوصيل البينى (interconnection patterns) .

٢ – أن تكون البنيات اقتصادية من ناحية القدرة المستهلكة (power consumed) ومساحة السيليكون ، وبالتالى تكون مناسبة للمكاملة (أى صناعة الدوائر المتكاملة) بكثافة عالية (Large Scale Integration) (LSI) .

٣ – أن تكون قادرة على مواءمة تطبيقات عديدة بأقل تغييرات ممكنة فى الدائرة .

٤ – أن يمكن إيصالها للوضع الأمثل (optimized) لأداء وظائف الترشيح الأساسية (basic filtering functions) كالجمع الثنائى (binary addition) والتأخيرات فى الوحدات (unit delays) ، وذلك بدلا من استخدام بوابات NAND أو NOR التقليدية .

٥ – أن يمكن صناعتها باستخدام الوسائل التكنولوجية المتوفرة ذات السرعات العالية ، وأيضا أن يسهل تطويعها (easily adapted) للتقدم فى هذه الوسائل التكنولوجية .

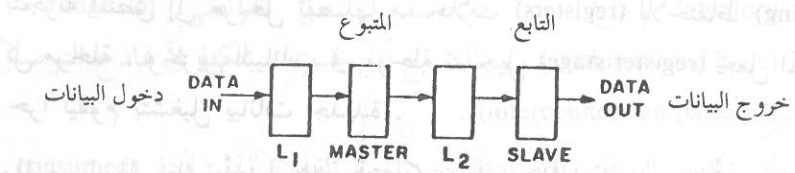
٦ – أن يمكن تطويعها بسهولة لتركيب خط تنفيذ التعليمات ذى المعيارية العالية (easily adapted to a higly modular pipeline organization)
(انظر الفصل الخامس) ، والذى يسمح بأسلوب بناء نظام مرن (flexible system architecture) مع تعقيدات متغيرة (varying complexity) .

وهذه الخصائص أو المتطلبات يمكن تحقيقها لتطبيقات الترشيح الرقمى ذات السرعة العالية (high speed digital-filtering applications) وذلك باستخدام خلايا EFL [9] . وفى الترشيح الرقمى يُعد معدل التشغيل الفعال (effective processing rate) الذى يمكن عنده تشغيل أو معالجة العينات (samples) بالمرشِّح عاملا مهما . وإذا كان هذا المعدل عاليا أمكن تشغيل إشارة واحدة عالية التردد (single high-frequency signal) أو إشارات كثيرة منخفضة التردد وذلك بواسطة المرشح . وللوصول بمعدل التشغيل إلى أعلى قيمة ممكنة يمكننا تنفيذ المرشيح الرقمى على خط

تعليمات (pipelining the digital filter) . وعملية تنفيذ الدائرة على خط تعليمات تسمح بتجزئة المنطق إلى مراحل تفصلها مسجِّلات (registers) للاحتفاظ (saving) بنتائج كل مرحلة . وتخزين البيانات فى مرحلة تسجيل (register stage) يجعل المنطق السابق حرا ليقوم بتشغيل بيانات جديدة .

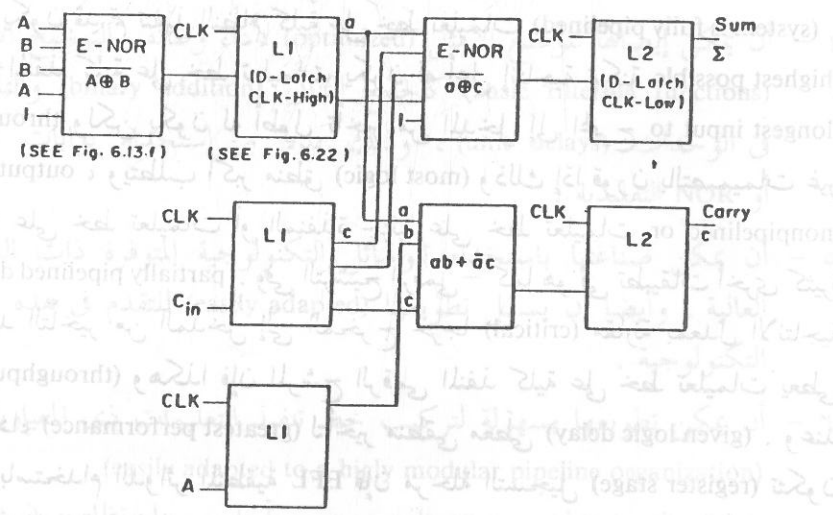
وللوصول إلى نتائج أفضل يجب أن يكون لجميع المراحل نفس التأخير الزمنى تقريبا (approximate equal time delays) وذلك لأن جميع المراحل تشتغل بمعدل أبطأ مرحلة (slowest stage) وإذا استمرت عملية التجزئة (partitioning) حتى تكون عناصر أبسط منطق (smallest logic elements) فقط هى التى تفصل المسجلات ، فعندئذ يكون قد تم تنفيذ النظام كليةً على خط تعليمات (system is fully pipelined) . والنظام المنفذ كليةً على خط تعليمات يكون له أعلى إنتاجية ممكنة (highest possible throughput) ولكن يكون له أطول تأخير من المدخل إلى المخرج (longest input to output delay) ، ويتطلب أكبر منطق (most logic) وذلك إذا قورن بالتصميمات غير المنفذة على خط تعليمات أو المنفذة جزئيا على خط تعليمات (nonpipelined or partially pipelined designs) . وفى الترشيح الرقمى – كما هو فى تطبيقات أخرى كثيرة – لا يعد التأخير من المدخل إلى المخرج حرجا (critical) مقارنة بمعدل الانتاجية (throughput rate) وهكذا فإن المرشح الرقمى المنفذ كلية على خط تعليمات يعطى أفضل أداء (greatest performance) لتأخير منطقى معطَى (given logic delay) . وعند التنفيذ باستخدام الدوائر المنطقية EFL فإن مرحلة التسجيل (register stage) تتكون من دائرة قلابة من النوع D المتبوع والتابع ولانتظام انسياب البيانات (uniform data flow) يمكننا فصل قطاعات دائرة المتبوع والتابع (master and slave sections) عن بعضها البعض بمرحلة منطق (logic stage) كما هو مبين فى شكل ٣ – ٢٩ .

ونظرا لأن البيانات يتم تشغيلها فى دورة ساعة واحدة (one clock cycle) ، فإن فترة الساعة (clock period) يجب أن تكون أكبر من أو مساوية لمجموع تأخيرات الانتشار (propagation delays) للوحدة المنطقية (L_1) (logic block) والمتبوع (master) والوحدة المنطقية (L_2) والتابع (slave) . وكمثال لهذا فإن شكل ٣ – ٣٠ يبين جهاز جمع كامل منفَّذ كليةً على خط تعليمات (باستخدام الدوائر المنطقية EFL (EFL fully pipelined full-adder) . وهذا الجهاز يجمع فى دورة ساعة واحدة . ويبين شكل ٣ – ٣١ وحدة ترشيح مستقلة بذاتها (وحدة نمطية) من الرتبة الثانية (second-order



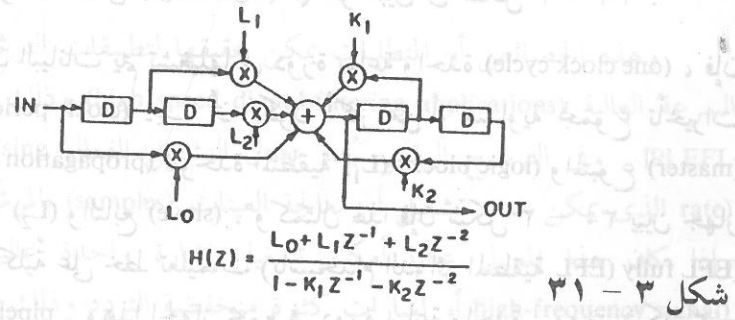
شكل ٣ – ٢٩

نظام تنفيذ على خط تعليمات EFL ، حيث يُفصل بين المتبوع والتابع بالوحدتين المنطقيتين L_1 و l_1 .



شكل ٣ – ٣٠

جهاز جمع كامل مُنَفَّذ كلياً على خط تعليمات باستخدام الدوائر المنطقية EFL



شكل ٣ – ٣١

مخطط وحدة ترشيح نمطية من الرتبة الثانية ، والشكل يعطى دالة الانتقال H(Z) للمرشح حيث K_2 , K_1 , L_2 , L_1 , L_0 هى معاملات المرشح .

(filter module) ، وتتطلب هذه الوحدة أربعة عناصر تأخير (delay elements) وخمسة عناصر ضرب (multiplier elements) ، وجهاز جمع واحد ذا خمسة مداخل . ونختار لوحدة الترشيح النمطية الحساب الثنائى على التوالى الذى يستخدم مكمِّل ٢ وعدد N من الأرقام الثنائية (N-bit 2's complement serial binary arithmetic) (انظر بند ٥ – ٣) . والحساب باستخدام مكمل ٢ يقلل المنطق العشوائى (random logic) ويبسِّط تركيب التنفيذ على خط تعليمات (pipeline construction) عن طريق حذف التعامل بالإشارة (sign manipulation) والذى يُعد ضروريا فى الحسابات التى تستخدم القيمة ذات الإشارة (signed magnitude computations) . ونستطيع تحقيق نتائج طيبة توازن بين عوامل السرعة والتعقيد المنطقى (logic complexity) والتوصيلات البينية على الشريحة (chip interconnections) وذلك بإنجاز الإدخال والإخراج والتأخير والجمع والضرب على التوالى (in serial) .

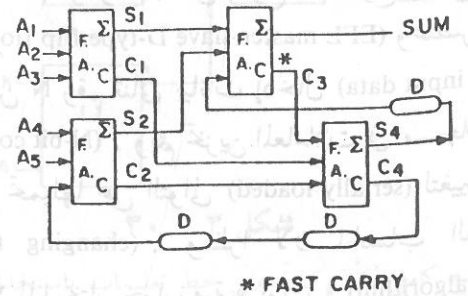
وتتطلب وحدة الترشيح النمطية تنفيذات عناصر التأخير والضرب والجمع باستخدام EFL . وعنصر التأخير هو ببساطة مسجِّل إزاحة ذو N رقم ثنائى (N-bit shift register) يُنَفَّذ باستخدام دوائر قلابة من النوع D المتبوع والتابع والذى يستعمل الدوائر المنطقية EFL (EFL master-slave D-type flip flops) وعنصر الضرب يتكون من 2N رقم ثنائى ناتج من N رقم ثنائى بيانات إدخال (N-bit input data) و N رقم ثنائى معاملات (N-bit coefficient) . ويتم تخزين المعاملات فى مسجلات إزاحة (shift registers) ، والتى يمكن تحميلها على التوالى (serially loaded) لتغيير وسطاء المرشح (changing the filter parameters) . ونظرا لأن الحساب الداخلى (internal arithmetic) هو مكمِّل ٢ لذا نختار خوارزمية « بوث » (Booth's algorithm) (انظر بند ٥ – ٤) لعملية تنفيذ مباشرة على خط تعليمات (straightforward pipeline operation) ويقوم جهاز الجمع على التوالى باختبار العنصر المضروب (multiplicand) رقما (ثنائيا) رقما (ثنائيا) (one bit at a time) مبتدئا بالرقم ذى أقل قيمة معنوية (least significant bit) (LSB) ، ثم يجمع أو يطرح تبعا للرقم .

وتتم عملية الجمع على التوازى مع تخزين الحامل (الباقى / المنقول / المرحَّل) (carry save) وإزاحة تلقائية لليمين (automatic shift right) وللطرح فإن كل رقم ثنائى فى الضارب (multiplier) (الثابت (constant) يُكمَّل ، ويُدفع حامل (a carry)

إلى موضع الرقم ذى أقل قيمة معنوية (LSB) فى جهاز الجمع ، تم تتم عملية جمع . وبعد N دورة (cycles) يكون الناتج (product) كاملا ، ولكننا نحتاج إلى N دورة أخرى لإزاحة النتيجة للخارج (shift out the result) وإضافة مسجل حفظ الحامل (adding the carry-save register) .

ويستخدم جهاز الجمع ذو الخمسة مداخل كى يمكن جمع (summing) جميع مخرجات جهاز الضرب (all multiplier outputs) آنيا (simultaneonsly) . ويعطى شكل ٣ – ٣٢ مخططا لجهاز الجمع هذا . ولاحظ استخدام دائرة حامل سريع (fast-carry circuit) لتقليل تأخيرى S_4 , C_4 . والتأخير الزمنى من المدخل إلى المخرج (input-to-output delay) لهذا الجهاز يصل إلى دورتى ساعة (two clock cycles) . ويعطى جدول ٣ – ٢ عدد بنيات (structures) EFL المقابلة لقوالب الترشيح الفردية (individual filter blocks) المبينة فى شكل ٣ – ٣١ وذلك لأطوال مختلفة من الكلمات ، حيث طول الكلمة هو عدد الأرقام الثنائية فيها (number of bits/word) .

وهناك تطبيقات أخرى لدوائر EFL ، انظر مثلا المراجع [10, 11, 12] .



حامل سريع

شكل ٣ – ٣٢

مخطط جهاز جمع على التوالى ذى خمسة مداخل

الـــدالة	عدد خلايا EFL	عدد بوابات NAND
أو – المتباعدة (Exclusive - oR)	١	٣
التســـاوى	١	٣
جهاز الجمع الكامل	٤	٩
الدائرة القلابة RS	١	٢
اللاقفة من نوع D	١	٤
الدائرة القلابة RSذات البوابة	٢	٤
المتبوع والتابع من نوع D	٢	١٠
المتبوع والتابع JK	٣	٩

جدول ٣ – ١

مقارنة بين خلايا EFL وبوابات NAND لتنفيذ البوابات المنطقية والدوائر القلابة .

عدد الأرقام الثنائية فى الكلمة الواحدة (no. of bits/word)	عدد البنيات للعنصر الواحد			العدد الكلى للبنيـــات
	جهاز الجمع خماسى – المدخل	التأخير	جهاز الضرب	
٤	٣٢	٨	٥٦	٣٣٦
٨	٣٢	١٦	١٠٤	٦٠٨
١٢	٣٢	٢٤	١٥٢	٨٨٠
١٦	٣٢	٣٢	٢٠٠	١١٥٢
٢٠	٣٢	٤٠	٢٤٨	١٤٢٤
٢٤	٣٢	٦٨	٢٩٦	١٦٩٦

جدول ٣ – ٢

عدد بنيات EFL المقابلة لقوالب الترشيح المبينة فى شكل ٣ – ٣١

المراجـــع

References

1 . C. S. Meyer, D. K. Lynn, and D. J. Hamilton, Analysis and Design of Integrated circuits, McGraw-Hill, New York, 1968.

2 . M. I. Elmasry and P. M. Thompson, The Design of load Structures for Current Mode Subnanosecond Logic, IEEE JSSC Sc-10 72-75 (1975).

3 . P.R. Gray and R. G. Meyer, Analysis and Design of Analog Integrated Circuits, Wiley, New York, 1977.

4 . L. S. Garret, Integrated-Circuit Digital Families- ECL, IEEE Spectrum 7.30-42(1970).

5 . M. I. Elmasry and P. M. Thompson, Logic Partition for Multiemitter Two Level Structures, IEEE Transactions on Circuit Theory, May 1974, IEEE Press, New York, pp. 354-359.

6 . Z. E. Skokan, Emitter Function Logic : Logic Family for LSI, IEEE JSSC SC-8, 356-361(1973).

7 . M. I. Elmasry and P. M. Thompson, Two-Level EFL Structures for Logic-in-Memory Computers, IEEE Transactions on Computers, March 1975, IEEE Press, New York, pp. 250-258.

8 . M. I. Elmasry, Logic Design Using Emitter-Function-Logic, IEEE Transactions on computers. September 1979, IEEE Press, New York, pp. 952-956.

9 . M. I. Elmasry, and R. C. Madter, Pipeline Digital Filtering at 250 MHz Bit Rate. Proceedings of the 1975 Midwest Symposium on Circuits and Systems, Aygust 1975, Western Periodicals New York. pp. 461-465.

1 0 J. Kane, A Low-Power Bipolar, Two's Compelement Serial Pipeline Multiplier Chip, IEEE JSSC Sc-11 (5), 669 (1976).

1 1 .G. L. Baldwin et al. A Modular, High Speed Serial Pipeline Multiplier for Digital Signal Processing, IEEE JSSC SC-13(3), 400-408(1978).

1 2 .R. J. Blumberg and Brenner, A 1500-Gate Random Logic LSI Masterslice, IEEE ISSCC, 1979, Lewis Winner, FL, PP. 60-61.

الفصل الرابع

الدوائر المتكاملة الرقمية MOS

(معدن – أوكسيد – شبه موصل)

Digital MOS Integrated Circuits

(Metal Oxide Semiconductor)

٤ – ١ تمهيـــد :

يهدف هذا الفصل إلى استعراض الخصائص الرئيسية لترانزستورات MOS (أى شبه موصل مغطى بالأكسيد والأكسيد مغطى بموصل) من حيث علاقتها لتصميم دائرة MOS الرقمية ، وكذلك نتناول تحليل الدوائر الرقمية CMOS [أى شبه موصل متتام مغطى بالاكسيد (Complementary Metal Oxide Semiconductor) و BiCMOS (أى دوائر CMOS المختلطة بالترانزستور الثنائى) الرئيسية ، وذلك باستخدام معادلات التصميم الانتقالية وللتيار المباشر من الرتبة الأولى (first-order ce and transient design equations) ومن باب استكمال المعلومات نتعرض كذلك للدوائر الرقمية NMOS (أى نبيطة من المعدن والأكسيد وشبه الموصل ذات قناة نونية) (N-channel Metal Oxide Semiconductor) ثم نتناول أساليب وتقنيات وبنيات بعض الدوائر (circuit techniques and structures) مثل منطق بوابة الإرسال CMOS (CMOS transmission gate logic) ، ودوائر CMOS الديناميكية (dynamic CMOS) ، ومنطق « الدومينو » (domino logic) ، وبنيات دائرة السَّحَّابة ودائرة « نورا » (NORA and Zipper Circuit structures) ، ومنطق CMOS غير الحدى (CMOS nonthreshold logic) ، والمنطق التحويلى للجهد المتتابع (cascade voltage switch logic) ، ودوائر BiCMOS .

٤ – ٢ خصائص النبيطة MOS

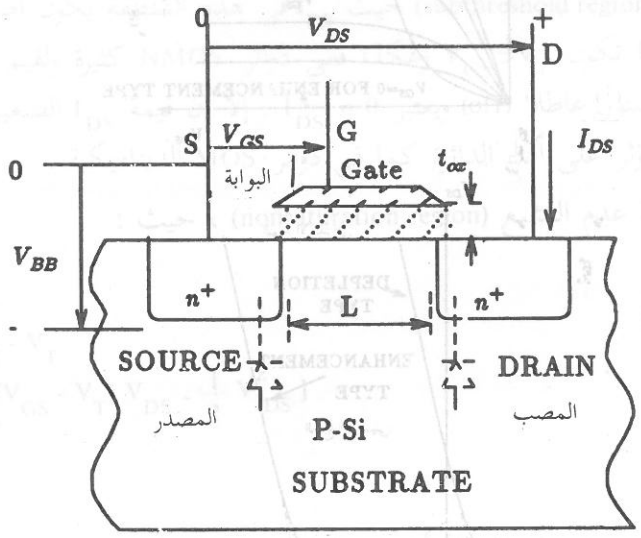
MOS Device Characteristics

٤ – ٢ – ١ البنيـة والتشغيـل : (Structure and Operation)

يبين شكل ٤ – ١ مقطعا تخطيطيا فى ترانزستور NMOS ، وهو يتكون من منطقتى n^+ موضوعتين فى قوام (أى طبقة الأساس) سيليكونى من النوع (P-type silicon substrate) P عن طريق الزرع الأيونى (ion implantation). والقوام أو طبقة الأساس عبارة عن رقاقة سيليكونية بلورية أحادية (single-crystal silicon wafer) تستخدم كمادة ابتدائية (starting material) لصناعة الترانزستور ، كما أنها تعطى سندا أو دعما فيزيائيا (physical support) للشريحة IC . والمنطقتان n^+ متماثلتان وقابلتان للتبادل ، ومستويا الانتشار فيهما n^+ ، أى $> ١٠^{١٨}$ / سم^٣ وعمق كل منهما بضعة معشارات (أى عدة أجزاء من العُشر جزء) من ١ ميكرومتر (1 μm) . وعند تشغيل الدائرة فإن المنطقة ذات الجهد الأعلى تسمى المصب (أو السحب) (drain) ، بينما المنطقة الأخرى تسمى المصدر (source) ، والمنطقة السطحية بين المصدر والمصب تسمى القناة (channel) . ويتم التحكم فى التوصيل خلال هذه القناة بواسطة الجهد على البوابة والتى قد تكون إما معدنية أو سيليكونية متعددة (polysilicon) . وتفصل البوابة عن القناة طبقة رفيعة من عازل كهربى سيليكونى مغطى بالأكسيد (silicon oxide dielectric) .

وإذا اعتبرنا جهد طرف المصدر مرجعا ، فإن جهود المصب والبوابة والقوام ستكون على الترتيب V_{DS} و V_{GS} و V_{BB} . ويطلق على الجهد V_{BB} « انحياز البوابة الخلفية » (back-gate bias). وفى أوائل عهد الدوائر الرقمية NMOS كان V_{BB} عبارة عن جهد سالب أو صفرى مطبَّق (applied nagative or zero voltage) ويمكن تغذية الجهد السالب (applied negative or zero voltage) . ويمكن تغذية الجهد السالب V_{BB} إما من خارج الشريحة (off-chip) أو بتوليده على الشريحة (on-chip) من مصدر القدرة الموجبة المتوفر V_{DD} . وحين نطبق الجهد الموجب V_{DS} فإنه يسمح للالكترونات – عندما تكون موجودة فى القناة – بأن تتجه من المصدر إلى المصب

مما يسبب سريان التيار I_{DS} من المصب إلى المصدر . وفى نبائط NMOS من النوع الاستنزافى (النضوبى) (depletion - type NMOS devices) تكون الالكترونات متواجدة فى القناة حتى عند الجهد $V_{GS} = 0$. ويتم هذا عن طريق الزرع الأيونى للقناة السطحية (ion implanting the surface channel) بمادة من النوع النونى (n-type material) وتؤدى أى زيادة فى الجهد V_{GS} إلى زيادة فى التيار I_{DS} . إلا أنه إذا كان الجهد V_{GS} سالبا وأكبر من $|V_T|$ حيث V_T هو جهد العتبة (الجهد الحدى) (threshold voltage) لنبيطة الاستنزاف ، فإن القناة تُستنزف وتهبط قيمة التيار I_{DS} الى الصفر . بينما فى حالة نبائط NMOS من النوع التحسينى (enhancement-type NMOS devices) فإن الألكترونات تكون موجودة عند السطح فقط فى حالة ما إذا كان الجهد V_{GS} موجبا وأكبر من V_T حيث V_T هو جهد العتبة لنبيطة التحسين . وتؤدى أى زيادة فى قيمة V_{GS} إلى زيادة فى قيمة I_{DS} . والمعنى الفيزيائى للجهد V_T نشير إليه فى البند ٤ – ٢ – ٣ .



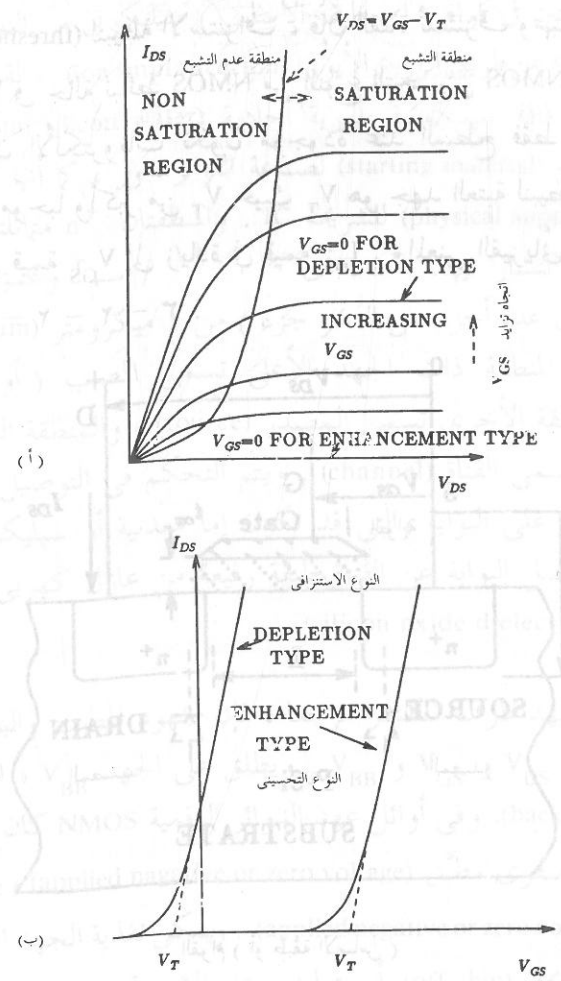
القوام (أو طبقة الأساس)

مقطع تخطيطى فى ترانزستور NMOS يبين الصمامات الثنائية الطفيلية وفروق الجهد الطرفيه

٤ – ٢ – ٢ خصائص التيار المباشر (ت م)

DC Characteristics

يبين شكل ٤ – ٢ خاصيتين هامتين من خصائص ت م للترانزستور NMOS ، وهاتان الخاصيتان هما :



شكل ٤ – ٢

(أ) العلاقة بين التيار I_{DS} وفرق الجهد V_{DS}

(ب) العلاقة بين التيار I_{DS} وفرق الجهد V_{GS} لقيمة V_{BB} معطاة

يُلاحظ أن قيمة V_T موجبة لنبائط NMOS من النوع التحسينى وسالبة للنوع الاستنزافى .

(i) العلاقة بين تيار السحب I_{DS} (drain current) وفرق جهد السحب V_{DS} (drain voltage) لقيم مختلفة من V_{GS} وذلك لقيمة معطاة لانحياز طبقة الأساس V_{BB} (substrate bias) .

(ii) العلاقة بين تيار السحب I_{DS} وجهد البوابة V_{GS}(gate voltage) عند قيمة V_{BB} معطاة .

ويمكن تمييز ثلاث مناطق تشغيل على منحنيات العلاقة بين I_{DS} ، V_{DS} ، وهذه المناطق هى :

(١) منطقة التعطيل (off region) ، حيث :

$$V_{GS} < V_T$$
$$I_{DS} \simeq 0$$

ويطلق على هذه المنطقة أيضا « المنطقة الحدية الفرعية » أو « منطقة العتبة الفرعية » (subthreshold region) حيث I_{DS} فى هذه المنطقة يكون أصغر بكثير من قيمته عندما تكون $V_{GS}>V_T$ وهكذا ففى دوائر NMOS كثيرة ولقيم $V_{GS}<V_T$. يُعتبر الترانزستور عاطلا (off) ويعتبر $I_{DS} = 0$. إلا أن قيمة I_{DS} الصغيرة فى المنطقة يمكن أن تؤثر على أداء الدائرة كما فى دوائر MOS الديناميكية .

(٢) منطقة عدم التشبع (nonsaturation region) ، حيث :

$$V_{GS} > V_T$$
$$V_{DS} < V_{GS} - V_T$$
$$I_{DS} = \beta[(V_{GS} - V_T) V_{DS} - \frac{1}{2} V^2_{DS}] \qquad (٤ - ١)$$

ويطلق على هذه المنطقة أيضا منطقة الصمام الثلاثى (triode region) . وعندما يكون $V_{DS} \ll V_{GS} - V_T$ فإن منحنى العلاقة I-V يمكن تقريبه بخط مستقيم $I_{DS} = \beta(V_G - V_T) V_{DS}$ ويعمل الترانزستور

كنموذج مقاوم $R_{ON} = 1 / \beta(V_{GS} - V_T)$

(٣) منطقة التشبع (saturation region) ، حيث :

$$V_{GS} > V_T$$

$$V_{DS} \geq V_{GS} - V_T$$

$$I_{DS} = \frac{\beta}{2} [V_{GS} - V_T]^2 \qquad (٤ - ٢)$$

حيث :

$$\beta = \frac{W}{L} \frac{\epsilon_{ox}\, \mu}{t_{ox}} = \frac{W}{L} K' \qquad (٤ - ٣)$$

حيث :

L : طول قناة MOS (فى اتجاه سريان التيار) بين المصدر n^+ وأطراف السحب ، وتبلغ قيمته الصغرى المعتادة ٠,٥ إلى ١,٥ ميكرومتر .

W : عرض قناة MOS المتعامد مع L .

ϵ_{ox} : معامل سماحية (permittivity) أكسيد البوابة (gate oxide) .

t_{ox} : سُمك أكسيد البوابة .

μ : متوسط قدرة الحركة السطحية (average surface mobility) للناقلات (للحاملات carriers) (وهى μ_n فى حالة الالكترونات فى NMOS ، و μ_p فى حالة الثقوب holes فى PMOS) .

V_T : جهد العتبة (threshold voltage) .

C_{ox} : سعة مكثف البوابة لوحدة المساحات (gate capacitance per unit area) وتساوى : ϵ_{ox} / t_{ox}

٤ - ٢ - ٢ - ١ معامل التوصيل (Conduction Factor) : K′

يعتمد معامل التوصيل K′ ($= \epsilon_{ox}\mu / t_{ox}$) على التكنولوجيا (technology dependent) ، وتحدد قيمته لعملية MOS معطاة (معينة) . وبالتالى فهو ليس متغيرا من متغيرات تصميم الدائرة (a circuit design variable) وكلما قلت قيمة t_{ox} مع التقدم فى مجال التكنولوجيا زادت قيمة K′ . وأما الفارق بين K'_n و K'_p فيرجع إلى أن مدى μ_n يساوى تقريبا بين $3\mu_p$ و $2.5\mu_p$ ويعتبر K′ دالة فى درجة الحرارة لاعتماده على μ :

$$\frac{K'}{K'_0} = \left(\frac{T}{T_0}\right)^{-3/2} \qquad (٤ - ٤)$$

حيث K'_o هى قيمة المعامل K′ عند درجة حرارة الغرفة ($T_0 = 298°K$) و T هى درجة الحرارة المطلقة (°K) (absolute temperature) .

٤ - ٢ - ٢ النسبة الهندسية (The Geometrical Ratio)(W/L)

تُعد هذه النسبة إحدى المعاملات الوسيطة (البارامترات parameters) فى تصميم الدائرة. وأقل قيمة L_{min} للطول L تحددها عملية تصنيع الدوائر MOS والعوامل التى تحدد أساسا قيمة L_{min} هى طول قناة القناع (mask channel length)، والتسامحات (tolerances) فى هذا الطول ، والانتشارات العرضية (الجانبية) (lateral diffusions) فى كل من منطقتى المصدر والمصب . وأما القيمة الصغرى للعرض W فهى عادة فى نفس حدود القيمة الصغرى للطول L . وتؤدى زيادة النسبة (W/L) إلى زيادة تيار المصب لمجموعة معطاة من فروق جهد التشغيل (operating voltages) . إلا أن زيادة W تؤدى إلى زيادة مساحة البوابة (gate area) ومساحتى انتشار كل من المصدر والمصب ، وبالتالى إلى زيادة قيم سعات المكثفات (capacitances) المتعلقة بالبوابة ، وَبوَصْلة القوام–المصدر (source - substrate junction)، وَبوَصْلة القوام– المصب (drain - substrate junction) .

٤ - ٢ - ٢ - ٣ جهـــد العتبـــة V_T (The Threshold Voltage)

يعد جهد العتبة V_T دالة فى كل من المعاملات الوسيطة لتشغيل دوائر MOS (MOS processing parameters) ، وانحياز القوام V_{BB} (substrate bias) . وعموما فهو دالة أيضا فى الجهد V_{DS} . ولإبراز هذه الاعتمادات الدالية المختلفة يمكن كتابة جهد العتبة V_T لدائرة NMOS من النوع التحسينى فى الصورة :

$$V_T = V_{TO} + \Delta V_T(V_{BB}) - \Delta V_T(V_{DS}) \qquad (٤ - ٥)$$

حيث :

$$V_{TO} = (\phi_{GS} - \frac{Q_{SS}}{C_{ox}}) + \gamma(2\phi_F)^{1/2} + 2\phi_F \qquad (٤ - ٥ - ا)$$
$$= V_{FB} + \gamma(\phi_F)^{1/2} + 2\phi_F$$

$$\Delta V_T(V_{BB}) = \gamma[(|V_{BB}| + 2\phi_F)^{1/2} - (2\phi_F)^{1/2}] \qquad (٤ - ٥ - ب)$$

$$\Delta V_T(V_{DS}) = z(V_{DS} + 2|V_{BB}| + 2V_{Bi}) \qquad (٤ - ٥ - جـ)$$

$$(٤ - ٥ - د)$$

$$\gamma = \frac{(s\,\epsilon_S\,q\,N_B)^{1/2}}{C_{ox}} \qquad (٤ - ٥ - هـ)$$

$$z = \frac{n_o(x_j, N_B)}{C_{ox}\,L^n}$$

حيث :

ϕ_{GS} : جهد البوابة اللازم لتعويض (counter balance) الفارق فى وظيفة عمل البوابة – إلى – السيليكون (the gate-to-silicon work function difference) .

Q_{SS} / C_{ox} : جهد البوابة اللازم لتعويض تأثير شحنة سطح الأكسيد Q_{SS} (oxide surface charge) .

V_{FB} : جهد البوابة اللازم لإحداث شرط النطاق المستوى (flat band condition) عند سطح السيليكون ، وبالتالى فهو يسمى « جهد الحزمة المستوية » "flat band voltage" ويحدث شرط الحزمة المستوية عندما تكون حزم الطاقة (energy bands) فى طبقة الأساس (substrate) مستوية عند السطح ، وفى هذه الحالة يكون المجال الكهربى عند سطح السيليكون مساويا للصفر . وإذا كان جهد البوابة موجبا أكثر من الجهد V_{FB} لطبقات الأساس من النوع P (P-type substrates) فإن سطح السيليكون يكون فى حالة استنزاف ، أى لا يوجد أى ناقلات متحركة (mobile carriers) عند السطح . فإذا زاد جهد البوابة أكثر من هذا فإن السطح يبدأ فى الانعكاس (starts to "invert") أى أن الالكترونات تُجذب نحو السطح وتكوِّن قناة موصِّلة (conductive channel) .

$\gamma(2\phi_F)^{1/2}$: جهد البوابة اللازم لتعويض تأثير الشحنة الناتجة عن الشوائب (أشباه الموصلات) المعرَّضة (exposed dopants) عند السطح و ϕ_F هو جهد « فِرمى » للقوام (substrate Fermi potential) عند السطح ، ويساوى $(KT/q)\,\iota n\,(N_B/n_i)$ حيث (KT/q) هو الجهد الحرارى (thermal voltage) ، و n_i هو التركيز الداخلى (intrinsic concentration) للسيليكون ، ويُعطى بالعلاقة $n_i^2 = 1.5X\,10^{33}T^3e^{-1.2q/KT}cm^{-6}$ ، و N_B هو متوسط تركيز القوام (substrate concentration) عند سطح السيليكون . ويُلاحظ أن زرعا سطحيا (surface implant) عند قناة MOS يُستخدم عادة للتأثير على N_B . وأما الوسيط γ (parameter) فيسمَّى « معامل تأثير الجسم » "the body-effect factor" .

$2\phi_F$: جهد بوابة إضافى لازم لتوليد حالة « انعكاس قوى » (a"strong inversion" condition) عند سطح السيليكون .

$\triangle V_T(V_{BB})$: الزيادة فى جهد العتبة بسبب الانحياز المعكوس على البوابة الخلفية (القوام) [the reverse bias on the back-gate (substrate)] وإذا كان $V_{BB} = 0$ فإن $\triangle V_T(V_{BB}) = 0$.

$\triangle V_T(V_{DS})$: النقصان فى جهد العتبة بسبب تأثير القناة القصيرة (short channel effect) ولقيم L الكبيرة فإن $\triangle V_T(V_{DS})$ تؤول إلى الصفر .

$\eta_0(X_j,N_B)$ معامل دالة فى عمق وصلة المصدر والمصب (source and drain junction depth) x_j و N_B .

n : معامل يتراوح بين 2.6 و 3.2 وذلك للقيم

$$10^{15}\ cm^{-3} \le N_B \le 10^{16}o\ cm^{-3},\ 1.5\ \mu m \le x_j \le 0.41\ \mu m$$

V_{Bi} : الجهد الداخلى (المُبَيَّت / المتضمَّن) بين المصدر (أو المصب) والقوام [source (or drain)-substrate built-in voltage] ، وقيمته : $(KT/q)\ln(N_B N/n_i^2)$ ، حيث N هى متوسط تركيز شوائب انتشار المصدر والمصب (impurity concentration of the source and drain diffusions) .

٤ - ٢ - ٢ - ٤ ملاحظات على المعادلات (٤-١) إلى (٤-٥) :

أولا : بدراسة المعادلة (٤ - ٥) يتبين لنا ما يلى :

(١) الجهد V_{TO} ليس دالة فى جهود التشغيل (operating voltages) وهو دالة فى درجة الحرارة .

(٢) حساسية جهد العتبة V_T (The sensitivity of the threshold voltage) للجهد V_{BB} – أى الحد $\triangle V_T(V_{BB})$ – تتعين بقيمة γ والتى هى دالة فى $N_B^{1/2}\ C_{ox}^{-1}$ وبزيادة قيمة N_B أو تقليل قيمة C_{ox} (أى زيادة t_{ox}) تزداد هذه الحساسية .

(٣) حساسية جهد العتبة V_T للجهد V_{DS} – أى الحد $\triangle V_T(V_{DS})$ – تعينها قيمة z والتى تؤول إلى الصفر لنبائط القناة الطويلة (long channel devices) . ويُعد z معاملاً تجريبيا (an empirical factor) تتناسب قيمته طرديا مع $x_j,\ 1/N_B,\ 1/C_{ox}$ بالإضافة إلى $1/L$. وبتقليل قيمة x_j أو زيادة قيمة N_B أو تقليل قيمة t_{ox} (وبالتالى زيادة قيمة C_{ox}) تقل حساسية V_T للجهد V_{DS} فى نبائط القناة القصيرة (short channel devices) .

(٤) فى نبائط القنوات القصيرة والقنوات الضيقة (short channel and narrow channel devices) تكون γ دالة فى كل من L و W ، حيث يؤدى أى نقصان فى L إلى نقصان فى γ ، بينما يؤدى أى نقصان فى W إلى زيادة فى γ . واعتماد γ هذا على كل من L و W يؤثر على كل من V_{TO} و $\triangle V_T(V_{BB})$ ويمكن ادخاله من الناحية التجريبية فى معادلة ٤ - ٥ - د . ويجب ادخال هذا التأثير فى الاعتبار عند تصميم الدوائر الرقمية التى تستخدم نبائط MOS ذات الأبعاد الصغيرة لأن الترانزستور الذى له $L=L_{min}$, $W=L_{min}$ قد يكون له خصائص ت م (dc characteristic) مختلفة عن تلك للترانزستور الذى له $W = mW_{min}$ و $L = mL_{min}$ رغم أن النسبة (W/L) للترانزستورين هى نفسها .

ثانيا : لاحظ أن درجة الحرارة تؤثر على كل من V_T ، K' بطريقة تجعل التأثيرات على I_{DS} يمكن أن يلاشى بعضها بعضا . فبينما تزداد قيمة K' مع درجة الحرارة (انظر المعادلة ٤ – ٤) مما ينتج عنه نقصان فى تيار المصب ، تقل قيمة الجهد V_T تقريبا خطيا مع درجة الحرارة مما ينتج عنه زيادة فى تيار المصب (drain current) :

$$V_T(T) = V_T(0) - a\,(T - T_0)$$

حيث $V_T(0)$ هى قيمة V_T عند درجة حرارة الغرفة (TO = 298°K) و a تقع بين 0.5 mv/k و 5mv/K . وهكذا فإن ترانزستورات MOS يمكن تشغيلها بحيث تُظهر معامل درجة حرارة موجبا أو سالبا أو صفرا (exhibit positive, negative, or zero temperature coefficient) .

ثالثا : يعتمد استنتاج المعادلة (٤ – ١) على افتراضات التبسيط التالية :

(١) التقريب التدريجى للقناة (gradual channel approximation) صحيح . وهذا يعنى أن مركبة المجال الكهربى فى اتجاه طول القناة لا يعتمد على المركبة العمودية للمجال خلال الأكسيد والتى يتسبب عنها عكس القناة (inverting the channel) عن طريق إيجاد طبقة من الالكترونات المتحركة .

(٢) تقريب الاستنزاف (depletion approximation) صحيح. وهذا يعنى أن الحدود بين منطقة الاستنزاف ومنطقة القوام المحايدة (neutral substrate region) ضيقة ومفاجئة ، أى أن منطقة الاستنزاف مستنزفة تماما من الشحنات المتحركة .

(٣) تحليل (analysis) القناة يتم على أساس الهندسة أحادية البعد (one dimensional geometry) .

(٤) يتم عكس القناة بدرجة كبيرة "strongly inverted" ، ويحدث هذا – بالتعريف – عند جهد بوابة محدد (specified gate voltage) يُعطى بالعلاقة (٤ – ٥ – أ) .

(٥) قدرة التحرك (mobility) للحاملات الالكترونية (electron carriers) فى القناة ثابتة ولا تعتمد على المجال الكهربى .

(٦) تيار القناة ينتج عن المركبة التيارية (drift component) فقط ، بينما تُهمل المركبات الانتشارية (diffusion components) .

رابعا : نناقش فيما يلى بعض خواص النبائط (device characteristics) التى لم تظهر فى المعادلات (٤–١) – (٤–٥) :

(١) **تعديل طول القناة** (CHANNEL LENGTH MODULATION) :

استُنتجت معادلة تيار المصب فى حالة التشبع (المعادلة ٤ – ٢) من المعادلة (٤–١) بفرض أن تيار الترانزستور فى حالة التشبع لا يتغير مع زيادة جهد المصب ، أى أنه فى حالة التشبع يكون

$$I_{DS} = I_{sat} = I_{DS} \quad (V_{DS} = V_{GS} - V_T)$$

مما ينتج عنه أن يكون ميل منحنى I_{DS} مع V_{DS} مساويا للصفر . ويمكننا ضبط هذا الميل ليأخذ قيمته المحدودة عن طريق تعديل المعادلة (٤–٢) وذلك بضرب الحد المعتمد على الجهد فى هذه المعادلة بالمعامل ذى الصيغة العملية (empirical factor) $(1 + \lambda V_{DS})$ ، أى تصبح المعادلة :

$$I_{DS} = \frac{\beta}{2}(V_{GS} - V_T)^2 (1 + \lambda V_{DS})$$

حيث λ يطلق عليها وسيط تعديل طول القناة (channel length modulation parameter) والذى تتراوح قيمته المعتادة بين 0.1 و $.01\ V^{-1}$. وكى نتحاشى عدم الاتصال (discontinuity) فى منحنى I-V فإننا نضع المقدار $(1+\lambda V_{DS})$ بدلا من V_{DS} فى المعادلة (٤ – ١) . ويمكن تعيين قيمة الوسيط λ عمليا عن طريق قياس طول تقاطع امتداد منحنى (intersection of the I-V extrapolated I-V characteristic) فى منطقة التشبع ، أى عندما يكون

$$I_{DS} = 0, V_{DS} = -\frac{1}{\lambda}$$

(٢) مستويات انعكاس القناة (CHANNEL INVERSION LEVELS) :

يلاحظ أن معادلة التصميم ت . م (٤–١) المذكورة فى بند (٤ – ٢ – ٢) معطاة فى الحالة التى تكون فيها القناة بين المصدر والمصب معكوسة بدرجة كبيرة (strongly inverted) عن طريق تطبيق جهد بوابة عالى بدرجة كافية أكبر من الجهد V_T المعطى بالعلاقة (٤ – ٥) . وإذا كان جهد البوابة أقل من هذه القيمة ، فيقال إن الترانزستور يعمل فى منطقة الانعكاس الضعيفة (operating in the weak inversion region) كما هو مبين فى شكل ٤ – ٣ . وفى هذه المنطقة يكون تيار المصب – والذى يطلق عليه « تيار قبل العتبة » (subthreshold current) – محكوما بانتشار الحاملات (carrier diffusion) والدالة الأسية للجهد V_{GS} والجهد V_{DS} ، ويعطَى هذا التيار بالعلاقة :

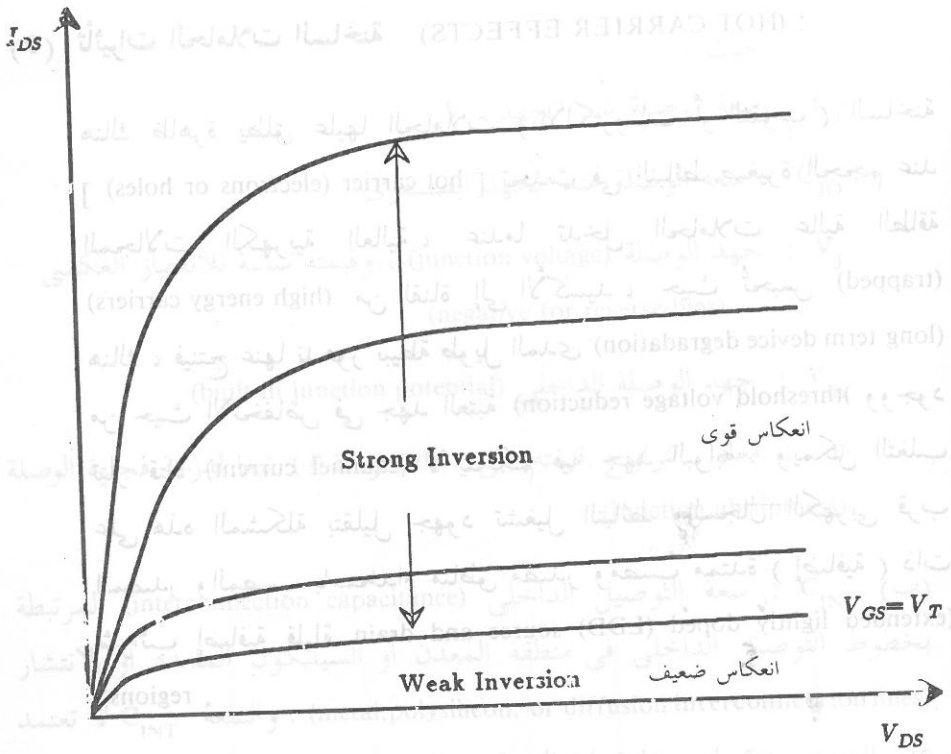
$$I_D = I_{DO}\frac{W}{L} e^{a V_{GS}/\frac{KT}{q}} e^{b V_{DS}/\frac{KT}{q}}$$

حيث I_{DO} مركبة تيارية تعتمد على التكنولوجيا (technology dependent current component) و a,b وسيطان معتمدان على الهندسة (geometry dependent parameters) .

(٣) التأثيرات صغيرة الحجم (SMALL SIZE EFFECTS) :

من الجدير بالذكر أن معادلات التصميم ت . م المذكورة فى بند ٤ – ٢ – ٢ مستنتجة على أساس تقريب القناة التدريجية (gradual-channel approximation) والذى ينتج عنه تحليل أحادى البعد (one dimensional analysis) . أما إن كانت القناة قصيرة أو ضيقة أو كليهما (short and/or narrow) ، أى صغيرة الحجم ، فإنه من اللازم أن يكون التحليل ثنائى البعد

أو ثلاثى البعد . ورغم أن مثل هذا التحليل يعطى نتائج عددية دقيقة إلا أنه لا يعطى معادلات تصميم صريحة . ومع ذلك فيمكن استخدامه لتعديل معادلات التصميم البسيطة .



شكل ٤ – ٣

منحنيات I_{DS} NMOS مقابل V_{DS} لجهد V_{BB} مُعطى

(٤) تدهور القدرة على الحركة (MOBILITY DEGRADATION) :

تفترض المعادلات (٤–١) – (٤–٥) أن قدرة الحاملات على الحركة (carrier mobility) ثابتة ، ولا تعتمد على عملية إضافة الشوائب للقناة (doping of the channel) أو على جهد البوابة ، بينما μ تتغير بتأثير كل من هذين

العاملين ، وعند الجهود العالية لتشغيل النبائط تقل قيمتها مع زيادة المجال الكهربى فى القناة . وهذا يعمل على تقليل قيمة K′ للنبيطة . إلا أن هذا التدهور فى القدرة على الحركة تقل أهميته عند درجات الحرارة المنخفضة ، ويصبح تشغيل النبيطة عند درجة حرارة أمراً له أهميته .

(٥) تأثيرات الحاملات الساخنة (HOT CARRIER EFFECTS) :

هناك ظاهرة يطلق عليها الحاملات (الالكترونات أو الثقوب) الساخنة [hot carrier (electrons or holes)] تحدث فى النبائط صغيرة الحجم عند المجالات الكهربية العالية ، عندما تدخل الحاملات عالية الطاقة (high energy carriers) من القناة إلى الأكسيد ، حيث تُحبس (trapped) هناك ، فينتج عنها تدهور نبيطة طويل المدى (long term device degradation) من حيث الانخفاض فى جهد العتبة (threshold voltage reduction) ووجود تيار قناة (channel current) لا يتحكم فيه جهد البوابة . ويمكن التغلب على هذه المشكلة بتقليل جهود تشغيل النبائط والمجال الكهربى قرب المصدر والمصب باستخدام مناطق مصدر ومصب ممتدة (إضافية) ذات شوائب إضافية قليلة (extended lightly doped (LDD) source and drain regions) .

٤ – ٢ – ٣ الخصائص العابرة (خصائص الانتقال)

(Transient Characteristics)

يُعَدُّ الأداء العابر (المؤقت) (transient performance) لدائرة MOS متكاملة دالة فى سعة المكثف الكلية (total capacitance) عند عقدة المخرج (output node). وهذه السعة C_{out} تساوى مجموع سعة المخرج الطفيلية (parasitic output capacitance) C_o وسعة (سعات) مرحلة (مراحل) التحميل عند بوابة المدخل [input gate capacitance(s) of the loading stage(s)] C_{in} .

وسعة المخرج الطفيلية C_o تساوى بدورها مجموع سعتين :

(أ) C_J : سعة الوصلة لانتشارات المخرج [the junction capacitance of the ouptut diffusion(s)] وهذه السعة تتغير بتغير جهد الوصلة (junction voltage) V_j تبعا للعلاقة

$$\frac{C_J}{C_{JO}} = \left(1 - \frac{V_j}{V_{Bi}}\right)^n$$

حيث :

C_J : سعة الوصلة عند الجهد V .

C_{JO} : سعة الوصلة عند الجهد الصـفرى .

V_J : جهد الوصلة (junction voltage) ، وقيمته سالبة للانحياز العكسى (negative for reverse-bias)

V_{Bi} : جهد الوصلة الداخلى (built-in junction potential)

n : معامل تتراوح قيمته بين (0.5-) و (0.3-) تبعا لدرجة فجاءة الوصلة (junction abruptness) .

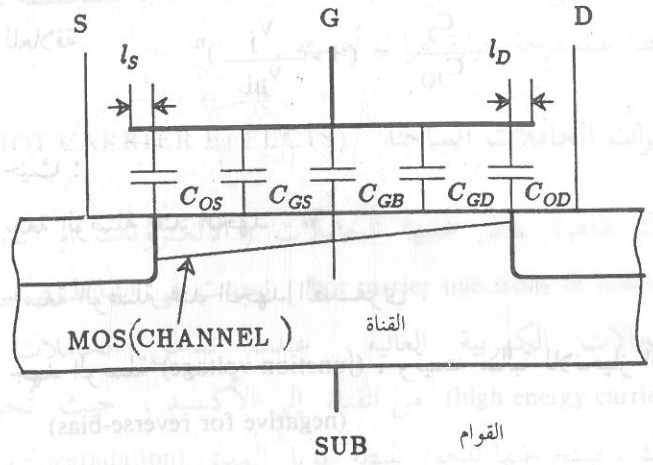
(ب) C_{INT} : سعة التوصيل الداخلى (interconnection capacitance) المرتبطة بخطوط التوصيل الداخلى فى منطقة المعدن أو السيليكون المتعدد أو الانتشار (metal,polysilicon, or diffusion interconnection lines) . والسعة C_{INT} لا تعتمد على الجهد ، وتساهم عادة فى السعة C_{out} فى دوائر LSI حيث توجد نماذج (تشكيلات) معقدة للتوصيلات الداخلية (complex interconnection patterns) .

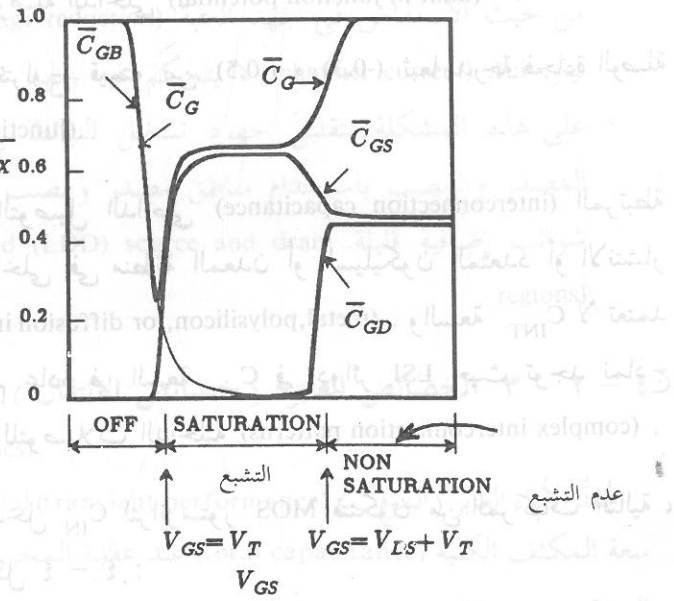
وأما سعة المدخل C_{IN} لترانزستور MOS فتتكون من المركبات التالية ، كما هو مبين فى شكل ٤ – ٤ :

* السعتان C_{OS}, C_{OD} : وهما سعتا تداخل المصدر والمصب (the source and the

drain overlap capacitances) ، والناتجتان من تداخل انتشارات البوابة على المصدر وعلى المصب (overlap of the gate on the source and the drain diffusions) ، وتعطيان بالعلاقتين :

$$C_{OS} = C_{ox} l_S W , \quad C_{OD} = C_{ox} l_D W$$





شكل ٤ – ٤

(أ) المركبات المختلفة للسعة C_{IN}

(ب) منحنيات اعتماد السعة لوحدة المساحات على الجهد أى منحنيات $\overline{C}_{GS}, \overline{C}_{GD}, \overline{C}_{GB}, \overline{C}_G$ مقابل الجهد V_{GS}

حيث l_D و l_S هما طولا التداخل (overlap lengths) .

* السعتان C_{GS}, C_{GD} : وتمثلان السعتين بين البوابة والقناة (gate to channel capacitances) المتجمعتين (lumped) عند منطقتى المصب والمصدر – على الترتيب – من القناة ، وتعطيان بالعلاقتين :

$$C_{GS} = C_{ox} WL f_S(V), \quad C_{GD} = C_{ox} WL f_D(V)$$

* السعة C_{GB} : وهى السعة بين القوام والبوابة (gate-substrate capacitance) وتعطى بالعلاقة :

$$C_{GB} = C_{ox} WL f_B(V)$$

حيث : $f_S(V), f_D(V), f_B(V)$ هى دوال تعتمد على الجهد .

ويبين شكل ٤ – ٤ – ب طبيعة الاعتماد على الجهد (voltage dependency) بالنسبة للسعات لوحدة المساحات (capacitances per unit areas) : أى منحنيات $\overline{C}_{GS}, \overline{C}_{GD}, \overline{C}_{GB}, \overline{C}_G$ لترانزستور NMOS مقابل الجهد V_{GS} ، حيث $\overline{C}_G = \overline{C}_{GS} + \overline{C}_{GD} + \overline{C}_{GB}$. وعندما يكون الترانزستور عاطلا فإن المركبة غير الصفرية الوحيدة هى $\overline{C}_{GB}$. وترجع هذه المركبة إلى وجود طبقة الاستنزاف السطحية (surface depletion layer) على التوالى مع سعات الأكسيد والبوابة (gate oxide capacitances) . وعندما يشتغل الترانزستور فإن قيمة C_{GB} تقل إلى الصفر بسبب تأثير العَزْل (shielding effect) لطبقة العكس (inversion layer) . وفى منطقة عدم التشبع تنعكس منطقتا المصدر والمصب لقناة MOS ، ويصبح $\overline{C}_{GS} = \overline{C}_{GD} = C_{ox}/2$ أما فى منطقة التشبع حيث تنضغط (pinched-off) منطقة المصب فى القناة ، فإن $\overline{C}_{GD}$ تقل إلى الصفر من القيمة $C_{ox}/2$ ، بينما تزداد $\overline{C}_{GS}$ من هذه القيمة إلى نحو $\frac{2}{3}C_{ox}$. ويبين شكل ٤ – ٤ – ب أن منحنى $\overline{C}_G$ مقابل V_{GS} له نهاية صغرى أسفل $V_{GS} = V_T$ مباشرة .

٤ – ٢ – ٤ التسرب والانهيار والتعلق لأعلى :

(Leakage,Breakdown and Latch-Up)

من المهم أن نأخذ فى الاعتبار تيارات التسرب (leakage currents) فى شريحة MOS ، خاصة إذا كانت الدائرة تعمل فى نمط ديناميكى (dynamic mode) ، وعلى وجه الخصوص فى ذاكرات ديناميكية (dynamic memories) . وترتبط تيارات التسرب بالمصدر ووصلات p-n للمصب . ويجب تقليل القيم المطلقة لهذه التيارات لأقل قيمة ممكنة ، مع دراسة تغيرها مع درجة الحرارة .

ومصدر الجهد (potential source) للتيار الطفيلى (parasitic current) فى دوائر MOS هو التيار المصاحب لترانزستورات MOS ذات أكسيد المجال السميك (thick field oxide) ويزداد هذا التيار أُسِّياً عندما يقترب جهد البوابة من جهد العتبة للترانزستورات MOSFETs ذات أكسيد المجال (field-oxide MOSFETs) [الترانزستور MOSFET هو ترانزستور التأثير المجالى من المعدن والأكسيد وشبه الموصل (Metal Oxide Semiconductor Field Effect Transistor)] . ويمكن زيادة جهد العتبة لهذه الترانزستورات عن طريق زيادة الكثافة السطحية لإضافة الشوائب (surface doping density) تحت أكسيد المجال .

ويمكن أن يحدث الانهيار فى دوائر MOS بطرق مختلفة . فقد يحدث انهيار عطل (Avalanche breakdown) فى وصلة القوام والمصب المعكوسة الانحياز (reverse-biased drain-substrate junction) ، وقد يحدث انهيار تثقيب (Punch-through breakdown) إذا وصلت منطقة الاستنزاف (depletion region) فى وصلة القوام والمصب إلى وصلة القوام والمصدر (source-substrate junction) . وقد يغلب (predominate) أى من نوعى الانهيار لبنية MOS(structure) معطاة . فمثلا قد يغلب انهيار التثقيب فى حالة ترانزستورات MOSFET للقنوات القصيرة (short channel MOSFETs) . ورغم أن نوعى الانهيار لهما علاقة

بخصائص وصلة p-n ، إلا أنهما يتأثران بدرجة كبيرة بوجود أكسيد بوابة (gate oxide) وبوابة موصِّلة (conducting gate) .

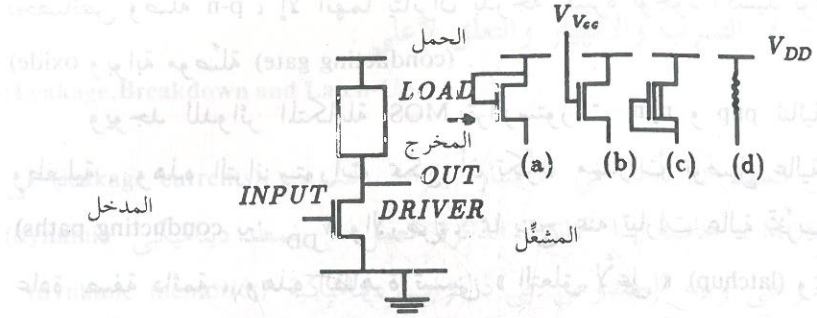
ويوجد للدوائر المتكاملة MOS ترانزستورات npn و pnp ثنائية القطبية وطفيلية . وهذه الترانزستورات يمكن أن تكوِّن مسارات توصيل عالية (highly conducting paths) بين V_{DD} والأرض ، مما ينتج عنه تيارات عالية تخرِّب الشريحة عادة بصفة دائمة ، وهذه الظاهرة تسمى « التعلق لأعلى » (latchup) ويمكن لهذه الظاهرة أن تحدث حتى عند جهود التشغيل المعتادة . ويمكن تقليل فرصة تعرض الدوائر لتلك الظاهرة عن طريق بعض طرق التخطيط والتصميم العام (layout techniques) وكذلك بعض الطرق التى تعتمد على التكنولوجيا والبنية (structure and technology-dependent techniques) . وبالإضافة إلى هذا فيمكننا عند التعرض لمشكلة التعلق لأعلى أن نأخذ فى الاعتبار تشغيل الدائرة (circuit operation) وعوامل الوسط المحيط (environment factors) .

٤ – ٣ العاكس NMOS الساكن (الاستاتيكى)(*) :

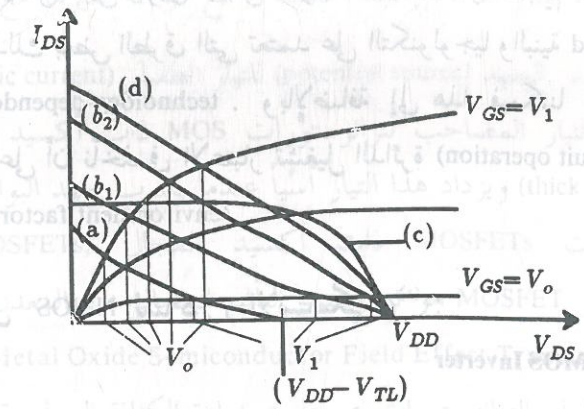
The Static NMOS Inverter

يبين شكل ٤ – ٥ – أ عاكسا NMOS مكوَّنا من ترانزستور حث (مشغِّل/محرك) من النوع التحسينى (enhancement type driver transistor) وحمل (load). وهذا الحمل عبارة عن أحد الأنواع التالية : (أ) نبيطة NMOS من النوع التحسينى مشبعة (a saturated enhancement-type NMOS device) ، (ب) نبيطة NMOS من النوع التحسينى غير مشبعة ، (جـ) نبيطة NMOS من النوع الاستنزافى ، (د) مقاوم سيليكونى متعدد (polysilicon resistor) .

(*) رغم أن هذا العاكس نادرا ما يستخدم الآن – حيث يغلب استخدام دوائر CMOS ، إلا أنه يمثل بنية دائرة أساسية لفهم تحليل وتصميم دائرة MOS



(أ)



(ب)

شكل ٤ – ٥

(أ) عاكس NMOS بأحمال مختلفة .

(ب) خط الأحمال (load line) المفروض (superimposed) على منحنى خصائص I_{DS} مقابل V_{DS} لترانزستور التشغيل V_{VGG} للحاله (b_2) > V_{VGG} للحالة (b_1) .

ويبين شكل ٤ – ٥ – ب خطوط الأحمال (load lines) للأحمال الأربعة السابقة المفروضة (super-imposed) على منحنى I_{DS} مقابل V_{DS} للمشغِّل (ترانزستور التشغيل) . وتقاطع خط الحمل مع منحنى المشغِّل فى حالة $V_{GS} = V_{IN} = V_0$ يعطى $V_{DS} = V_{OUT} = V_1$ (low voltage level) الذى يمثل الصفر المنطقى '0' ، ويلاحَظ أن $V_0 < V_{TD}$ حيث V_{TD} هو جهد

العتبة للمشغِّل ، و V_1 هو مستوى الجهد العالى الذى يمثل الواحد المنطقى '1' . وبالمثل فإن تقاطع خط الحمل مع منحنى المشغِّل فى حالة $V_{GS} = V_{IN} = V_1$ يعطى $V_{DS} = V_{OUT} = V_0$.

٤ – ٣ – ١ تحليل التيار المباشر (DC Analysis)

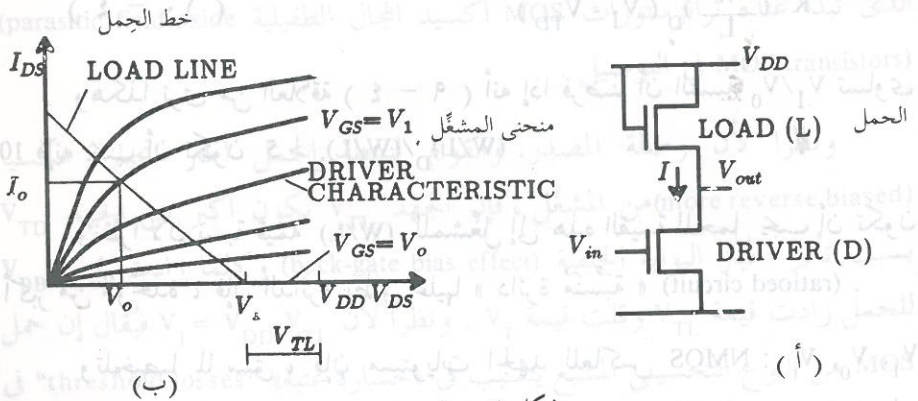
٤ – ٣ – ١ – ١ الحِمل المشبَّع من النوع التحسينى

(Saturated Enhancement-Type Load)

استُخدِم الحمل المشبَّع من النوع التحسينى فى الدوائر المتكاملة NMOS الرقمية الأولى . ويبين شكل ٤ – ٦ عاكسا يستخدم نبائط NMOS . ونلاحظ فى نبيطة الحمل أن بوابتها متصلة بمصبها (أى أن $V_{DS} = V_{GS}$) ، وأنها تعمل فى منطقة التشبع عندما توصل التيار ، وذلك لأن $V_{DS} > (V_{GS} - V_{TL})$ حيث V_{TL} هو جهد العتبة لنبيطة الحمل . ويمكن شرح عمل دائرة ت . م كما يلى :

(أ) عندما يكون $V_{IN} = V_0 < V_{TD}$ فإن المشغِّل يكون عاطلا ، $I \approx 0$ ويصبح:

$$V_{OUT} = V_1 = V_{DD} - V_{TL} \quad (٤ - ٦)$$



شكل ٤ – ٦

(أ) عاكس NMOS ذو حمل مشبَّع من النوع التحسينى

(ب) خط الحمل على منحنى المشغِّل (I_{DS} مقابل V_{DS}) ، وهو يبين تيار التشغيل I_0 (operating current) عندما $V_{out} = V_0$.

(ب) وعندما يكون $V_{IN} = V_1 > V_{TD}$ ، فإن المشغِّل يعمل فى منطقة عدم التشبع ، بينما تكون نبيطة الحمل فى منطقة التشبع ، ويصبح $I = I_0$ حيث :

$$I_0 = \frac{K'(\frac{W}{L})_L}{2}[(V_{DD} - V_0) - V_{TL}]^2 \qquad (٤ - ٧ - أ)$$

$$= K'(\frac{W}{L})_D[(V_1 - V_{TD})V_0 - \tfrac{1}{2}V_0^2] \qquad (٤ - ٧ - ب)$$

وإذا كان $V_0 \ll V_1 - V_{TD}$ و $V_0 \ll V_{DD}$ فإنه يمكن تبسيط (٤ – ٧) لتعطى :

$$I_0 \simeq \frac{K'(\frac{W}{L})_L}{2}[(V_{DD} - V_{TL})^2 = \frac{K'(\frac{W}{L})_L}{2}V_1^2 \qquad (٤ - ٨ - أ)$$

$$\simeq K'(\frac{W}{L})_D(V_1 - V_{TD})V_0 \qquad (٤ - ٨ - ب)$$

ومن (٤ – ٨) نحصل على العلاقة :

$$\frac{(\frac{W}{L})_D}{(\frac{W}{L})_L} \geq \frac{V_1}{2V_0} \qquad (٤ - ٩)$$

وكذلك على العلاقة :

$$V_0 \simeq \frac{I_0}{K'(\frac{W}{L})_D(V_1 - V_{TD})} \qquad (٤ - ١٠)$$

وهكذا نرى من العلاقة (٤ – ٩) أنه إذا فرضنا أن النسبة V_1/V_0 تساوى 10 فإنه يجب أن تكون $(W/L)_D/(W/L)_L \geq 5$.

ونظرا لأن نسبة قيمة (W/L) للمشغِّل إلى هذه القيمة للحمل يجب أن تكون أكبر من الوحدة ، فإن الدائرة يطلق عليها « دائرة مُنَسَّبَة » (ratioed circuit) .

وتلخيصا لما سبق ، فإن مستويات الجهد للعاكس NMOS : V_1, V_0, V_t (حيث V_t هو جهد العتبة المنطقى للعاكس) وتبديد القدرة ت . م تعطى بالعلاقات التالية :

$$V_1 = V_{DD} - V_{TL}$$

$$V_0 \simeq \frac{I_0}{K'(\frac{W}{L})_D(V_1 - V_{TD})}$$

$$V_t \geq V_{TD}$$

$$P_{DC}(@V_{OUT} = V_1) \simeq 0$$

$$P_{DC}(@V_{OUT} = V_0) = I_0 V_{DD} \qquad (٤ - ١١)$$

حيث I_o يعطَى بالعلاقة (٤ – ٨ – أ)

وفى العلاقة ٤ – ١١ يتم تعيين قيمة I_o باعتبارات المرحلة العابرة (المؤقتة) (transient considerations) أو تبديد القدرة المسموح به . أما V_{DD} فيتم تعيينه عادة باعتبارات تصميم النظام الفرعى (sub-system design considerations) وقيمته المعتادة حاليا 5 V . ومن الواضح أن V_1 يزداد مع زيادة جهد منبع القدرة V_{DD} . وأقصى قيمة مسموح بها للجهد V_{DD} يجب أن تكون أقل من جهد انهيار الوصلة (junction breakdown voltage) فى وصلة القوام والمصب . كما يجب أن تكون أقل من الجهد الذى تبدأ عنده ترانزستورات MOS أكسيد المجال الطفيلية (parasitic field-oxide MOS transistors) فى التوصيل .

ونظرا لأن وصلة المصدر والقوام لنبيطة الحمل أكثر انحيازا عكسيا (more reverse biased)من المشغِّل ، فإن الجهد V_{TL} يكون أكبر من الجهد V_{TD} بسبب تأثير انحياز البوابة الخلفية (back-gate bias effect) وكلما زادت قيمة V_{BB} للحمل زادت قيمة V_{TL} وقلت قيمة V_1 . ونظرا لأن $V_1 = V_{DD} - V_{TL}$ فيُقال إن حمل MOS من النوع التحسينى المشبع يتسبب فى «خسارة عتبة» "threshold losses" فى قيمة V_1 . وكما سنبين بإذن الله فى البنود التالية فإن كلا من أحمال MOS من النوع الاستنزافى ، ومن النوع التحسينى غير المشبع ، وذات التحميل الأوَّلى (بادئه التحميل) (bootstrapped MOS loads) لا يتسبب عنها خسارة عتبة .

ويُعد مستوى الجهد المنطقى المنخفض V_0 دالة فى تيار التشغيل I_0 . وإذا زادت قيمة I_0 فإن تبديد القدرة ت . م يزداد وكذلك تزداد السرعة كما سنبيِّن ذلك بإذن الله فى البند ٤ – ٣ – ٢ . ويمكن تقليل الجهد V_0 [وبالتالى زيادة التأرجح المنطقى وحد الضوضاء NM_0(noise margin)] بزيادة النسبة الهندسية $(W/L)_D$ للترانزستور المشغِّل ، وبالتالى بزيادة حجمه بالنسبة لـ $(W/L)_L$.

ويُعد جهد العتبة V_t للعاكس $V_{TD} \geq$. وكلما زادت النسبة $[(W/L)_D/(W/L)_L]$ ازداد V_t قربا من V_{TD} . وإذا استبدلنا بالمشغِّل عددا من الترانزستورات المرصوصة (stacked transistors) المتصلة على التوالى – كما فى حالة بوابة MOS NAND – فإن الجهد V_{TD} وبالتالى الجهد V_T لترانزستورات الإدخال العليا (upper input transistors) يصبحان أعلى من الجهد المقابل للترانزستورات السفلى (lower transistors) بسبب تأثير انحياز البوابة الخلفية . وهذه هى إحدى عيوب استخدام بوابات NAND فى التصميم المنطقى لدوائر NMOS .

٤ – ٣ – ١ – ٢ الحمل من النوع التحسينى غير المشبَّع

Nonsaturated Enhancement-Type Load

تُعَد خسارة جهد العتبة (threshold voltage losses) بسبب الحمل أحد عيوب استخدام الحمل من النوع التحسينى المشبع ، مما ينتج عنه أن : $V_1 = V_{DD} - V_{TL}$.

ويمكن تقويم هذا الوضع إذا جعلنا الحِمل يعمل فى منطقة عدم التشبع عن طريق توصيل بوابته للجهد V_{GG} حيث $(V_{GG} > (V_{DD} + V_{TL})$. وفى هذه الحالة يمكن جعل V_1 قريبا من V_{DD} بزيادة الجهد V_{GG} كما هو مبين فى شكل ٤ – ٥ – ب . ويمكن شرح عمل دائرة ت . م للعاكس كما يلى :

(أ) عندما يكون $V_{IN} = V_0 , V_0 < V_{TD}$ فإن المشغِّل يكون عاطلا ، والحمل غير مشبع ، و $V_{OUT} = V_1 = V_{DD} - V_{DS}|\,load$ حيث $V_{DS}|\,load$ هو الانخفاض

(الهبوط) فى الجهد (voltage drop) عبر نبيطة الحمل . وإذا كان العاكس يحفز (driving) بوابات MOS فقط – وهذا هو الوضع المعتاد فى حالة معاوقات الإدخال العالية – فإن $V_{DS}|\,load \approx 0$, $V_1 \approx V_{DD}$.

ويجب ملاحظة أن الجهد $V_{DS}|\,load$ يمكن تقليله لأى تيار حمل معطَى بزيادة $(W/L)_L$ أو $(V_{GG} - V_{TL})$ على حساب زيادة تبديد قدرة البوابة .

(ب) عندما يكون $V_{IN} = V_1, V_1 > V_{TD}$ فإن المشغِّل يعمل فى منطقة عدم التشبع ، والحمل يكون غير مشبَّع ، و $I = I_0$ حيث :

$$I_0 = K' \left(\frac{W}{L}\right)_L [(V_{GG} - V_{TL} - V_0)(V_{DD} - V_0) - 1/2 (V_{DD} - V_0)^2] \qquad (٤ - ١٢ - أ)$$

$$= K' \left(\frac{W}{L}\right)_D [(V_1 - V_{TD}) V_0 - 1/2 V_0^2] \qquad (٤ - ١٢ - ب)$$

وإذا كان

$$V_0 \ll V_{DD},\ V_0 \ll V_1 - V_{TD},\ V_{GG} - V_{TL} \gg V_{DD}$$

فإنه يمكن تبسيط (٤ – ١٢) لتعطى :

$$I_0 \simeq K' \left(\frac{W}{L}\right)_L (V_{GG} - V_{TL})\, V_{DD} \qquad (٤ - ١٣ - ١)$$

$$\simeq K' \left(\frac{W}{L}\right)_D [(V_1 - V_{TD}) V_0 \qquad (٤ - ١٣ - ب)$$

ومن (٤ – ١٣) نحصل على العلاقتين :

$$\frac{\left(\frac{W}{L}\right)_D}{\left(\frac{W}{L}\right)_L} \geq \frac{V_{GG} - V_{TL}}{V_0} \qquad (٤ - ١٤)$$

$$V_0 \simeq \frac{I_0}{K' \left(\frac{W}{L}\right)_D (V_1 - V_{TD})} \qquad (٤ - ١٥)$$

حيث I_0 يعطى بالعلاقة (٤ – ١٣ – أ)

وتلخيصا لما سبق فإن استخدام حمل من النوع التحسينى غير المشبع يؤدى إلى

قيمة V_1 أعلى، وبالتالى إلى تأرجح منطقى أعلى وحدود ضوضاء أعلى. وبالإضافة إلى هذا فإنه يؤدى أيضا إلى تحسين فى الأداء العابر (transient performance) كما سنرى بإذن الله فى البند ٤-٣-٢ . وهذا التحسين فى الأداء نحصل عليه على حساب إضافة منبع القدرة الإضافى V_{GG} .

٤ - ٣ - ١ - ٣ الحمل من النوع الاستنزافى (الدوائر المنطقية E/D NMOS)

Depletion - Type Load (E / D NMOS Logic)

تُستخدم النبائط من النوع الاستنزافى كأحمال فى الدوائر المنطقية NMOS E/D . وهى تؤدى إلى مستوى منطقى من الجهد $V_1 \simeq V_{DD}$ كما هو مبين فى شكل ٤ - ٥ - ب . وبالإضافة إلى هذا فإن خاصية (منحنى) التيار الثابت (constant current characteristic) يؤدى إلى تحسين الأداء العابر للدائرة . ويمكن شرح عمل دائرة ت م للعاكس كما يلى :

(أ) عندما يكون $V_{IN} = V_0, V_0 < V_{TD}$ فإن المشغِّل يكون عاطلا والحمل غير مشبع ، وكما فى حالة النوع التحسينى غير المشبع نحصل على :

$$V_{out} = V_1 = V_{DD} - V_{DS}|_{load} \simeq V_{DD}$$

ويجب ملاحظة أنه يمكن تقليل قيمة $V_{DS}|_{load}$ لتيار حمل معطَى عن طريق زيادة $(W/L)_L$ أو $|V_{TL}|$

(ب) عندما يكون $V_{IN} = V_1, V_1 \quad V_{TD}$ فإن المشغِّل يعمل فى منطقة عدم التشبع ، والحمل يكون مشبعا ، و $I = I_0$ حيث :

$$I_0 = \frac{K'(\frac{W}{L})_L}{2} V_{TL}^2 \qquad (٤ - ١٦ - أ)$$

$$= K'(\frac{W}{L})_D [(V_1 - V_{TD}) V_0 - 1/2\, V_0^2] \qquad (٤ - ١٦ - ب)$$

وإذا كان $V_0 << V_1 - V_{TD}$ فإنه يمكن تبسيط (٤ - ١٦) لتعطى :

$$I_0 = \frac{K'(\frac{W}{L})_L}{2} V_{TL}^2 \qquad (٤ - ١٧ - ١)$$

$$\simeq K'(\frac{W}{L})_D (V_1 - V_{TD}) V_0 \qquad (٤ - ١٧ - ب)$$

ومن (٤ - ١٧) نحصل على العلاقتين :

$$\frac{(\frac{W}{L})_D}{} \geqslant \frac{V_{TL}^2}{2 V_0 (V_1 - V_{TD})} \qquad (١٨ - ٤)$$

$$V_0 \simeq \frac{(\frac{W}{L})_L}{K'(\frac{W}{L})_D (V_1 - V_{TD})} I_0 \qquad (١٩ - ٤)$$

حيث I_0 يعطَى بالعلاقة (٤ - ١٧ - أ) . ويجب ملاحظة أنه بسبب تأثير انحياز البوابة الخلفية على حمل الاستنزاف فيجب أخذ الجهد V_{TL} - وبالتالى التيار I_0 - كقيمة متوسطة (average) أو كقيمة أسوأ حالة (worst case value) .

٤ - ٣ - ١ - ٤ الحمـــل المقاوِم (Resistive Load)

يمكن استخدام المقاومات المتعددة (polyresistors) فى تصميم الدوائر المتكاملة الرقمية (NMOS) وخاصة الذاكرات الساكنة (static memories) . وكما هو مبين فى شكل (٤ - ٥ - ب) فإن الحمل المقاوم يجعل $V_1 \simeq V_{DD}$. وفى الحقيقة فإن خاصية (منحنى) ت م للحمل MOS من النوع التحسينى غير المشبع تقترب من خاصية (منحنى) مقاوَمه (a resistance) عندما يكون $V_{GG} >> V_{DD} + V_{TL}$ كما هو مبين فى شكل ٤ - ٥ - ب فى الحالة (b_2) . ويمكن شرح عمل دائرة ت م للعاكس كما يلى :

(أ) عندما يكون $V_{IN} = V_0, V_0 < V_{TD}$ فإن المشغِّل يكون عاطلا ، وكما فى

حالة النوع التحسينى غير المشبع فإننا نحصل على :

$$V_{OUT} = V_1 = V_{DD} - V\,|load \simeq V_{DD}$$

وبالمثل فإنه يمكن تقليل قيمة $V|load$ لتيار حمل معطى عن طريق تقليل قيمة مقاومة الحمل R .

(ب) عندما يكون $V_{IN} = V_1, V_1 > V_{TD}$ فإن المشغِّل يعمل فى منطقة عدم التشبع و $I = I_0$ حيث :

$$I_0 = \frac{V_{DD} - V_0}{R} \qquad (٤ - ٢٠ - أ)$$

$$= K' \left(\frac{W}{L}\right)_D [(V_1 - V_{TD})\, V_0 - {}^1/_2\, V_0^2] \qquad (٤ - ٢٠ - ب)$$

وإذا كان $V_0 << V_{DD}$ فإنه يمكن تبسيط (٤ – ٢٠) لتعطى :

$$I_0 \simeq \frac{V_{DD}}{R} \qquad (٤ - ٢١ - أ)$$

$$= K' \left(\frac{W}{L}\right)_D [(V_1 - V_{TD})\, V_0 \qquad (٤ - ٢١ - ب)$$

ومن (٤ – ٢١) نحصل على العلاقتين :

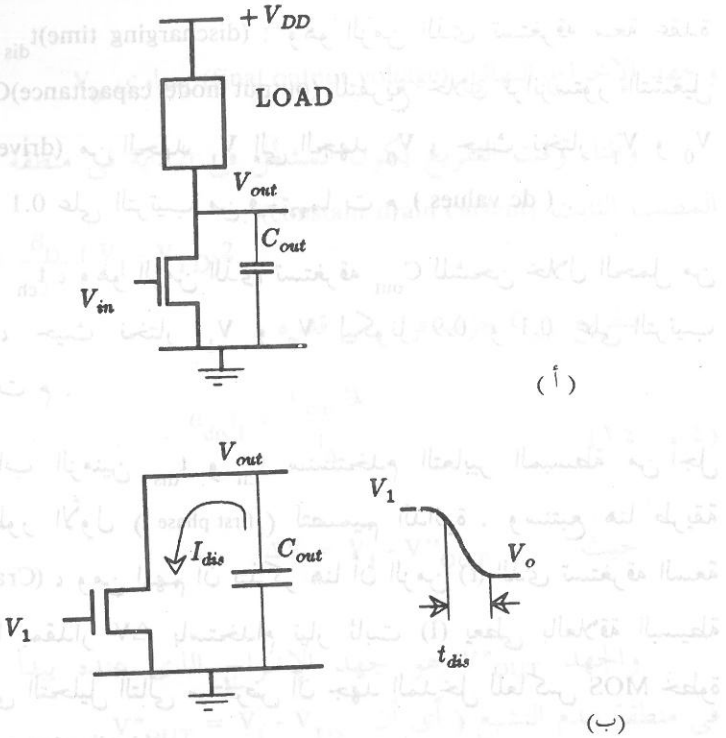
$$RK'\left(\frac{W}{L}\right)_D \geq \frac{V_{DD}}{V_o\,(V_I - V_{TD})} \qquad (٤ - ٢٢)$$

$$V_0 \simeq \frac{I_0}{K' \left(\frac{W}{L}\right)_D (V_1 - V_{TD})} = I_o R_D \qquad (٤ - ٢٣)$$

حيث I_0 يعطى بالعلاقة (٤ – ٢١ – أ) و R_D هى مقاومة التوصيل (ON resistance) لنبيطة التشغيل (driver device) .

٤ – ٣ – ٢ التحليـــل العابـر (Transient Analysis)

يُعد الأداء العابر لعاكس MOS دالة فى زمنين (انظر شكل ٤ – ٧) :



شكل ٤ – ٧

يبين سعة مكثف عقدة المخرج

(أ) عاكس

(ب) دائرة بسيطة للتفريغ .

(جـ) دائرة بسيطة للشحن .

(١) زمن التفريغ t_{dis} (discharging time) : وهو الزمن الذى تستغرقه سعة عقدة المخرج C_{out} (output node capacitance) للتفريغ خلال ترانزستور التشغيل (driver transistor) من الجهد V_1 إلى الجهد V_0 ، حيث نختار V_1 و V_0 ليكونا 0.9 و 0.1 على الترتيب من قيمتيهما ت م (dc values) .

(٢) زمن الشحن t_{ch} ، وهو الزمن الذى تستغرقه C_{out} للشحن خلال الحمل من V_0 إلى V_1 ، حيث نختار V_1 و V_0 ليكونا 0.9 و 0.1 على الترتيب من قيمتيهما ت م .

وعند حساب الزمنين t_{dis} و t_{ch} سنستخدم التعابير المبسطة من أجل استخدامها فى الطور الأول (first phase) لتصميم الدائرة . وسنتبع هنا طريقة كروفورد (Crawford) ، ومن المهم أن نتذكر هنا أن الزمن (t) الذى تستغرقه السعة (C) لتغيير جهدها بمقدار ΔV باستخدام تيار ثابت (I) يعطى بالعلاقة البسيطة $t = C \Delta V / I$ وفى التحليل التالى سنفرض أن جهد المدخل للعاكس MOS خطوة جهد مثالية (ideal voltage step) .

٤ - ٣ - ٢ - ١ زمن التفريغ t_{dis} (The Discharging Time)

كما رأينا عند التحليل ت م (dc analysis) للعاكس MOS فإن نسبة $(\frac{W}{L})_D$ إلى $(\frac{W}{L})_L$ تُعَدُّ نسبة كبيرة ، وبالتالى فإن مقاومة التوصيل (on resistance) لترانزستور التشغيل (driver transistor) أقل بكثير من مقاومة التوصيل لترانزستور الحمل (load transistor) . وكنتيجة لهذا فمن المقبول أن نهمل التيار المار فى الحمل أثناء تفريغ سعة العقدة عند المخرج (output node capacitance) عندما يكون $V_{IN} > V_{TD}$ والمشغِّل (driver) فى حالة توصيل . وبناءً على هذا فيمكن تبسيط دائرة التفريغ - كما هو مبين فى شكل ٤ - ٧ - ب - إلى السعة C_{out} بجهد إخراج ابتدائى (initial output voltage) يساوى V_1 ، وترانزستور تشغيل فى حالة توصيل (an on driver transistor) بجهد $V_{IN} = V_1$.

وجهد الإخراج النهائى (final output voltage) يساوى V_0 .

وأثناء وقت التفريغ يكون المشغِّل فى البداية فى منطقة التشبع ويقوم تيار المصب الثابت (constant drain current) :

$$I_D = \frac{\beta_D}{2} (V_1 - V_{TD})^2$$

بتفريغ C_{out} جزئيا فى زمن قدره

$$(t_{dis})_1 = \frac{C_{out} \Delta V}{I_\Delta} \qquad (٤ - ٢٤)$$

حيث $\Delta V = V_1 - V''_{OUT}$

والجهد V''_{OUT} هو جهد الإخراج الذى عنده يبدأ المشغِّل فى العمل فى منطقة عدم التشبع (أى أن $V''_{OUT} = V_1 - V_{TD}$.

ويمكننا كتابة المعادلة (٤ - ٢٤) فى الصورة

$$(t_{dis})_1 = 2 \frac{C_{OUT}}{g_{mD}} \frac{V_{TD}}{V_1 - V_{TD}} \qquad (٤ - ٢٥)$$

حيث $g_{mD} = \beta_D (V_1 - V_{TD})$

وعندما يبدأ ترانزستور التشغيل فى العمل فى منطقة عدم التشبع عند الجهد $V_{OUT} = V_{OUT}$ فإن التيار الموجود لتفريغ سعة الإخراج لا يكون ثابتا ، ويمكن الحصول على زمن التفريغ $(t_{dis})_2$ لتفريغ C_{out} من الجهد V''_{OUT} إلى الجهد V_0 عن طريق حل المعادلة التفاضلية الناتجة من مساواة تيار السعة خلال C_{out} بالتيار خلال المشغِّل :

$$C_{out} \frac{dV_{OUT}}{dt} = - \beta_D (V_1 - V_{TD}) V_{OUT} + \frac{\beta_D}{2} V^2_{OUT}$$

وهذه المعادلة تعطى :

$$V_{OUT} = (V_1 - V_{TD}) \frac{2e^{-t/\tau_D}}{1 + e^{-t/\tau_D}} \qquad (٤ - ٢٦)$$

حيث :

$$\tau_D = C_{out} / g_{mD}$$

$$g_{mD} = \beta_D (V_1 - V_{TD})$$

وبحل المعادلة (٤ – ٢٦) للحصول على $(t_{dis})_2$ كفارق بين الزمن الذى عنده $V_{OUT} = V''_{OUT}$ والزمن الذى عنده $V_{OUT} = V_0$ نحصل على :

$$(t_{dis})_2 = \tau_D \ln \left[\frac{2 (V_1 - V_{TD})}{V_0} - 1 \right] \qquad (٤ - ٢٧)$$

ومن العلاقتين (٤ – ٢٥) و (٤ – ٢٧) نحصل على :

$$t_{dis} = \tau_D \left[\frac{2 V_{TD}}{V_1 - V_{TD}} + \ln \left[\frac{2(V_1 - V_{TD})}{V_0} - 1 \right] \right] \qquad (٤ - ٢٨)$$

وكما تبين هذه العلاقة (٤ – ٢٨) فإن قيمة t_{dis} تقل إذا زادت النسبة (V_1 / V_{TD}) ، وبالتالى فكلما زاد مستوى الجهد '1' المنطقى قلّ زمن التفريغ .

ونظراً لأن $(t_{dis})_2 \gg (t_{dis})_1 , V_1 \gg V_{TD} , V_1 \gg V_0$

فيمكن تبسيط العلاقة (٤ – ٢٨) إلى الصورة :

$$t_{dis} = \tau_D \ln \frac{2V_1}{V_0} \simeq \tau_D \ln \frac{V_1}{V_0} = \frac{C_{out}}{\beta_D (V_1 - V_{TD})} \ln \frac{V_1}{V_0} \qquad (٤ - ٢٨ - أ)$$

أى أن t_{dis} يتناسب طرديا (خطيا) مع كل من C_{out} , β_D^{-1} و $(V_1 - V_{TD})^{-1}$ ، بينما يتناسب لوغاريتميا مع V_1 / V_0 . وبالتالى فيمكن تقليل قيمة t_{dis} لقيمة C_{out} معطاة عن طريق زيادة النسبة $(W/L)_D$ أو زيادة معامل جهد الحث (التشغيل) (driving voltage factor) $(V_1 - V_{TD})$.

٤ – ٣ – ٢ – ٢ زمـــن الشحـــن t_{ch} (The Charging Time)

من المعلوم أنه أثناء زمن الشحن يكون المشغِّل عاطلا ، ويتم شحن C_{OUT} خلال الحمل كما هو مبين فى شكل ٤ – ٧ – جـ. وهناك أربعة أنواع للحمل نشير إليها فيما يلى :

الحالة الأولى : الحمل من النوع التحسينى المشبع
(Saturated Enhancement-Type Load)

بمساواة التيار السعوى (capacitive current) خلال C_{out} بالتيار خلال الحمل نحصل على المعادلة التفاضلية التالية لجهد الإخراج V_{OUT} :

$$C_{out} \frac{dV_{OUT}}{dt} = \frac{\beta_L}{2} [V_{DD} - V_{OUT} - V_{TL}]^2$$

مع الشرط الابتدائى :

$$\text{at } t = 0 , V_{OUT} = V_0$$

وحل المعادلة هو :

$$V_{OUT} = (V_1 - V_0) \frac{t / \tau_L}{2 + \frac{t}{\tau_L}} + V_0$$

وبالتالى نحصل على :

$$t_{ch} = \tau_L \left[\frac{V_1 - V_0}{V_0} \right] = \tau_L \left[\frac{V_1}{V_0} - 1 \right] = \tau_L \frac{V_\iota}{V_0} \qquad (٤ - ٢٩)$$

حيث

$$\tau_L = \frac{C_{out}}{g_{mL}}$$

$$g_{mL} = \beta_L (V_{DD} - V_{TL})$$

ويتضح من العلاقة (٤ – ٢٩) أن زمن الشحن يتناسب مع الثابت الزمنى (time constant)τ_L. ونلاحظ كذلك أن تقليل قيمة C_{out} أو زيادة قيمة β_L (أى حجم نبيطة الحمل) أو زيادة معامل الجهد (voltage factor)$(V_{DD} - V_{TL})$ سوف يؤدى إلى تقليل قيمة t_{ch} . وبالإضافة إلى هذا فإن تقليل التأرجح المنطقى V_ι

(أو تقليل النسبة V_1/V_0 على حساب تقليل حدود الضوضاء (noise margins) سوف يؤدى أيضا إلى تقليل قيمة t_{ch} وعندما ترتفع قيمة جهد المخرج (output voltage) أثناء الزمن t_{ch} فإن انحياز الحمل بين المصدر والقوام (substrate-source bias of the load) تزداد قيمته ، وبالتالى فإن قيمة الجهد V_{TL} تزداد . وهكذا فعند حساب g_{mL} يمكننا أخذ V_{TL} كقيمة متوسطة فى المدى $V_0 \leq V_{out} \leq V_1$. إلا أننا قد نحصل على قيمة تشاؤمية تساوى t_{ch} إذا اعتبرنا أن V_{TL} هى القيمة العظمى (maximum value) حيث $V_{OUT} = V_1$.

الحالة الثانية : الحمل من النوع التحسينى غير المشبع :

Nonsaturated Enhancement-Type Load

كما فعلنا فى الحالة الأولى يمكننا استنتاج المعادلة التفاضلية التى تصف جهد المخرج V_{OUT} :

$$C_{out}\frac{dV_{OUT}}{dt} = \frac{\beta_L V_{DD}^2}{2m}\left[1-\frac{V_{OUT}}{V_{DD}}\right]\left[1-m\frac{V_{OUT}}{V_{DD}}\right]$$

ولحساب t_{ch} نحتاج لإجراء التكامل

$$t_{ch} = \int_{t@V_{OUT}=V_0}^{t@V_{OUT}=V_1} dt$$

$$\frac{V_{OUT}}{V_{DD}} = \frac{V_1}{V_{DD}}$$

$$= C_{out}\frac{2m}{\beta_L V_{DD}}\int \frac{d(V_{OUT}/V_{DD})}{[1-\frac{V_{OUT}}{V_{DD}}][1-m\frac{V_{OUT}}{V_{DD}}]}$$

$$\frac{V_{OUT}}{V_{DD}} = \frac{V_o}{V_{DD}}$$

وهذا يعطى

$$t_{ch} = \tau_c \frac{1}{1-m} \ln\left[\frac{\left(1-m\frac{V_1}{V_{DD}}\right)}{\left(1-m\frac{V_0}{V_{DD}}\right)}\frac{\left(1-\frac{V_0}{V_{DD}}\right)}{\left(1-\frac{V_1}{V_{DD}}\right)}\right]$$

$$= 2\frac{C_{out}}{\beta_L V_{DD}}\frac{m}{1-m}\ln\left[\frac{\left(1-m\frac{V_1}{V_{DD}}\right)}{\left(1-m\frac{V_0}{V_{DD}}\right)}\frac{\left(1-\frac{V_0}{V_{DD}}\right)}{\left(1-\frac{V_1}{V_{DD}}\right)}\right] \qquad (٣٠-٤)$$

$$0 \leq m < 1$$

حيث :

$$m = \frac{V_{DD}}{2(V_{GG}-V_{TL})-V_{DD}}$$

والمعامل m يعد مقياسا لأحوال الانحياز على الحمل (biasing conditions on the load) . فإذا كان $V_{GG} >> V_{TL}$ و $V_{GG} >> V_{DD}$ فإن m تؤول إلى الصفر ويعمل ترانزستور الحمل MOS (load transistor) كمقاومة . وإذا ما اقتربت قيمة m من الوحدة ، أي اقتربت قيمة $(V_{GG}-V_{TL})$ من V_{DD} فإن الحمل غير المشبع يقترب من الحمل المشبع . ولاحظ أن العلاقة (٤ - ٣٠) غير صحيحة فى الحالة $m = 1$.

ومن الواضح أنه كلما اقتربت m من الصفر ، فإن t_{ch} تقترب من الصفر . وتقليل قيمة C_{out} أو زيادة قيمة β_L أو زيادة قيمة V_{DD} يؤدى إلى تقليل قيمة t_{ch}. وبسبب تأثير انحياز البوابة الخلفية (back-gate bias effect) أثناء الشحن – عند حساب m - فيمكننا أخذ قيمة V_{TL} كقيمة تشاؤمية كما فعلنا فى الحالة الأولى ، أو يمكننا أخذها كقيمة متوسطة لمدى الجهد $V_0 \leq V_{OUT} \leq V_1$ فمثلا يمكننا أخذها عند :

$$V_{OUT} = \frac{V_1 + V_0}{2}$$

الحالة الثالثة : الحمل من النوع الاستنزافى

Depletion-Type Load

بفرض أن تيار الحمل ثابت أثناء وقت الشحن عندما يزداد جهد المخرج من V_0 إلى V_1 فإن :

$$t_{ch} = \frac{C_{out} V_t}{I_0} \qquad (٤ - ٣١)$$

حيث I_0 يعطَى بالعلاقة (٤ – ١٦ – ١) ، وتستخدم قيمة متوسطة للجهد V_{TL} . ويمكن تقليل وقت الشحن بتقليل قيمة $V_t C_{out}$ أو بزيادة قيمة I_0 حيث يمكننا زيادة قيمة I_0 عن طريق زيادة قيمة V_{TL} أو قيمة β_L .

الحالة الرابعة : الحمل المقاوم

Resistive Load

يمكننا من تحليل دائرة RC بسيطة الحصول على العلاقة

$$t_{ch} = R_L C_{out} \ln \frac{V_{DD} - V_0}{V_{DD} - V_1} \qquad (٤ - ٣٢)$$

٤ – ٣ – ٢ – ٣ مقايضات القدرة والتأخر فى دوائر NMOS

NMOS Delay-Power Tradeoffs

رأينا سابقا أن العاكس الاستاتيكى NMOS(static inverter) يستهلك قدرة ت م فقط عندما يكون جهد المخرج منخفضا .

$$P_{DC}|_{av} = \frac{1}{2} I_0 V_{DD} \qquad (٤ - ٣٣)$$

حيث I_0 هو التيار ت م للعاكس عندما يكون جهد المخرج منخفضا . وبالإضافة إلى هذه المركبة لتبديد القدرة فهناك مركبة قدرة انتقالية (transient power component) بسبب تحويل (switching) سعة عقدة المخرج C_{out} ، وهذه تُعطَى بالعلاقة :

$$P_t = C_{out} V_t^2 f \qquad (٤ - ٣٤)$$

حيث V_t هو التأرجح المنطقى و f هو تردد التحويل (switching frequency) وأقصى تردد للتحويل يعطى بالعلاقة : $f_{max} = 1 / (t_{ch} + t_{dis})$

ولتوضيح أهمية المقايضة فى تصميم الدوائر الرقمية MOS بين التأخر وتبديد القدرة ندرس حالة عاكس استاتيكى ذى حمل من النوع الاستنزافى ، ونفرض أن $t_{dis} << t_{ch}$ وأن العاكس فى منتصف الوقت . وبالتالى فإن التبديد الكلى للقدرة عند أقصى تردد للتحويل يعطى بالعلاقة

$$P = \frac{1}{2} I_0 V_{DD} + (C_{out} V_t^2 / t_{ch})$$

ومتوسط التأخر الزمنى للعاكس (inverter average delay time) يعطى بالعلاقة

$$\tau_D = \frac{t_{ch} + t_{dis}}{2} \approx \frac{t_{ch}}{2} = \frac{C_{out} V_t}{2 I_0}$$

وبالتالى فإن ناتج التأخر × القدرة يساوى

$$\tau_D P = \frac{1}{4} C_{out} V_l V_{DD} + \frac{1}{2} V_l^2 C_{out} \qquad (٤ - ٣٥)$$

$$\simeq \frac{3}{4} C_{out} V_{DD}^2$$

وهذا يبين أن ناتج التأخر × القدرة يتناسب مع $C_{out} V^2_{DD}$.

٤ – ٣ – ٣ الأشكـال التكوينية لدوائر NMOS

NMOS Circuit Configurations

٤ – ٣ – ٣ – ١ الدوائر متتبِّعَة المصدر ودوائر الحث : الدفع والجذب

NMOS Source-Followers and Push-Pull Drivers

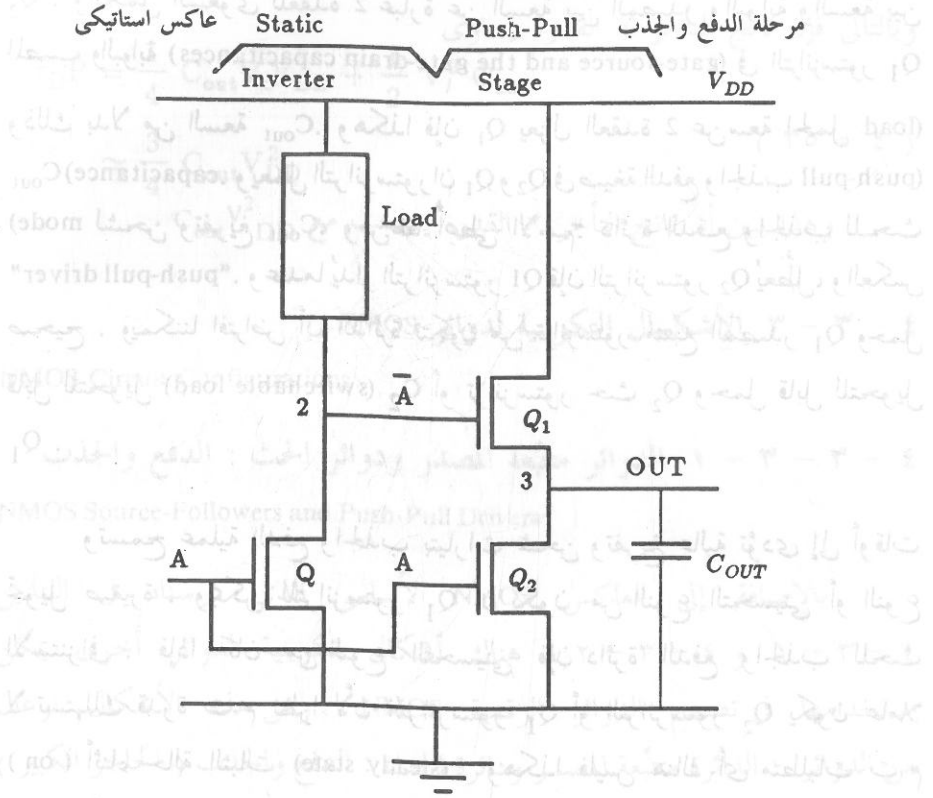
بالإضافة إلى العاكس NMOS الأساسى الذى درسناه فى البندين ٤ – ٣ – ١ و ٤ – ٣ – ٢ ، هناك أشكال تكوينية لدوائر أخرى يمكن استخدامها فى تصميم الدوائر الرقمية NMOS ، ومن هذه الأشكال نوعان من الدوائر : الدائرة متتبِّعة المصدر ودائرة الحث : الدفع والجذب (الحاجز الكبير) (super buffer) . وتستخدم الدوائر متتبعة المصدر فى تقليل الحمل السعوى (capacitive loading) عند عقدة معينة بينما تستخدم دوائر الدفع والجذب للحث فى حث الأحمال عالية السعة (high capacitive loads) مثل الاحمال خارج الشريحة (off-chip loads) .

ونظرا للتقارب بين هذين النوعين من الدوائر فسندرسهما معا بالاستعانة بشكل ٤ – ٨ .

يتكون العاكس الاستاتيكى المبين فى شكل ٤ – ٨ من ترانزستور حث Q وحمل . وتقوم عقدة المخرج فى هذا العاكس (وهى العقدة رقم 2) بحث الترانزستور متتبِّع المصدر Q_1 . وحمل متتبع المصدر هذا هو عبارة عن الترانزستور القابل للتحويل

Q_2 . والحمل السعوى للعقدة 2 عبارة عن السعة بين المصدر والبوابة والسعة بين المصب والبوابة (gate-source and the gate-drain capacitances) فى الترانزستور Q_1 وذلك بدلا من السعة C_{out}. وهكذا فإن Q_1 يعزل العقدة 2 عن سعة الحمل (load capacitance) C_{out}. ويعمل الترانزستوران Q_1 و Q_2 فى صيغة الدفع والجذب (push-pull mode) لشحن وتفريغ C_{out}، ومن هنا أُعطى الاسم: دائرة الدفع والجذب للحث "push-pull driver". وعندما يُدار الترانزستور Q1 فإن الترانزستور Q_2 يُعطَّل، والعكس صحيح . ويمكننا افتراض أن الدائرة تتكون من ترانزستور متتبِّع المصدر Q_1 وحمل قابل للتحويل (switchable load) Q_2 أو ترانزستور حث Q_2 وحمل قابل للتحويل Q_1 .

وتسمح عملية الدفع والجذب بتيارات شحن وتفريغ عالية تؤدى إلى أوقات تحويل صغيرة . ويمكن للترانزستور Q_1 أن يكون من النوع التحسينى أو النوع الاستنزافى . فإذا كان من النوع التحسينى فإن دائرة الدفع والجذب للحث لا تستهلك قدرة ت م نظرا لأن الترانزستور Q_1 أو الترانزستور Q_2 يكون عاملا (on) أثناء حالة الثبات (steady state) . وهكذا فليس هناك أى متطلبات ت م على النسبة $[(W/L)_2/(W/L)_1]$ ويقال أن الشكل التكوينى للدائرة (circuit configuration) عديم النسبة "ratioless" . إلا أن الجهد عند العقدة رقم 3 يتعرض لمفقودات عتبة (threshold losses) . وأما فى حالة الحمل من النوع الاستنزافى فإنه لا يكون هناك مفقودات عتبة ولكن على حساب استهلاك القدرة ت م .



شكل ٤ – ٨

دائرة NMOS دفع وجذب للحث

NMOS push-pull driver

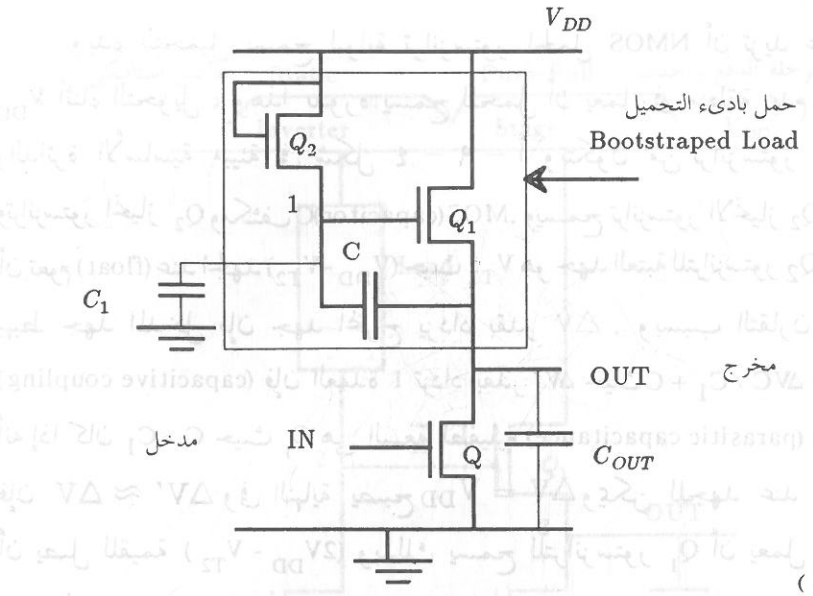
٤ – ٣ – ٣ – ٢ الأحمـــال بادئة التحميل Bootstrapped Loads

رأينا فى البند ٤ – ٣ – ١٢ أنه عند تشغيل ترانزستور الحمل NMOS(load transistor) فى منطقة عدم التشبع عن طريق ربط بوابته عند الجهد V_{GG} حيث $V_{GG} > V_{DD} + V_{TL}$ فإن مفقودات العتبة تنعدم والأداء العابر (transient performance) يتحسن . ويمكننا الحصول على هاتين النتيجتين دون الحاجة إلى منبع قدرة إضافى V_{GG} وذلك عن طريق بدء تحميل الحمل (bootstrapping the load) .

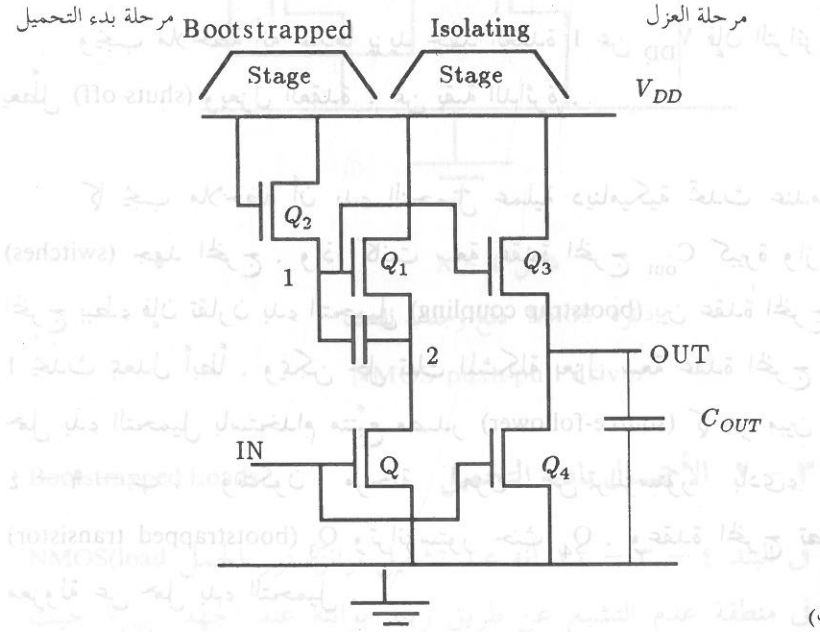
وبدء التحميل يسمح لبوابة ترانزستور الحمل NMOS أن تزيد عن الجهد V_{DD} أثناء التحويل ، وهذا بدوره يسمح للحمل أن يعمل فى منطقة عدم التشبع . والدائرة الأساسية مبينة فى شكل ٤ – ٩ – أ وتتكون من ترانزستور حمل Q_1 وترانزستور انحياز Q_2 ومكثف MOS(capacitor)C. ويسمح ترانزستور الانحياز Q_2 للعقدة 1 أن تعوم (float) عند الجهد $(V_{DD} - V_{T2})$ حيث V_{T2} هو جهد العتبة للترانزستور Q_2 . وعندما يهبط جهد المدخل فإن جهد المخرج يزداد بقدر ΔV . وبسبب التقارن السعوى (capacitive coupling) فإن العقدة 1 تزداد بقدر $\Delta V'$ حيث $\Delta V' = \Delta V C / C_1 + C$ أى أنه إذا كان $C \gg C_1$ حيث C_1 هى السعة الطفيلية (parasitic capacitance) للعقدة 1، فإن $\Delta V' \approx \Delta V$ وفى النهاية يصبح $\Delta V = V_{DD}$ ويمكن للجهد عند العقدة 1 أن يصل للقيمة $(2V_{DD} - V_{T2})$ وبذلك يسمح للترانزستور Q_1 أن يعمل فى منطقة عدم التشبع .

ويجب ملاحظة أنه عندما يزيد جهد العقدة 1 عن V_{DD} فإن الترانزستور Q_2 يعطِّل (shuts off) ويعزل العقدة 1 عن بقية الدائرة .

كما يجب ملاحظة أن بدء التحميل عملية ديناميكية تحدث عندما يتحول (switches) جهد المخرج . وإذا كانت سعة عقدة المخرج C_{out} كبيرة وازداد جهد المخرج ببطء فإن تقارن بدء التحميل (bootstrap coupling) بين عقدة المخرج والعقدة 1 يحدث بمعدل أبطأ . ويمكن حل تلك المشكلة بعزل سعة عقدة المخرج C_{out} عن حمل بدء التحميل باستخدام متتبِّع مصدر (source-follower) كما هو مبين فى شكل ٤ – ٩ – ب . وتتكون مرحلة العزل من ترانزستور بادىء التحميل (bootstrapped transistor) Q_3 وترانزستور حث Q_4 . وعقدة المخرج تصبح الآن معزولة عن حمل بدء التحميل .



(أ)



(ب)

شكل ٤ – ٩

(أ) استخدام حمل بادىء التحميل

(ب) استخدام حمل معزول بادىء التحميل

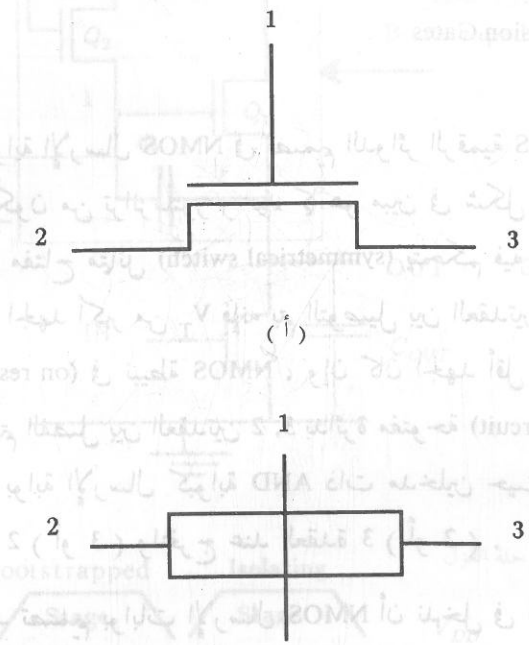
٤ – ٣ – ٣ – ٣ بوابات الإرسال NMOS

NMOS Transmission Gates

تستخدم بوابة الإرسال NMOS فى تصميم الدوائر الرقمية NMOS الاستاتيكية والديناميكية، وتتكون من ترانزستور وحيد كما هو مبين فى شكل ٤ – ١٠ ، وهى ببساطة عبارة عن مفتاح متماثل (symmetrical switch) يتحكم فيه الجهد عند العقدة 1 . فإذا كان هذا الجهد أكبر من V_T فإنه يتم التوصيل بين العقدتين 3, 2 عبر مقاومة التوصيل (on resistance) فى نبيطة NMOS ، وإن كان الجهد أقل من V_T فإن نبيطة NMOS تتعطل ويتم الفصل بين العقدتين 3, 2 بدائرة مفتوحة (open circuit) . وهكذا فيمكن استخدام بوابة الإرسال كبوابة AND ذات مدخلين حيث يكون المدخلان عند العقدتين 1 , 2 (أو 3) والمخرج عند العقدة 3 (أو 2) .

ويجب عند تصميم بوابات الإرسال NMOS أن ندخل فى الاعتبار تأثير انحياز البوابة الخلفية . وبذلك فإن الجهد V_T يعد دالة فى الجهد عند كل من العقدتين 3 , 2 ، وهما يأخذان دور المصدر أو المصب بناء على قيمتى الجهد عندهما . ويمكن تقليل مقاومة التوصيل لنبيطة NMOS بزيادة النسبة W/L أو معامل حث الجهد [(V at node 1) - V_T)] (Voltage driving factor) .

وبسبب التقارن السعوى بين العقدة 1 والعقدتين 3 , 2 يظهر جهد تغذية داخلية (feed-through voltage) عند العقدتين 3 , 2 عندما يتغير الجهد عند العقدة 1 . ويجب تقييم تأثير جهد التغذية الداخلية على الأداء الكلى للدائرة حيث نستخدم بوابة الإرسال .



شكل ٤ – ١٠

(أ) تخطيط الدائرة بوابة إرسال NMOS (ب) الرمز المنطقى

٤ – ٣ – ٣ – ٤ الدائرة المنطقية NMOS ذات الصيغة التيارية

NMOS Current Mode Logic

منذ بدء استخدام نبائط MOS فى أوائل الستينات وهذه النبائط تُستخدم أساسا فى الأشكال التكوينية لدوائر الجذب لأعلى والجذب لأسفل (Pull-up-pull-down) (PUD) . وهذه الأشكال فى الدوائر المنطقية NMOS الاستاتيكية ذات القناة الواحدة (Single channel static NMOS Logic) لها عدة عيوب هامة وهى : علو قيمة ناتج التأخر × القدرة ، والحساسية العالية للتوصيلات البينية ، العمل الاستاتيكى والديناميكى غير المتماثل (حدود ضوضاء غير متساوية ، وأوقات شحن وتفريغ غير متساوية) ، والتأرجح المنطقى الذى يعتمد بدرجة كبيرة على قيمة منبع القدرة ،

ويصعب تغييره بالتصميم ليقابل متطلبات الدائرة المختلفة . وأهم عيب هو عدم قدرة الشكل التكوينى على إعطاء الأداء الشبيه بالثنائية القطبية (bipolar-like performance) مع التأخيرات فى مدى النانوثانية حتى مع استخدام نبائط VLSI NMOS عالية الأداء .

وأحد الأشكال التكوينية الذى يمكن استخدامه فى الدوائر المنطقية MOS هو الشكل التكوينى المنطقى ذو الصيغة التيارية (Current-mode Logic configuration)(CML) . وهذا الشكل يؤدى إلى تشغيل متماثل عالى السرعة ، وحدود ضوضاء متساوية ، وأوقات ارتفاع وانخفاض (rise and fall times) متساوية . والتشغيل المتماثل يسمح بتشغيل عند تأرجح منطقى أقل وبالتالى يؤدى إلى زيادة أكبر فى سرعة التشغيل . وبالإضافة إلى هذا فإن وجود كل من الدالة المنطقية عند المخرج ومكملتها (الدالة NOR والدالة OR) يؤدى إلى مرونة فى التصميم المنطقى ويعطى اشارتين متكاملتين (complementary signals) عند المخرج لحث التوصيلات البينية الطويلة .

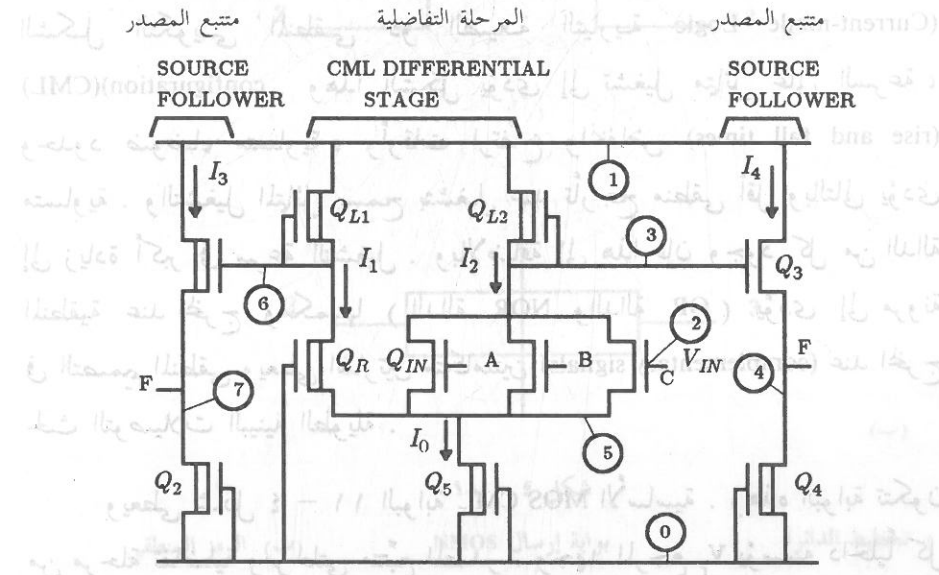
ويعطى شكل ٤ – ١١ البوابة MOS CML الأساسية . وهذه البوابة تتكون من مرحلة تفاضلية ومرحلتى متتبِّع المصدر . وجهد المرجع V_r يؤسسه داخلياً كل من Q_R ، Q_{IN} . ونختار V_r ليكون $V_{DD}/2$ أى أنه فى تصميم 5V يكون $V_r = 2.5\ V$ حيث

$$V_r = |V_T|_{Q_R} + V_T|_{Q_{IN}}$$

حيث $V_T|_{Q_R}$ و $V_T|_{Q_{IN}}$ هما جهدا العتبة للترانزستورين Q_R و Q_{IN} على الترتيب ، عند قيم التشغيل لانحياز القوام .

ويبدأ تصميم بوابة MOS CML باختيار قيمة للجهد V_r وتحديد التفاوتات المسموح بها فى هذه القيمة . وكلما كان التفاوت أضيق ، قل تأرجح البوابة المنطقى وزادت السرعة .

ونفترض هنا أن التفاوتات المقبولة للجهد V_r (والذى فرضنا أنه يساوى 2.5 V) هى ± 500 mV . وإذا فرضنا بالإضافة إلى هذا أن حدود الضوضاء هى 500 mV فإن المستويات المنطقية للبوابة تكون $V_I \geq 3.5$ V و $V_0 \leq 1.5$ V . وهكذا فإن أقل تأرجح منطقى يساوى 2 V ، كما هو مبين فى شكل ٤ – ١٢ .



TRANSISTOR	Q_R	Q_{IN}	Q_{L1}	Q_{L2}	Q_5	Q_1	Q_2	Q_3	Q_4
V_{TO} volts	-2.6	0.36	-2.6	-2.6	-2.6	0	-2.6	0	-2.6
$W\mu m/L\mu m$	25/ 2.5	25/ 2.5	2.5/ 2.5	2.5/ 2.5	2.5/ 2.5	25/ 2.5	10/ 2.5	25/ 2.5	10/ 2.5

شكل ٤ – ١١

بوابة NMOS CML أساسية

وبعض القيم العملية لكل من V_{TO} ، W / L لترانزستورات مختلفة

ونظرا لأن بوابة MOS CML تعتمد لتشغيلها على انخفاضات الجهد بين البوابة والمصدر (gate-source voltage drops) V_{GS} للترانزستورات المختلفة ، فمن المهم أن نختبر تحليليا (analytically) قيمة V_{GS} لنبيطة MOS ، وهذه القيمة تُعطى بالعلاقة :

$$V_{GS} = V_T + \sqrt{\frac{2I}{n(2-n)K'(W/L)}} \qquad (٤ - ٣٦)$$

حيث I : تيار المصدر والمصب للتشغيل

(operating drain-source current)

$$n = \frac{V_{DS}}{V_{GS} - V_T}$$

إذا كان الترانزستور مشبعا ... = 1

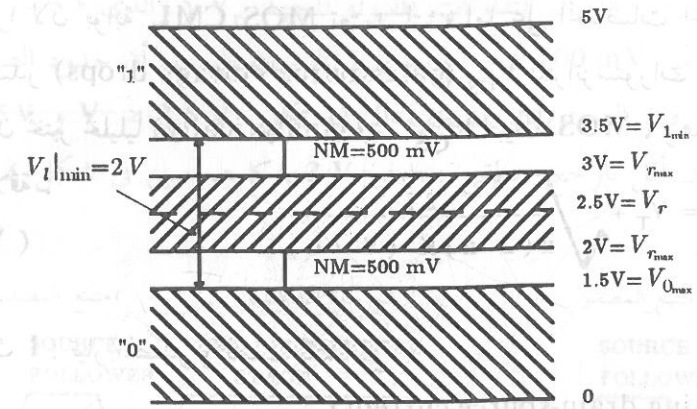
إذا كان الترانزستور غير مشبع ... <1

$$V_T = V_{T0} + \Delta V_T(V_{BB}) - \Delta V_T(V_{DS}).$$

V_{T0} هو هذا الجزء من جهد العتبة الذى هو دالة فقط فى وسطاء التشغيل (processing parameters) وليس دالة فى جهود التشغيل (operating voltages). $\Delta V_T(V_{BB})$ هو الإزاحة (shift) فى جهد العتبة بسبب انحياز جهد المصدر والقوام V_{BB} . $\Delta V_T(V_{DS}) = 0$ لنبائط MOS التى ليس عندها تأثيرات القناة القصيرة (short-channel effects) أى النبائط ذات وسطاء التشغيل مضبوطة القياس (devices with proper scaled processing parameters) .

وتبين المعادلة ٤ – ٣٦ أن V_{GS} يعتمد على تيار التشغيل ، وهذا الاعتماد الدالى يكون أقوى إذا كان الترانزستور يشتغل فى منطقة عدم التشبع . والنسبة [I /(W /L)] تتحكم فى ذلك الحد المعتمد على التيار .

وبوابات NMOS CML تعطى أداء نانو ثانية عند حواصل ضرب (تأخير × قدرة) تساوى عدة بيكوجولات (picojoules) . وهذه البوابات تعطى



شكل ٤ – ١٢

المستويات المنطقية V_0 و V_1 وحدود الضوضاء (NM) والتأرجح المنطقى (V_l)

دالتين منطقيتين عند المخرج ، ولأى مدخل منطقى إضافى نحتاج لإضافة ترانزستور واحد فقط ، بينما بوابات CMOS تعطى دالة منطقية واحدة فقط عند المخرج ، ولأى مدخل منطقى إضافى نحتاج لترانزستورين أحدهما نبيطة PMOS كبيرة الحجم .

وبوابة NMOS CML المذكورة هنا تستعمل تنفيذا بسيطا للجهد المرجع والمصدر التيارى والأحمال ومتتبِّعى المصدر ، فمثلا ليس هناك سلسلة انحياز (biasing chain) للجهد V_r أو للمصدر التيارى .

والشكل التكوينى لدائرة NMOS CML يمكن أن يعطى حلا لدوائر MOS VLSI عالية الأداء ذات النانوثانية أو جزء من النانوثانية ، ونتجنب بذلك دائرة الساعة المعقدة المطلوبة للدوائر الديناميكية ، ونتجنب كذلك المساحة الكبيرة والتشغيل المعقد المصاحبين لدوائر CMOS. وأما أداء NMOS CML الشبيه بالقطبية الثنائية فنحصل عليه تقريبا بنصف المساحة ونصف ناتج القدرة × التأخير فى حالة CML ثنائية القطبية .

٤ – ٤ دوائر NMOS الديناميكية

Dynamic NMOS Circuits

يمكن تقليل التأخيرات فى دوائر MOS الاستاتيكية عن طريق استخدام التطورات فى تكنولوجيا MOS . إلا أنه من الممكن زيادة الانتاجية (عدد الحسابات المشغَّله فى وحدة الزمن) فى نظام MOS منطقى بتنفيذ تشغيل الدائرة على خط تعليمات (pipelining the circuit operation) ، حيث لا تتراكم تأخيرات وحدات بناء النظام . ومفتاح هذه الطريقة هو أن المساهمة فى التأخير من أى وحدة يكون بالنسبة لساعة رئيسية (master clock) ، وهذا التأخير لا ينتقل من وحدة لأخرى . وهكذا فأقصى تردد للتشغيل لنظام منفَّذ على خط تعليمات يحدده تأخير وحدة وحيدة (single) إلا أنها أبطأ وحدة . والدوائر المنطقية MOS الديناميكية تؤدى ضمنيا (ذاتيا) (inherently) إلى تشغيل على خط تعليمات ، ويمكن أن ينفِّذ دوال حسابية ومنطقية بمعدل إنتاجية عال . ونظرا لأن دوائر CMOS تسيطر اليوم على تصميم دوائر MOS فنادرا ما تُستخدم دوائر NMOS الديناميكية . وفى هذا البند نناقش بعض الدوائر البسيطة من باب استكمال المعلومات ولتوضيح كيفية تشغيل دائرة MOS ديناميكية ، وهذا سيساعد بإذن الله فى فهم الدوائر الديناميكية CMOS التى سنناقشها فى البند ٤ – ٥ – ٤ .

وفى الدوائر MOS الديناميكية نستخدم ساعة رئيسية (master clock) لتوليد ساعات توقيت مختلفة ، والتى تُستخدم بدورها للتحكم فى التشغيل الديناميكى للدائرة . ويُشار لهذه الساعات بالاسم : الساعات متعددة الأطوار (multiphase clocks) ، مثلا : طوران (2ϕ) (2 phase) ، ثلاثة أطوار (3ϕ) (3 phase) ، أربعة أطوار (4ϕ) .... الخ .. ومع أن عدد الساعات – من حيث المبدأ – يمكن زيادته إلى أى عدد ، إلا أن استخدام أربع ساعات يُعد توفيقا عمليا ، وسنناقش هنا الدوائر ثنائية الطور فقط .

الدوائر ثنائية الطور Two-Phase (2ϕ) Circuits

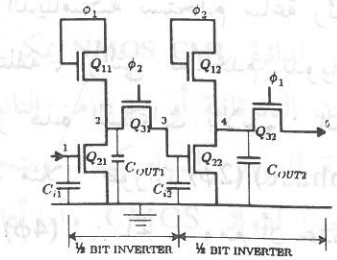
العمليات الأساسية فى الدوائر الديناميكية (2ϕ) هى :

(١) شحن سعة مكثف خلال ترانزستور MOS أثناء فترة زمنية أولى (a first time slot) [زمن الشحن الأولى (precharge time)] .

(٢) تفريغ هذه السعة منطقيا (تفريغها أو عدم الاعتماد على الحالة – أو الحالات – المنطقية للمدخل – أو المداخل – خلال ترانزستور (ا ت) الإدخال) أثناء فترة زمنية ثانية [زمن التقييم (evaluation time)] .

(٣) نقل الحالة المنطقية (مستوى الجهد على السعة) إلى مدخل البوابة التالية أثناء الفترة الزمنية الصحيحة (proper time slot) [زمن أخذ العينات (sampling time)]

ويبين شكل ٤ – ١٣ عاكسين 2ϕ متصلين على التوالى (in cascade) . ويتكون كل عاكس من ثلاثة ترانزستورات Q_1 , Q_2 , Q_3 ، حيث يسمح ترانزستور الشحن Q_1 لسعة المخرج C_{out} بالشحن ، بينما يعطى ترانزستور الإدخال Q_2 مسارا للتفريغ للسعة C_{out} ، ويسمح ترانزستور النقل (transferring transistor) Q_3 بنقل شحنة بين C_{out} وسعة المدخل C_i فى المرحلة التالية (next stage) .



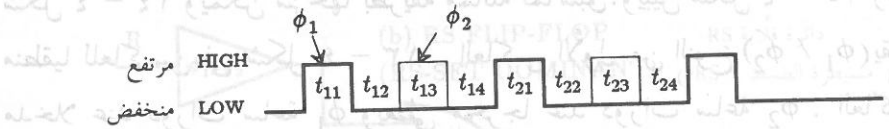
شكل ٤ – ١٣

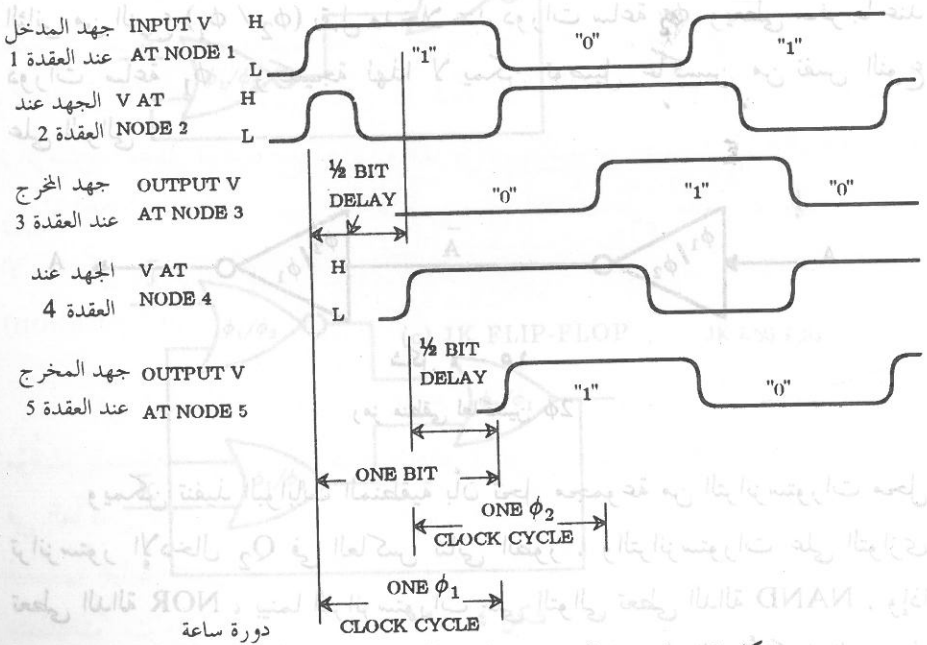
عاكسان 2ϕ متصلان على التوالى

وهذه العمليات الثلاث الأساسية يتم أداؤها تحت تحكم ساعتين غير متداخلتين (2 nonoverlapping clocks) ϕ_1 و ϕ_2 كما هو مبين فى المنحنى الزمنى (timing diagram) فى شكل ٤ – ١٤ . ونفرض أن متتالية الإدخال (input sequence) هى الأرقام المنطقية : '1'-'0'-'1' . والمداخل المنطقية يتم تمثيلها بإشارات جهد تحافظ على مستوياتها أثناء دورات الساعة (clock cycles) ϕ_1 . وفى حالة ما إذا كان المدخل هو '1' تحدث سلسلة العمليات التالية :

أثناء الفترة الزمنية t_{11} (زمن الشحن الأولى) تُشحن C_{out1} أوليا خلال Q_{11} . وأثناء الفترة الزمنية t_{12} (زمن أخذ العينات) يقوم Q_{31} بالتوصيل ويحدث تقاسم فى الشحنة بين C_{out1} و C_{i2} . وإذا كان $C_{out} \gg C_{i2}$ فإن مستوى الجهد عند العقدة 3 سيكون تقريبا نفس قيمته عند العقدة 2 :

$$(V \text{ at node } 3) = (V \text{ at node } 2)\,(C_{out1} / C_{out1} + C_{i2})$$



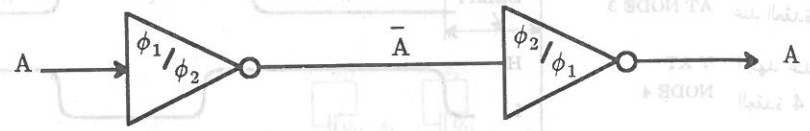


شكل ٤ – ١٤ المنحنى الزمنى لشكل ٤ – ١٣

لاحظ أن معلومات الإدخال التى كانت متوفرة عند العقدة 1 أثناء الفترة t_{11} قد عُكست عند العقدة 3 وأصبحت الآن متوفرة أثناء الفترة t_{13} ، أى أن معلومات الإدخال عُكست بتأخير يساوى نصف وحدة ثنائية (a half-bit delay) [نصف دورة ساعة (a half clock cycle)] .

وأثناء الفترة الزمنية t_{13} نفسها يتم شحن C_{out2} أوليا خلال Q_{12} . أما أثناء t_{14} فبسبب انخفاض المدخل عند العقدة 3 فإن العقدة 4 تظل مرتفعة . وأثناء t_{21} يقوم Q_{32} بالتوصيل وتشارك سعة مدخل المرحلة التالية فى شحنة C_{out2} ، وينتج جهد عالى عند العقدة 5 ، أى أن معلومات الإدخال عند العقدة 3 قد انعكست بتأخير آخر قدره نصف وحدة .

وسلسلة العمليات المقابلة لمدخل '0' منطقى عند العقدة 1 مبينة أيضا فى شكل ٤ – ١٤ ويمكن شرحها بطريقة مماثلة لما سبق. ويبين شكل ٤ – ١٥ رمزا منطقيا للعاكسين فى شكل ٤ – ١٣ . العاكس الأول من النوع (ϕ_1 / ϕ_2) يقبل مدخلا عند دورات ساعة ϕ_1 ويعطى مخرجا عند دورات ساعة ϕ_2 . العاكس الثانى من النوع (ϕ_2 / ϕ_1) يقبل مدخلا عند دورات ساعة ϕ_2 ويعطى مخرجا عند دورات ساعة ϕ_1 . وكنتيجة لهذا لا يمكن توصيل عاكسين من نفس النوع على التوالى .

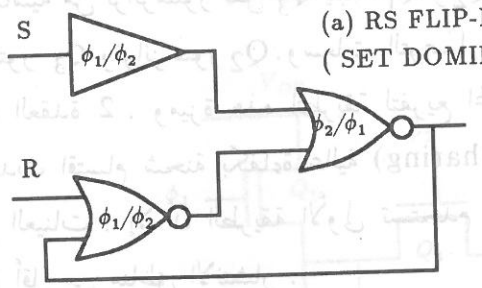


شكل ٤ – ١٥

رمز منطقى لعاكسين 2ϕ

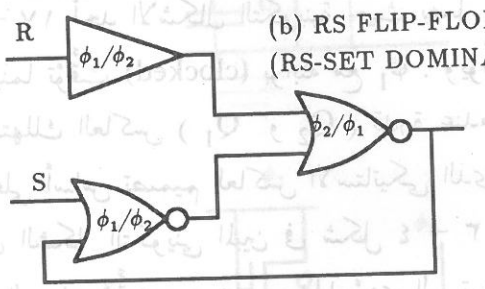
ويمكن تنفيذ البوابات المنطقية بأن تحل مجموعة من الترانزستورات محل ترانزستور الإدخال Q_2 فى العاكس ثنائى الطور . والترانزستورات على التوازى تعطى الدالة NOR ، بينما الترانزستورات على التوالى تعطى الدالة NAND . وإذا استخدمنا خليطا من التوصيلات على التوازى وعلى التوالى أمكننا الحصول

على دوال منطقية معقدة . وكما فى حالة البوابات الاستاتيكية NMOS فإن بوابات NOR تأخذ مساحة أقل من بوابات NAND . ويمكن تنفيذ البوابات القلابة باستخدام مثل هذه البوابات 2ϕ . ويعطى شكل ٤ – ١٦ بعض الأمثلة لاستخدام بوابات 2ϕ AND, OR , NOR والبوابات غير العاكسة .



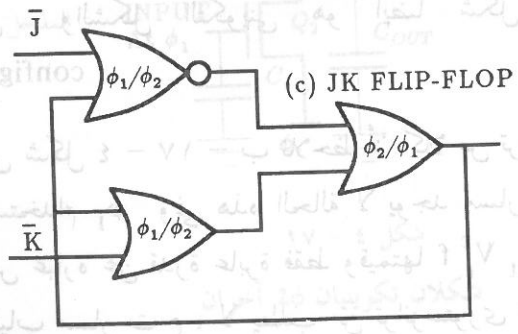
(a) RS FLIP-FLOP (SET DOMINANT)

دائرة قلّابة RS (مسيطرة الضبط)



(b) RS FLIP-FLOP (RS-SET DOMINANT)

دائرة قلّابة RS (مسيطرة الضبط – RS)



(c) JK FLIP-FLOP

دائرة قلابة JK

شكل ٤ – ١٦

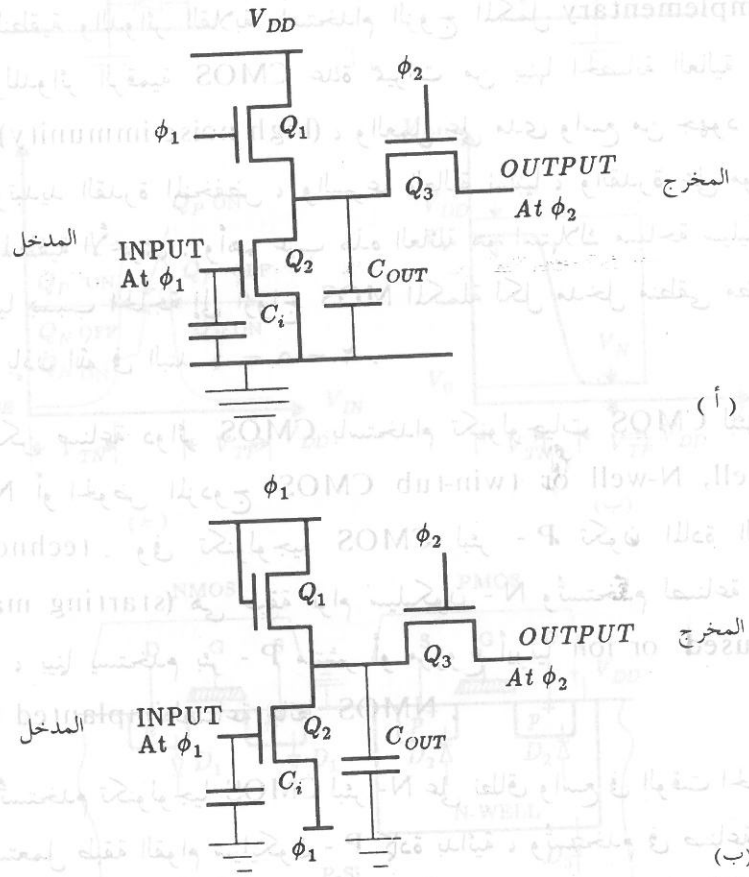
دوائر قلابة 2ϕ ديناميكية

وفى الدوائر 2ϕ يمكننا تفريع المخارج (Fanning-out) عند العقدة 3 . وفى هذه الحالة تتكون البوابة الأساسية من Q_1 و Q_2 يتبعها ترانزستور النقل Q_3 . وفى هذه الحالة أيضا تضاف سعات التوصيل البينى إلى سعات العقدة 3 . وكبديل لما سبق يمكننا تفريع المخارج عند العقدة 2 . وفى هذه الحالة تتكون البوابة الأساسية من ترانزستور نقل Q_3 يتبعه Q_1 و Q_2. وهكذا فلكل مدخل نحتاج إلى ترانزستور Q_3 وترانزستور Q_2. وسعات التوصيل البينى فى هذه الحالة تضاف إلى سعات العقدة 2 . وميزة هذه الطريقة لتفريع المخارج أن تكون $C_{out} > C_i$ وبالتالى يحدث اقتسام شحنة بكفاءة عالية (efficient charge sharing) أثناء زمن أخذ العينات . إلا أن الطريقة الأولى تستخدم عددا أقل من الترانزستورات وفيها عدد أقل من مناطق الانتشار .

ويمكن تعديل الدائرة 2ϕ الأساسية لتلبى احتياجات مختلفة . فمثلا يعطى شكل ٤ – ١٧ أحد الأشكال التكوينية حيث يعمل الترانزستور Q_1 من الجهد V_{DD} ، بينما تؤقّت (clocked) بوابته مع ϕ_1 . ويؤقّت ترانزستور النقل Q_3 مع ϕ_2 . ويستهلك العاكس (Q_1 و Q_2) قدرة عندما يكون ϕ_1 مرتفعا ، ويُبنى تصميمه على أساس تصميم العاكس الاستاتيكى الذى درسناه فى البند ٤ – ٣ . ولاحظ فى الشكل التكوينى المبين فى شكل ٤ – ١٣ أن كلا من بوابة ومصب ترانزستور الحمل مؤقّت مع ϕ_1 ، وهذا يؤدى إلى توفير خط القدرة (saving the power line) V_{DD}. وتصميم العاكس مبنى كذلك على أساس تصميم العاكس الاستاتيكى . والشكل التكوينى هو أيضا شكل ذو نسبة (ratioed configuration) .

وفى شكل ٤ – ١٧ – ب نلاحظ أن كلا من ترانزستورى الحمل والحث مؤقّت باستخدام ϕ_1 وفى هذه الحالة لا يوجد مسار ت م . والقدرة المبدَّدة فى العاكس عبارة عن قدرة عابرة فقط وقيمتها $C_{out} V_t^2 f$. وبالإضافة إلى هذا فبسبب غياب مسار ت م ، لا يطلب من ترانزستورى الحمل والحث تحقيق أى متطلبات ت م . ونتيجة لهذا فليس هناك حاجة إلى نسبة بين $(W/L)_D$ و $(W/L)_L$. وفى هذه الحالة يتم تحديد قيمة (W/L) لكلى الترانزستورين بناء

على اعتبارات عابرة (transient considerations) : وقت الشحن يحدد قيمة $(W/L)_L$ ، ووقت التفريغ يحدد قيمة $(W/L)_D$. وميزة هذه الطريقة عدم استخدام V_{DD} أو خط أرض (ground line) وعدم تبديد قدرة ت م ، واستخدام نبائط ذات حجم صغير نسبيا لكل من الحمل والحث . إلا أن لها عيبا وهو المساهمة بسعة حمل كبيرة إلى خطوط الساعة (clock line) .



شكل ٤ – ١٧

شكلان تكوينيان 2ϕ آخران

(أ) شكل تكوينى ذو نسبة

(ب) شكل تكوينى بدون نسبة له ساعتان متداخلتان

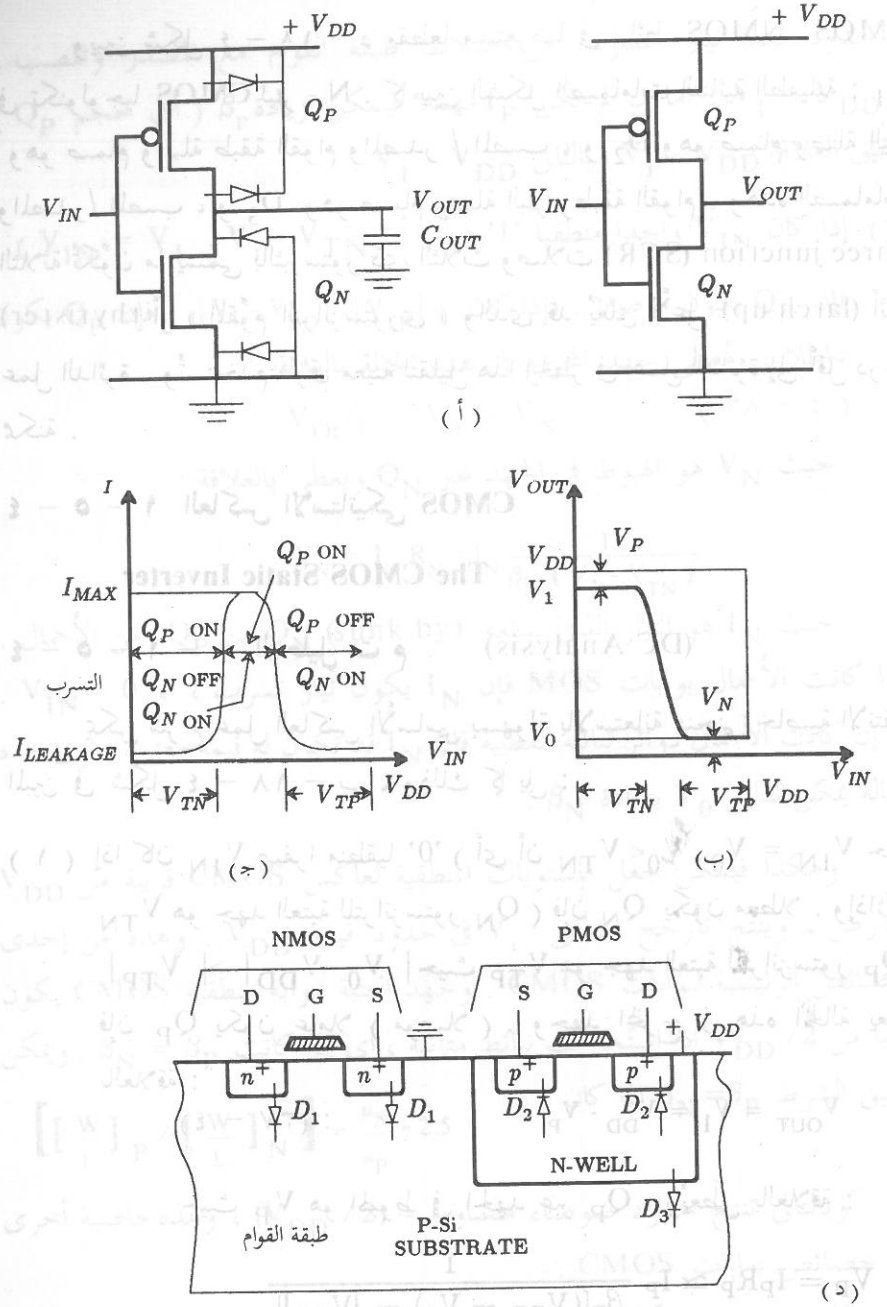
٤ – ٥ دوائر MOS المكمِّلة (CMOS) :

Cmplementary MOS (CMOS) Circuits

إذا استخدمنا دائرة MOS قناة P- (p-channel MOS) كحمل بالنسبة لدائرة حث MOS قناة n- (n-channel MOS driver) فإن ذلك يعطينا العاكس CMOS المكمِّل الأساسى كما هو مبين فى شكل ٤ – ١٨ أ . ويمكن تنفيذ البوابات المنطقية والدوائر القلابة باستخدام الزوج المكمِّل (complementary pair) . وللدوائر الرقمية CMOS عدة مميزات من بينها الحصانة العالية ضد الضوضاء (high noise immunity) ، والعمل على مدى واسع من جهود منبع القدرة ، وتبديد القدرة المنخفض ، والسرعة العالية نسبيا ، والقدرة على مواءمة العائلات المنطقية الأخرى . وأهم عيب لهذه العائلة هو استهلاك مساحة سيليكون كبيرة نسبيا بسبب الحاجة إلى أزواج MOS المكملة لكل مدخل منطقى مضاف كما سنرى بإذن الله فى البند ٤ – ٥ – ٢ .

ويمكن صناعة دوائر CMOS باستخدام تكنولوجيات CMOS لبئر P- أو بئر N- أو الحوض المزدوج (P-well, N-well or twin-tub CMOS technologies) . وفى تكنولوجيا CMOS لبئر P- تكون المادة البدائية (starting material) هى طبقة قوام سيليكون N- وتُستخدم لصناعة نبائط PMOS ، بينما يستخدم بئر P- منتشر أو مزروع أيونيا (diffused or ion implanted P-well) لصناعة نبائط NMOS .

وتُستخدم تكنولوجيا CMOS لبئر N- على نطاق واسع فى الوقت الحاضر ، حيث تُستعمل طبقة القوام سيليكون P- كمادة بدائية ، وتُستخدم فى صناعة نبائط NMOS ، بينما يُستخدم بئر N- المزروع أيونيا فى صناعة نبائط PMOS . وفى تكنولوجيا CMOS للحوض المزدوج تكون المادة البدائية سيليكون ذو مقاومة عالية ، ويُستخدم حوضان P , N مزروعان أيونيا لصناعة نبائط NMOS , PMOS على الترتيب .



شكل ٤ – ١٨ عاكس CMOS

(أ) مخطط الدائرة (ب) منحنى خاصية الانتقال

(جـ) التيار I مقابل الجهد V_{IN} (د) مقطع مستعرض فى تكنولوجيا CMOS لبئر – N

ويبين شكل ٤ – ١٨ – د مقطعا مستعرضا فى نبائط PMOS , NMOS فى تكنولوجيا CMOS لبئر - N . كما يبين الشكل الصمامات الثنائية الطفيلية : D_1 وهو صمام وصلة طبقة القوام والمصدر / المصب ، و D_2 وهو صمام وصلة البئر والمصدر/ المصب ، و D_3 وهو صمام وصلة البئر وطبقة القوام . وهذه الصمامات الثلاثة تُكوِّن ما يسمى بالثيرستور ذى الثلاث وصلات (three junction (SCR) thyrister) أو « المقوِّم الترانزستورى » والذى قد يُعلق لأعلى (latch-up) أثناء عمل الدائرة . وتُستخدم طرق معينة لتقليل هذا الخطر فى عمل الدائرة إلى أقل درجة ممكنة .

٤ – ٥ – ١ العاكس الاستاتيكى CMOS

The CMOS Static Inverter

٤ – ٥ – ١ – ١ التحليل ت م (DC Analysis)

يمكن شرح عمل العاكس الأساسى بسهولة بالاستعانة بمنحنى خاصية الانتقال المبين فى شكل ٤ – ١٨ – ب ، وذلك كما يلى :

(١) إذا كان V_{IN} صفرا منطقيا '0' (أى أن $V_{IN} = V_0 , V_0 < V_{TN}$ حيث V_{TN} هو جهد العتبة للترانزستور Q_N) فإن Q_N يكون معطلا . وإذا كان $|V_0 - V_{DD}| > |V_{TP}|$ حيث V_{TP} هو جهد العتبة للترانزستور Q_P ، فإن Q_P يكون عاملا (موصلا) . وجهد المخرج فى هذه الحالة يعطى بالعلاقة :

$$V_{OUT} = V_1 = V_{DD} - V_P \qquad : (٣٧ - ٤)$$

حيث V_P هو الهبوط فى الجهد عبر Q_P ، ويُعطَى بالعلاقة :

$$V_P = I_P R_P \simeq I_P \frac{1}{\beta_P[(V_{DD} - V_0) - |V_{TP}|]}$$

حيث I_P هو التيار الذى يمد به Q_P كلا من Q_N والأحمال . فإذا كان العاكس مُحَمَّلا ببوابات MOS – كما هو الحال عادة – فإن I_P يكون مهملا

فى حدود قيمة تيار التسرب من وصلات طبقة القوام مع المصدر والمصب ، و $V_1 \simeq V_{DD}$. أما إن لم يكن I_P مهملا فيمكن بزيادة β_P (أى حجم Q_P) تحقيق العلاقة $V_P \ll V_{DD}$ وبالتالى $V_1 \simeq V_{DD}$.

(٢) إذا كان V_{IN} واحدا منطقيا '1' (أى أن $V_1 > V_{TN}$, $V_{IN} = V_1$) فإن Q_N يكون موصلا . فإذا كان $|V_1 - V_{DD}| < |V_{TP}|$ فإن Q_P يكون عاطلا ، ويُعطَى جهد المخرج فى هذه الحالة بالعلاقة :

$$V_{OUT} = V_0 = V_N \qquad (٣٨ - ٤)$$

حيث V_N هو الهبوط فى الجهد عبر Q_N ويعطَى بالعلاقة :

$$V_N = I_N R_N \simeq I_N \frac{1}{\beta_N (V_1 - V_{TN})}$$

حيث I_N هو التيار الذى يبتلعه Q_N (sunk by) من Q_P ومن الأحمال . فإذا كانت الأحمال بوابات MOS فإن I_N يكون تيار تسرب ، و $V_{IN} \simeq 0$. أما إن كانت الأحمال دوائر ثنائية القطبية فإن I_N قد تكون له قيمة معتبرة . وفى هذه الحالة يمكن تقليل V_0 بزيادة β_N .

وهكذا فيمكن جعل المستويات المنطقية لعاكس CMOS قريبة من V_{DD} والأرض ، وينتج تأرجح منطقى V_1 فى حدود قيمة V_{DD} . وهذه من إحدى الخصائص الرئيسية لبوابات CMOS . وجهد العتبة لبوابة منطقية CMOS يكون قريبا من $V_{DD}/2$ إذا استُخدمت نبائط متماثلة ، أى إذا كانت $\beta_N = \beta_P$. ويمكن تحقيق الشرط $\beta_N = \beta_P$ إذا كان

$$\left[\left[\frac{W}{L} \right]_P / \left[\frac{W}{L} \right]_N \right] = \frac{\mu_N}{\mu_P} \simeq 2.5$$

وبالتالى تنتج حدود ضوضاء متساوية $\simeq (V_{DD}/2)$ ، وهذه خاصية أخرى من خصائص بوابات CMOS .

وكما هو مبين فى شكل ٤ – ١٨ – جـ فإن تيار البوابة I يمر بين V_{DD} والأرض فقط عندما يكون كل من Q_P و Q_N موصلا ، أى أثناء فترة الانتقال . وأما أثناء حالتى الثبات (steady states) فإن $I \simeq I_{leakage}$.

ويُعطَى تبديد القدرة ت م للبوابة بالعلاقة

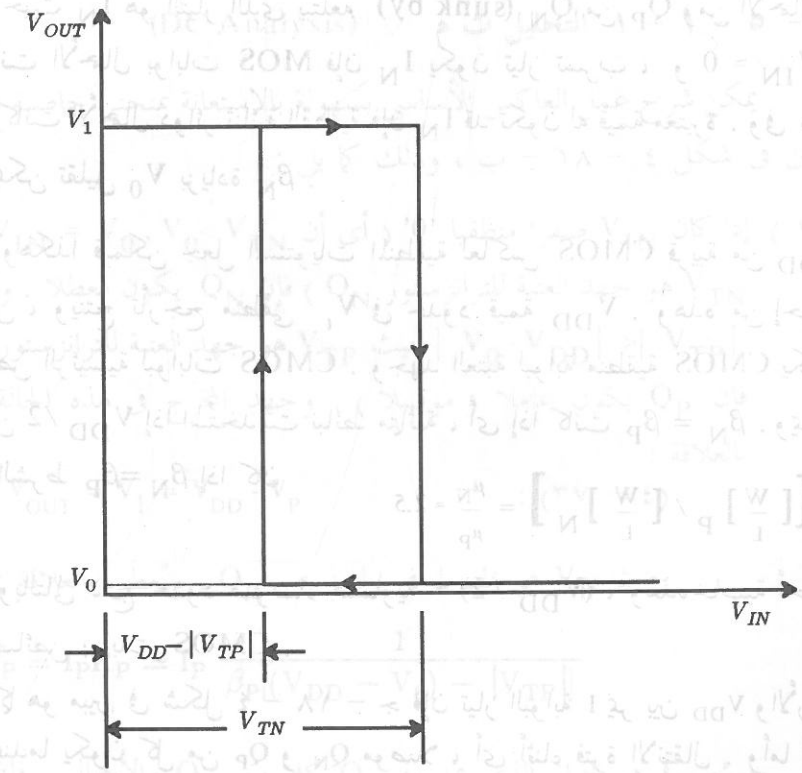
$$P_{DC} = V_{DD}\, I_{leakage} \qquad (٤ - ٣٩)$$

وهذا القدر من تبديد القدرة يُعَدُّ مركبة مهملة من تبديد القدرة الكلى للبوابة كما سنشرح ذلك .

واضح من شكل ٤ – ١٨ – ب أن أقل قيمة للجهد V_{DD} تعطى بالعلاقة :

$$V_{DD}|_{min} = V_{TN} + |V_{TP}| \qquad (٤ - ٤٠)$$

فإن كان V_{DD} أقل من هذه القيمة فإن البوابة تتعرض لخاصية انتقال التخلف (hysteresis transfer characteristic) كما هو مبين فى شكل ٤ – ١٩ ، ولا يمكن استخدامها عندئذ كبوابة منطقية .



شكل ٤ – ١٩ منحنى خاصية انتقال التخلف لعاكس CMOS

$$V_{V_{PP}} < (V_{TN} + |V_{TP}|)$$

التحليل العابر (Transient Analysis)

نفرض أن لدينا عاكسا CMOS ذا جهد مدخل بخطوة مثالية من 0 إلى V_{DD} . يمكننا حساب زمن الشحن وزمن التفريغ باتباع الطريقة المشار إليها فى بند ٤ – ٣ – ٢ . وزمن التفريغ t_{dis} – والذى هو عبارة عن الزمن اللازم لتفريغ سعة المخرج C_{out} خلال Q_N من مستوى منطقى عند المخرج يساوى $V_1 \approx V_{DD}$ إلى مستوى منطقى عند المخرج يساوى V_0 – يُعطى بالعلاقة :

$$t_{dis} = \tau_N \left[\frac{2}{\frac{V_{DD}}{V_{TN}} - 1} + \ln \left[\frac{2\,(V_{DD} - V_{TN})}{V_0} - 1 \right] \right] \qquad (٤ - ٤١)$$

حيث

$$\tau_N = \frac{C_{out}}{g_{mN}} = \frac{C_{out}}{\beta_N\,(V_{DD} - V_{TN})}$$

ولاحظ أن المعادلة (٤ – ٤١) شبيهة بالمعادلة (٤ – ٢٨) . ونظرا لهذا التشابه فإن زمن الشحن t_{ch} – والذى هو عبارة عن الزمن اللازم لشحن C_{out} خلال Q_p من V_0 إلى V_1 – يعطى بالعلاقة :

$$t_{ch} = \tau_P \left[\frac{2}{\frac{V_{DD}}{|V_{TP}|} - 1} + \ln \left[\frac{2\,(V_{DD} - |V_{TP}|)}{V_{DD} - V_1} - 1 \right] \right]$$

حيث :

$$\tau_P = \frac{C_{out}}{g_{mP}} = \frac{C_{out}}{\beta_P\,(V_{DD} - |V_{TP}|)}$$

ومن الجدير بالملاحظة أنه يمكن تبسيط كل من العلاقتين (٤ – ٤١) و (٤ – ٤٢) كما فعلنا فى (٤ – ٢٨ – أ) .

وهناك وسيط عابر (transient parameter) مفيد آخر وهو التأخر خلال عاكس CMOS ، ونرمز له بالرمز τ_D ويُعرَّف بأنه زمن التأخر بين موجتى

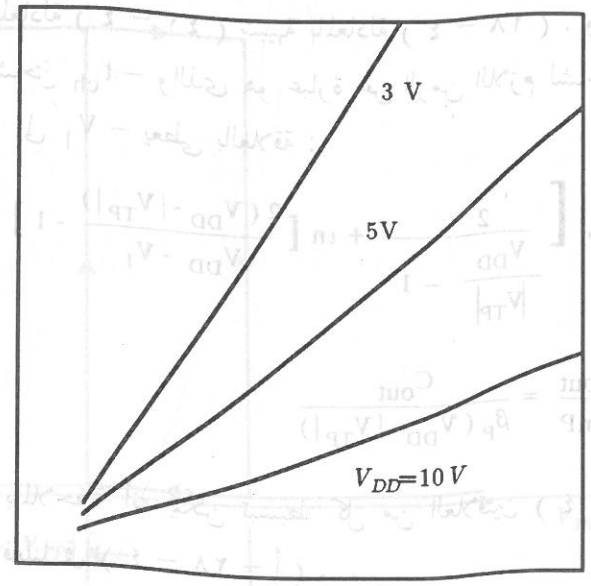
الإدخال والإخراج مقاسا عند النقاط ($V_{DD}/2$) لسلسلة من عاكسات CMOS أو لمذبذب حلقى (ring oscillator) ، وهو يعطى بالعلاقة :

$$\tau_D \simeq \frac{0.9\,C_{out}}{V_{DD}\beta_N}\left[\frac{1}{[1-\frac{V_{TN}}{V_{DD}}]^2}+\frac{1}{\frac{\beta_P}{\beta_N}[1-\frac{|V_{TP}|}{V_{DD}}]^2}\right] \qquad (٤٣-٤)$$

وإذا كان $(V_{TN}/V_{DD}) \ll 1$ و $|V_{TP}|/V_{DD} \ll 1$ فإن :

$$\tau_D \simeq \frac{0.9\,C_{out}}{V_{DD}\beta_N}\left[1+\frac{\beta_N}{\beta_P}\right] \simeq \frac{2\,C_{out}}{V_{DD}\,\beta_N} \qquad (٤-٤٣-١)$$

أى أنه تحت هذه الشروط يكون لكل من V_{TN} و V_{TP} تأثير بسيط على زمن التأخر ، ويكون τ_D متناسبا خطيا مع كل من (C_{out}/V_{DD}) و β_N^{-1} (لاحظ أن $\beta_N = \beta_P$ بالتصميم) . وهذه النتيجة يوضحها شكل ٤ – ٢٠ .



شكل ٤ – ٢٠

منحنيات التأخر مقابل سعة الحمل لقيم V_{DD} مختلفة لعاكس CMOS مُعطَى

٤ – ١ – ٥ تبديد القدرة العابرة (Transient Power Dissipation)

هناك مركبتان لتبديد القدرة العابرة لعاكس CMOS . المركبة الأولى تنتج من شحن وتفريغ سعة المخرج خلال مقاومة التوصيل المحدودة (finite on resistance) لكل من Q_N و Q_p . وهذه المركبة تعطى بالعلاقة :

$$P_{t1} = C_{out}V_i^2 f \qquad : (٤٤-٤)$$

حيث C_{out} هى السعة الكلية للعقدة عند المخرج وتشمل التأثير السعوى للتوصيلات البينية ، و V_i هو التأرجح المنطقى للبوابة $(V_i = V_1 - V_0 \simeq V_{DD})$ ، و f هو تردد التحويل (switching frequency) . أما المركبة الثانية لتبديد القدرة العابرة فتنشأ من حقيقة أن موجات الجهد عند المدخل (وبالتالى عند المخرج) لها أوقات صعود وهبوط محدودة (finite rise and fall times) . ويعطى شكل ٤ – ٢١ موجة التيار الذى يغذيه الجهد V_{DD} لبوابة CMOS ، وكنتيجة لهذا يحدث تبديد قدرة يساوى

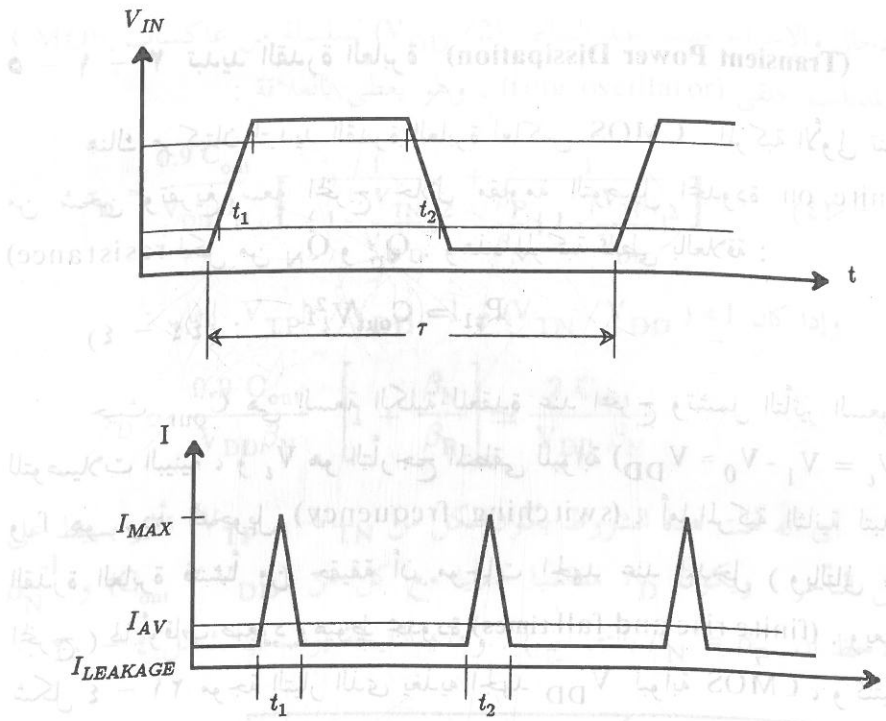
$$P_{t2} = V_{DD}\,I_{av},$$

$$I_{av} = \frac{1}{2}\,I_{max}\left[\frac{V_{DD}-[V_{TN}+|V_{TP}|]}{V_{DD}}\right]\frac{t_1+t_2}{\tau} \qquad (٤٥-٤)$$

حيث :

$$I_{max} = \frac{V_{DD}}{R_N + R_P}$$

وإذا كان t_1 ، $t_2 \ll \tau$ فإن $P_{t2} \ll P_{t1}$



شكل ٤ – ٢١ موجات جهد المدخل والتيار لعاكس CMOS

مقايضات التأخر والقدرة لدوائر CMOS

CMOS Delay - Power Trade-Offs

فى دوائر CMOS تُعد P_{t1} هى المركبة الرئيسية لتبديد القدرة . وبالتالى فإن تبديد القدرة الكلى عند أقصى تردد للتشغيل يعطى بالعلاقة :

$$P \approx C_{out} V_{\iota}^2 / 2 \tau_D \qquad (٤٦ - ٤)$$

ويعطَى ناتج القدرة × التأخر بالعلاقة :

$$\tau_D P = 0.5 C_{out} V_{\iota}^2 = 0.5 C_{out} V_{DD}^2 \qquad (٤٧ - ٤)$$

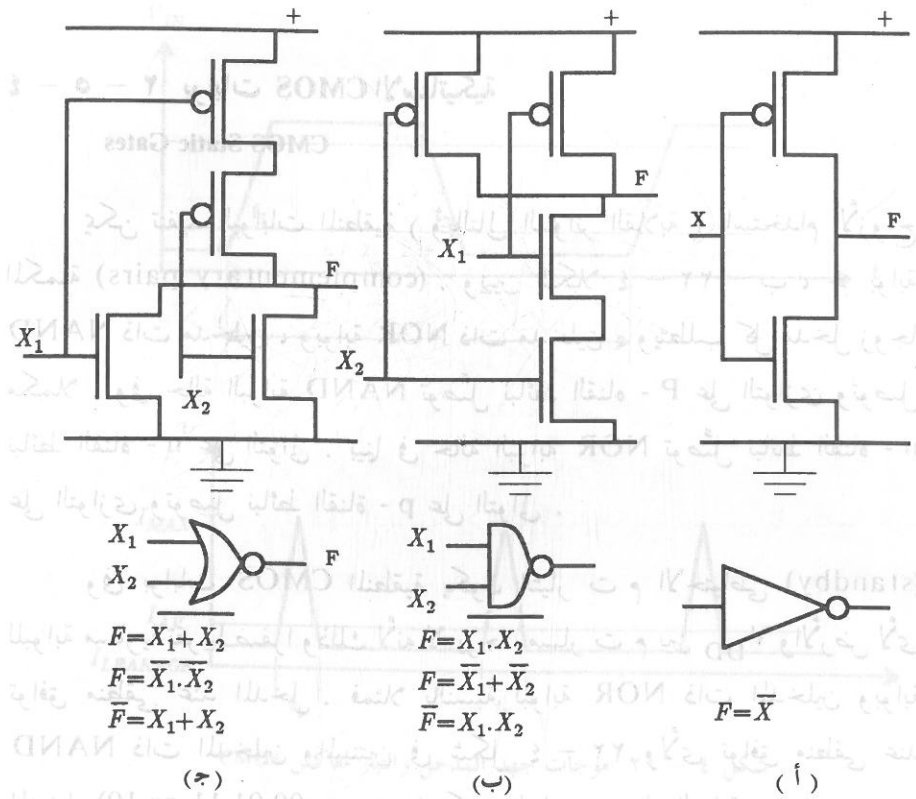
وهذا يبيِّن أن ناتج القدرة × التأخر فى الدوائر الرقمية CMOS يتناسب مع $C_{out} V_{DD}^2$ كما هو الحال فى دوائر NMOS .

٤ – ٥ – ٢ بوابات CMOS الاستاتيكية

CMOS Static Gates

يمكن تنفيذ البوابات المنطقية (وبالتالى الدوائر القلابة) باستخدام الأزواج المكملة (complementary pairs) . ويبين شكلا ٤ – ٢٢ – ب ، جـ بوابة NAND ذات مدخلين ، وبوابة NOR ذات مدخلين . ويتطلب كل مدخل زوجا مكملا . وفى حالة البوابة NAND توصَّل نبائط القناه - P على التوازى وتوصل نبائط القناة - n على التوالى . بينما فى حالة البوابة NOR توصَّل نبائط القناة - n على التوازى وتوصل نبائط القناة - p على التوالى .

وفى بوابات CMOS المنطقية يكون التيار ت م الاحتياطى (standby) للبوابة مساويا تقريبا صفرا وذلك لأنه لا يوجد مسار ت م بين V_{DD} والأرض لأى توافق منطقى عند المدخل . فمثلا بالنسبة لبوابة NOR ذات المدخلين وبوابة NAND ذات المدخلين والمبينتين فى شكل ٤ – ٢٢ ولأى توافق منطقى عند المدخل (x_1x_2 = 00,01,11 or 10) يكون التيار ت م فى البوابة صفرا .



شكل ٤ - ٢٢

بوابات CMOS منطقية

(أ) عاكس (ب) بوابة NAND ذات مدخلين (جـ) بوابة NOR ذات مدخلين

٤ - ٥ - ٢ - ١ بوابات NAND / NOR CMOS :

يتبع تصميم بوابة منطقية CMOS نفس خطوات تصميم عاكس . فكخطوة أولى يُصمَّم عاكس ليواجه متطلبات أداء عابر و ت م معطَى ، وتحدد النسبتان $(W/L)_N$ و $(W/L)_P$. ثم تُعَّين النسبتان $(W/L)_N$ و $(W/L)_P$ لنبائط بوابة منطقية كما يلى : إذا كان المطلوب تصميم بوابة NAND CMOS ذات m مدخل بحيث يكون لها نفس الأداء العابر و ت م كأداء العاكس ، فإنه لنفس قيم C_{out} يجب أن تكون النسبة $(W/L)_P$ لنبائط بوابة NAND : $\leq (W/L)_P$ للعاكس ،

بينما $(W/L)_N$ يجب أن تكون $\leq m(W/L)_N$ للعاكس . ومن ناحية أخرى إذا كان المطلوب تصميم بوابة NOR CMOS ذات m مدخل بحيث يكون لها نفس الأداء العابر و ت م كأداء العاكس ، فإنه لنفس قيم C_{out} تكون $(W/L)_P$ لبوابات NOR : $\leq m(W/L)_P$ للعاكس ، بينما $(W/L)_N$ يجب أن تكون : $\leq (W/L)_N$ للعاكس . ولاحظ أن زيادة حجم نبائط NMOS فى حالة بوابات NAND وزيادة حجم نبائط PMOS فى حالة بوابات NOR تسمح للمستويين المنطقيين V_0 و V_1 أن يكونا نفس المستويين فى العاكس إذا كانت التيارات ت م غير صفرية . ويجب زيادة حجم هذه الترانزستورات أكثر لأن C_{out} أكبر منها للعاكس . كما يلاحظ أنه لنفس الأداء ونفس عدد المداخل فإن بوابة NAND تستهلك مساحة سيليكون أقل مما تستهلكه بوابة NOR بسبب المساحة الأقل التى تشغلها نبائط NMOS . وبالتالى فإن بوابات CMOS NAND تستخدم على نطاق أوسع من بوابات NOR . وهكذا بعكس بوابات NMOS المنطقية حيث تستخدم بوابات NOR على نطاق أوسع .

ومن الجدير بالملاحظة أنه يجب أن نأخذ فى الاعتبار تأثير انحياز البوابة الخلفية عند تصميم نبائط NMOS لبوابة NAND وتصميم نبائط PMOS لبوابة NOR . أما فى حالة العاكس CMOS فلا ندخل هذا التأثير فى الاعتبار لأن مصادر نبائط القناه - p والقناة - n تكون موصلة لطبقات القوام المقابلة لها .

٤ - ٥ - ٢ - ٢ البوابات المنطقية المركبة CMOS :

Complex CMOS Logic Gates

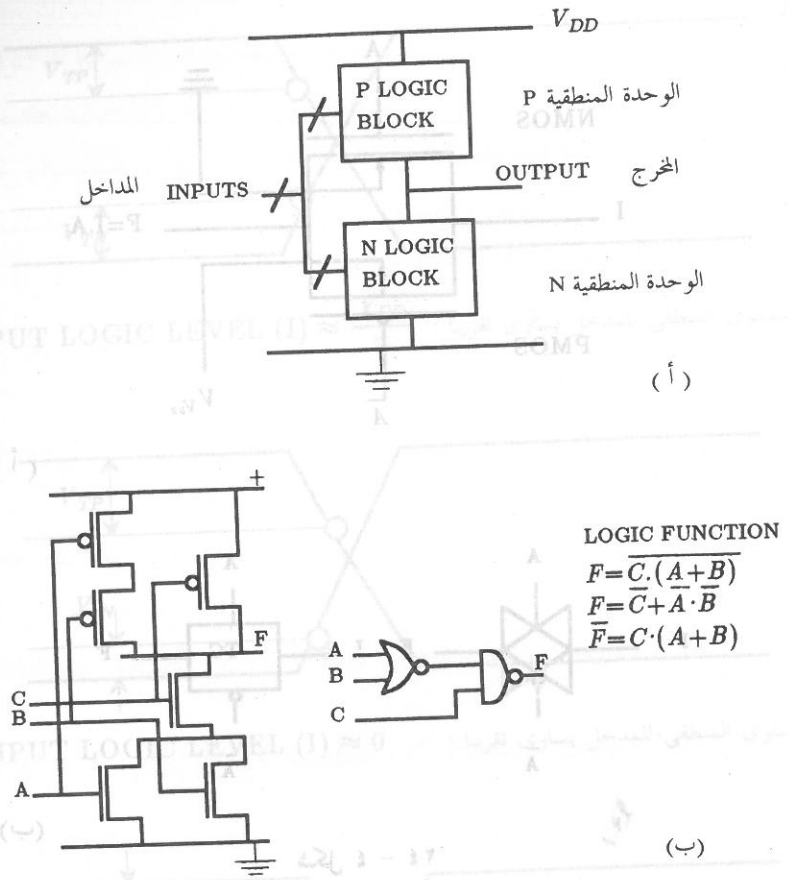
يمكن تنفيذ الدوال المنطقية بتوصيل عدة بوابات NAND , NOR وبوابات عاكسة . إلا أنه من الممكن تنفيذها بكفاءة باستخدام بوابة منطقية CMOS وحيدة ، يطلق عليها « بوابة CMOS مركبة » "complex CMOS

Gate'' ، لها مجموعتان من الترانزستورات المتصلة على التوالى والتوازى . وهذه الترانزستورات تكوِّن الوحدة المنطقية P والوحدة المنطقية N ، والوحدتان المنطقيتان لهما نفس العدد من الترانزستورات . ولا يوجد مسار ت م مباشر بين V_{DD} والأرض لأى توافق منطقى عند المدخل . والتركيب البنائى (توبولوجيا) لأى من الوحدتين هو مرافق (ثنائى) (dual) التركيب البنائى للوحدة الأخرى ، أى أن التوصيلات على التوالى تصبح توصيلات على التوازى والعكس بالعكس . ويبين شكل ٤ – ٢٣ – ب بوابة CMOS مركبة ذات مدخلين والبوابة المنطقية المكافئة لها . وفى أى من الوحدتين المنطقيتين P أو N يُرتَّب توافق الترانزستورات على التوالى والتوازى بحيث تكون سعة المخرج أقل ما يمكن . فمثلا مساهمة الوحدة P فى سعة المخرج فى شكل ٤ – ٢٣ – جـ أكبر منها فى شكل ٤ – ٢٣ – د . ومن الناحية العملية تستخدم بوابات CMOS المركبة لعدد أقصى من المداخل يساوى ٥ أو ٦ .

٤ – ٥ – ٢ – ٣ بوابات الإرسال (CMOS TGs) CMOS

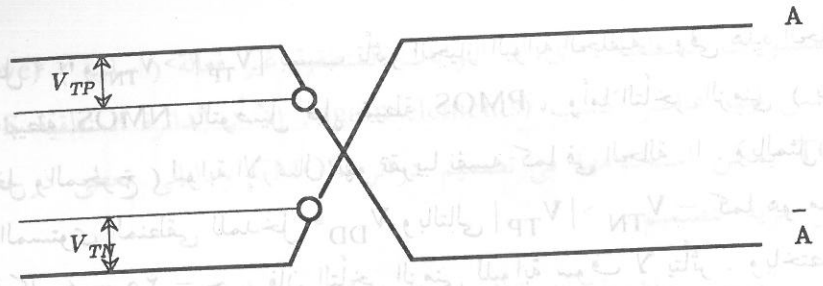
CMOS Transmission Gates (CMOS TGs)

تتكون بوابة الإرسال CMOS كما هو مبين فى شكل ٤ – ٢٤ من زوج مكمِّل متصل على التوازى . وتعمل البوابة كمفتاح تحويل (switch) حيث المتغير المنطقى A هو مدخل التحكم . ونفرض أننا قد وصلنا A بنبيطة القناة - n ، و $\overline{A}$ بنبيطة القناة - p . فإذا كان A عاليا فإن البوابة توصل وتعمل كمفتاح تحويل له مقاومة توصيل R_N و R_P على التوازى . وإن كان A منخفضا فإن البوابة تكون عاطلة وتعطى مقاومة عالية بين الأطراف . ويجب ملاحظة أنه فى تصميم بوابات الإرسال CMOS ولمواجهة متطلبات خاصة لكل من ت م والفترة العابرة (transient) يجب أن نأخذ فى الاعتبار تأثير انحياز البوابة الخلفية على كل من نبائط NMOS و PMOS .

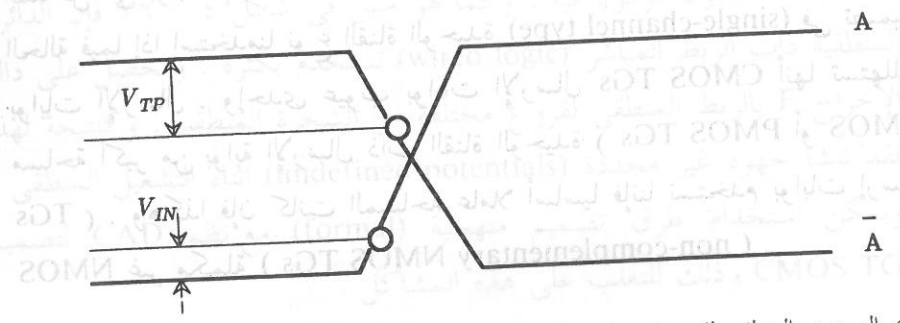


شكل ٤ – ٢٣

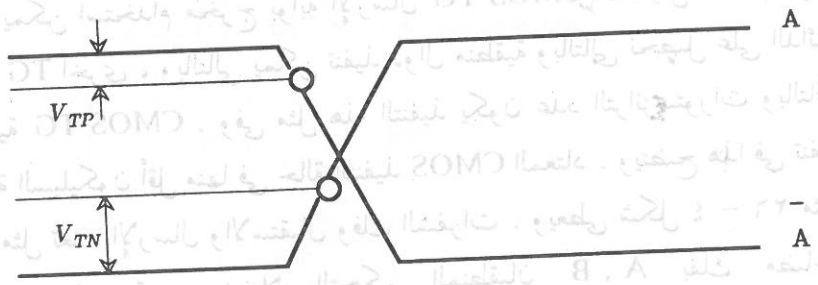
بوابة منطقية مركبة CMOS



(أ) المستوى المنطقى للمدخل يساوى تقريبا : $\text{INPUT LOGIC LEVEL (I)} \approx \frac{V_{DD}}{2}$



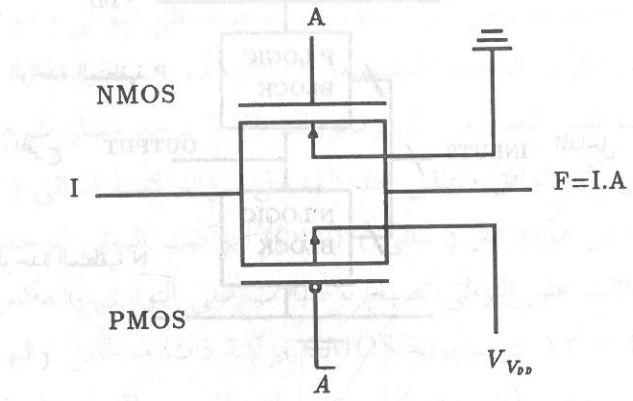
(ب) المستوى المنطقى للمدخل يساوى تقريبا : $\text{INPUT LOGIC LEVEL (I)} \approx 0$



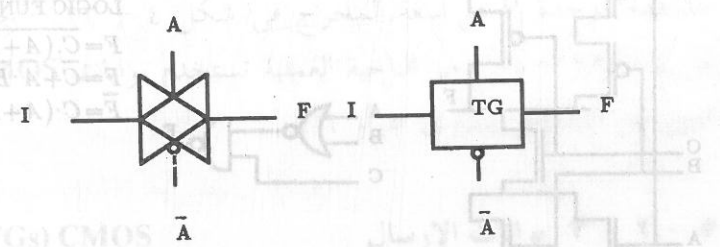
(جـ) المستوى المنطقى للمدخل يساوى تقريبا : $\text{INPUT LOGIC LEVEL (I)} \approx V_{DD}$

شكل ٤ – ٢٥

موجات بوابة الإرسال CMOS



(أ)



(ب)

شكل ٤ – ٢٤

(أ) بوابة إرسال CMOS (ب) الرموز التخطيطية

وأما ميزة استخدام زوج مكمل بدلا من نبيطة NMOS أو PMOS وحيدة لتنفيذ بوابة إرسال فى CMOS فيمكن شرحها بالاستعانة بشكل ٤ – ٢٥ . ورغم أننا نفترض فى شكل ٤ – ٢٥ أنه لا يوجد تأخر زمنى بين A و $\bar{A}$ ، فإن الاستنتاج الذى نصل إليه فى المناقشة التالية استنتاج عام . ويبين شكل ٤ – ٢٥ موجات A و $\bar{A}$ وكذلك الأوقات التى تقوم عندها نبائط NMOS و PMOS بالتوصيل . ويبين شكل ٤ – ٢٥ – أ هذه الأوقات لحالة مرجع (reference case) حيث المستوى المنطقى للمدخل = $(V_{DD}/2)$ وكنتيجة لهذا $V_{TN} = |V_{TP}|$. وفى هذه الحالة تقوم النبيطتان بالتوصيل فى نفس الوقت .

أما شكل ٤ – ٢٥ – ب فيبين هذه الأوقات حيث المستوى المنطقى

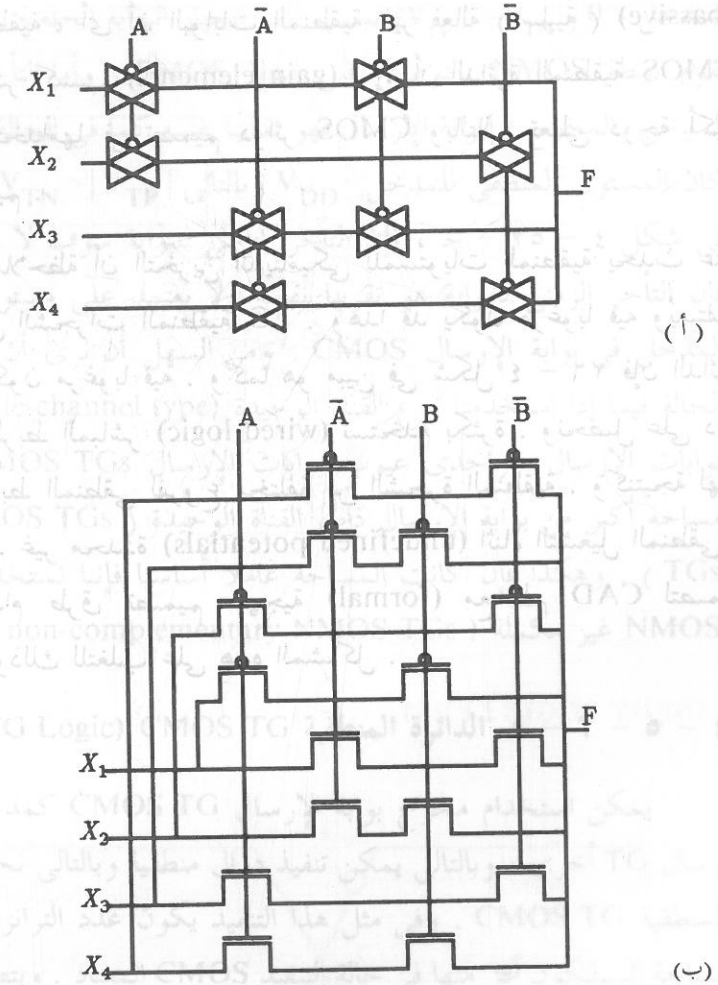
للمدخل = 0 و $V_{TN} < |V_{TP}|$ بسبب تأثير انحياز البوابة الخلفية . وفى هذه الحالة تقوم نبيطة NMOS بالتوصيل قبل نبيطة PMOS ، وأما التأخر الزمنى (بين المدخل والمخرج) لبوابة الإرسال فهو تقريبا نفسه كما فى الحالة ١ . وبالمثل إذا كان المستوى المنطقى للمدخل V_{DD} = وبالتالى $|V_{TP}| > V_{TN}$ – كما هو مبين فى شكل ٤ – ٢٥ – جـ ، فإن التأخر الزمنى للبوابة سوف لا يتأثر . وباختصار فإن التأخر الزمنى للبوابة هو تقريبا نفسه ولا يعتمد على مستوى الجهد لمتغير المدخل فى بوابة الإرسال CMOS . ومن السهل أن نرى أن هذه ليست هى الحالة فيما إذا استخدمنا نوع القناة الوحيدة (single-channel type) فى تصميم بوابات الإرسال . وإحدى عيوب بوابات الإرسال CMOS TGs أنها تستهلك مساحة أكبر من بوابة الإرسال ذات القناة الوحيدة (PMOS TGs أو NMOS TGs) . وهكذا فإن كانت المساحة عاملا أساسيا فإننا نستخدم بوابات إرسال NMOS غير مكملة (non-complementary NMOS TGs) .

٤ – ٥ – ٢ – ٤ الدائرة المنطقية CMOS TG (CMOS TG Logic)

يمكن استخدام مخرج بوابة الإرسال CMOS TG كمدخل تحكم لبوابة إرسال TG أخرى ، وبالتالى يمكن تنفيذ دوال منطقية وبالتالى نحصل على الدائرة المنطقية CMOS TG . وفى مثل هذا التنفيذ يكون عدد الترانزستورات وبالتالى مساحة السيليكون أقل منها فى حالة التنفيذ CMOS المعتاد . ويتضح هذا فى تنفيذ دوال مثل تعدد الإرسال والاستقبال وفك الشفرات . ويعطى شكل ٤ – ٢٦ مثالا لذلك حيث يقوم مدخلا التحكم المنطقيان A , B بفك مضاعفة (demultiplexing) المداخل الأربعة x_4 , x_3 , x_2 , x_1 إلى مخرج واحد F . وهذه الصيغة من الدوائر المنطقية تستخدم أيضا عندما تكون المداخل ومكملاتها المنطقية متوفرة . ولا يحتاج التنفيذ إلى V_{DD} أو خطوط أرضية . إلا أن التنفيذ يعانى من عدد من العيوب : فقدرة الحث للدائرة محدودة والتأخر الزمنى يزداد مع سلاسل TG الطويلة . وبالإضافة إلى هذا فإن الدائرة لا تسمح باستعادة

المستويات المنطقية ، أى أن البوابات المنطقية غير فعالة (سلبية) (passive) وليس فيها عناصر كسب (gain elements) . إلا أن الدائرة المنطقية CMOS TG يمكن استخدامها فى تصميم دوائر CMOS وبالتالى تعطى درجة أكبر من حرية التصميم .

ويجب ملاحظة أن التخزين الديناميكى للمستويات المنطقية يحدث عند عقد مختلفة فى الشجرات المنطقية TG . وهذا قد يكون مرغوبا فيه ويُستفاد منه ، وقد لا يكون مرغوبا فيه . وكما هو مبين فى شكل ٤ – ٢٦ فإن الدائرة المنطقية ذات الربط المباشر (wired logic) تستخدم بكثرة . ونحصل على دالة الإخراج F بالربط المنطقى لفروع مختلفة من الشجرة المنطقية . وكنتيجة لهذا فقد تنشأ جهود غير محددة (undefined potentials) أثناء التشغيل المنطقى . ويمكن استخدام طرق تصميم منهجية (formal) مع نظم CAD لتصميم CMOS TG وذلك للتغلب على هذه المشاكل .



A	B	F
0	0	X_1
0	1	X_2
1	0	X_3
1	1	X_4

(جـ)

شكل ٤ – ٢٦

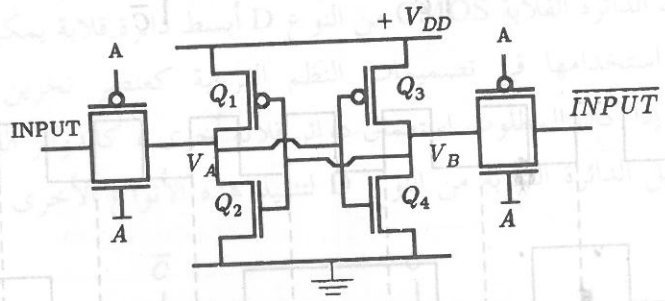
مثال لدائرة منطقية CMOS TG

(أ) المخطط المنطقى (ب) مخطط الدائرة (جـ) الجدول المنطقى

٤ – ٥ – ٣ الدوائر القلابة الاستاتيكية CMOS :

CMOS Static Flip-Flops

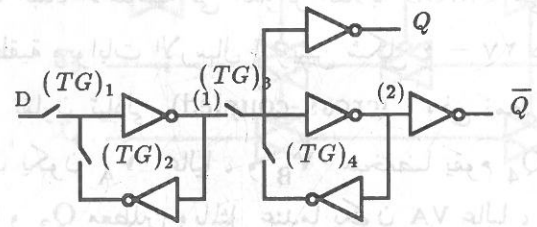
وحدات البناء الأساسية فى الدوائر القلابة CMOS هى العاكس CMOS والبوابات المنطقية وبوابات الإرسال . ويبين شكل ٤ – ٢٧ دائرة قلابة استاتيكية CMOS ذات تقارن تبادلى (cross-coupled) . وفى نمط التخزين (storage mode) حيث يكون V_A عاليا ، و V_B منخفضا يقوم Q_4 و Q_1 بالتوصيل بينما يكون Q_3 و Q_2 معطلين وبالمثل عندما يكون VA عاليا ، V_B منخفضا يكون Q_4 ، Q_1 معطلين بينما يقوم Q_3 و Q_2 بالتوصيل . وتبديد القدرة الاحتياطية للخلية صغير جدا . وتتغير حالة الدائرة القلابة باستخدام بوابتى إرسالة CMOS متصلتين لعقدتى V_B و V_A كما هو مبين فى شكل ٤ – ٢٧ .



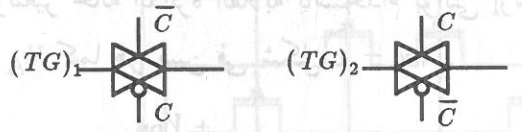
شكل ٤ – ٢٧ دائرة قلابة استاتيكية CMOS ذات تقارن تبادلى

ويبين شكل ٤ – ٢٨ دائرة قلابة استاتيكية تابع ومتبوع CMOS من النوع D ، حيث يتطلب كل من المتبوع والتابع وجود الساعة وذلك لِلَقْفِ (latching-up) المعلومات وتخزينها . وبذلك فهى تختلف عن الشكل التكوينى الأساسى ذى الاقتران التبادلى المبين فى شكل ٤ – ٢٧ . وتمثَّل بوابات الإرسال بمفاتيح تحويل مثالية : $(TG)_1$, $(TG)_2$, $(TG)_3$, $(TG)_4$. وتقوم بوابة الإرسال $(TG)_1$ بتوصيل جناح المتبوع (master section) ببيانات الإدخال (D) عندما يكون مدخل الساعة (C) منخفضا ، بينما يقوم $(TG)_3$ بتوصيل جناح التابع بمخرج جناح المتبوع (العقدة 1) عندما يكون مدخل الساعة عاليا .

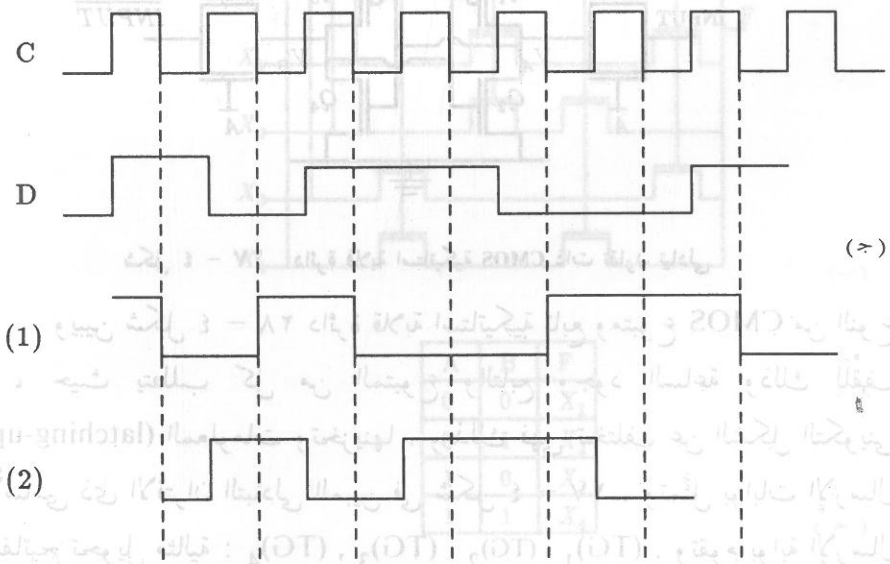
وأما البوابتان $(TG)_4$ و $(TG)_2$ فهما متطابقتان مع البوابتين $(TG)_1$ و $(TG)_3$ على الترتيب ، وتستخدمان للقف جناحى المتبوع والتابع أثناء الفترتين الزمنيتين C و C على الترتيب . ويعطى شكل ٤ – ٢٨ – جـ المخطط الزمنى للدائرة القلابة .



(أ)



(ب)



(جـ)

شكل ٤ – ٢٨

دائرة قلابة استاتيكية تابع ومتبوع CMOS من النوع D

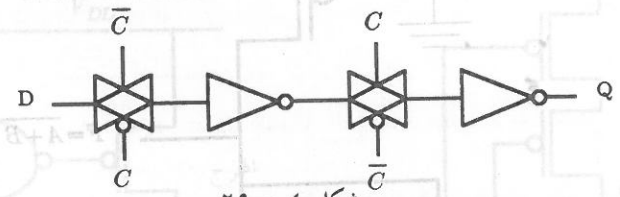
(أ) مخطط الدائرة (ب) نوعا بوابة الإرسال (جـ) المخطط الزمنى

٤ – ٥ – ٤ الدوائر القلابة الديناميكية CMOS

CMOS Dynamic Flip-Flops

يمكن تعديل الدائرة القلابة الاستاتيكية من النوع D لنحصل على الدائرة القلابة الديناميكية المبينة فى شكل ٤ – ٢٩ . ورغم أن الاسم « دائرة قلابة ديناميكية » يطلق عادة على دائرة شكل ٤ – ٢٩ إلا أن كل مرحلة فيها عبارة أساساً عن مرحلة مسجل إزاحة ديناميكى . وتستهلك كل مرحلة مساحة أقل من المرحلة المقابلة لها فى شكل ٤ – ٢٨ بسبب غياب مسارات اللقف . وتخزن المعلومات على سعات عقد الإخراج فى العاكسين . وكما فى حالة الدوائر الديناميكية فإن أقل تردد للساعة (minimum clock frequency) تحدُّ من قيمته مسارات التسرب عند عقد الإخراج هذه .

وتعد الدائرة القلابة CMOS من النوع D أبسط دائرة قلابة يمكن تنفيذها ، ولها ميزة استخدامها فى تصميمات النظم الفرعية كعنصر تخزين أو مسجل إزاحة . أما إذا كان المطلوب استعمال دوائر قلابة أخرى ، كالدوائر القلابة JK ، فيمكن تعديل الدائرة القلابة من النوع D لتنفيذ هذه الأنواع الأخرى .



شكل ٤ – ٢٩

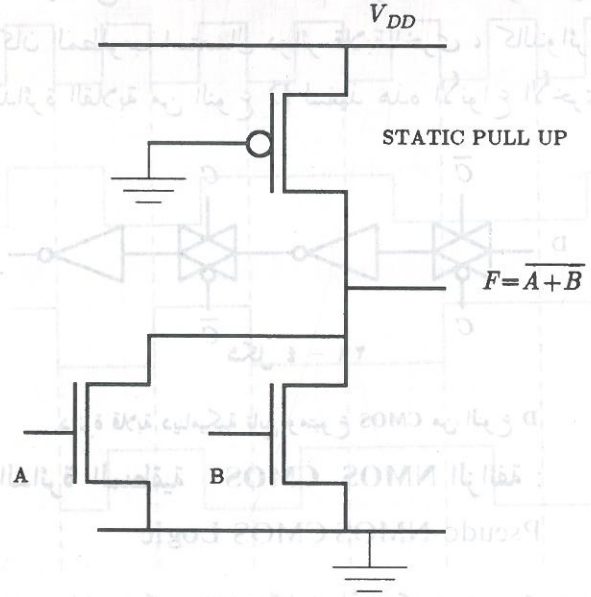
دائرة قلابة ديناميكية تابع ومتبوع CMOS من النوع D

٤ – ٥ – ٥ الدائرة المنطقية NMOS CMOS الزائفة :

Pseudo-NMOS CMOS Logic

تميل البوابات الاستاتيكية CMOS إلى أن تكون ذات كفاءة منخفضة من حيث مساحة الشريحة وذلك لأن البوابة المنطقية ذات n مدخل تتطلب 2 n ترانزستورا ، بينما تتطلب بوابة NMOS المكافئة لها (n + 1) ترانزستورا .

ويمكن تقليل مساحة البوابة إذا صُمِّمت دوائر CMOS بطريقة مشابهة لدوائر NMOS ، حيث تستخدم نبيطة PMOS كحمل لتحل محل النبيطة من النوع الاستنزافى فى دوائر NMOS . وهذه الأنواع من الدوائر يطلق عليها : دائرة NMOS كاذبة ، ويبين شكل ٤ – ٣٠ بوابة NOR . ويتبع تصميم هذا النوع من الدوائر نفس خطوات تصميم الدوائر الاستاتيكية E/D NMOS . وميزة استخدام هذه الدائرة بدلا من دائرة NMOS هى قدرتها على مواءمة تكنولوجيات CMOS . ورغم أن هذه الدائرة تمتاز بتقليل العدد الكلى للترانزستورات وسهولة المخطط العام لأن كل مدخل منطقى يوصَّل مع ترانزستور واحد فقط بدلا من اثنين – كما هو فى حالة CMOS – إلا أن لها عيوبا : تبديد القدرة الاستاتيكى غير الصفرى ، والجهد V_0 الأعلى ، والتشغيل ذو النسبة الذى يتجه إلى أن يزيد من المساحة NMOS وبالتالى من سعة المدخل .



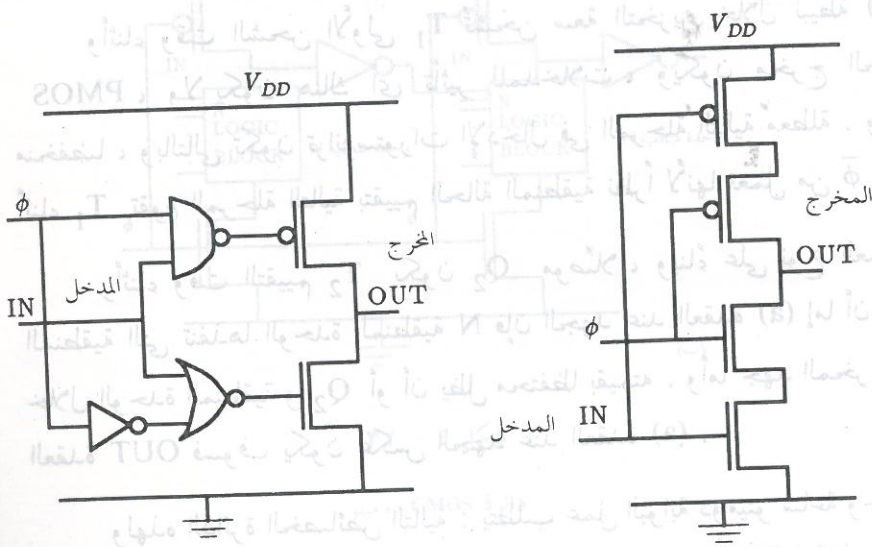
شكل ٤ – ٣٠

دائرة منطقية NMOS CMOS زائفة

٤ – ٥ – ٦ الدائرة المنطقية CMOS ثلاثية الحالات

Tristate CMOS Logic

من دوائر CMOS الخاصة دائرة تعطى مخرجا ثلاثى الحالات . ويبين شكل ٤ – ٣١ – ا عاكسا CMOS ثلاثى الحالات ، يطلق عليه العاكس المؤقَّت (clocked inverter) . وهو مكافىء لعاكس استاتيكى وبوابة إرسال إلا أن الساعة ϕ تتحكم فى كل من ترانزستورات PMOS و NMOS الموجودة فى بوابة الإرسال . وعندما تكون ϕ عالية فإن الدائرة تعمل كعاكس عادى ، وعندما تكون ϕ منخفضة فإن المخرج يصبح فى حالة استقلال عالية (high output independence state) . ولا يعطى العاكس المبين فى شكل ٤ – ٣١ – ا قدرة حث عالية (high driving capability) لسعات المخرج وذلك بسبب توصيل الترانزستورات على التوالى . ويبين شكل ٤ – ٣١ – ب تنفيذا آخر لعاكس CMOS ثلاثى الحالات بحيث يتجنب هذه المشكلة .



شكل ٤ – ٣١

تنفيذان لعاكس CMOS ثلاثى الحالات

٤ – ٥ – ٧ دوائر CMOS الديناميكية Dynamic CMOS Circuits

كى نقلل من المساحة التى تأخذها دوائر CMOS ، يمكن استعمال نمط التشغيل الديناميكى (dynamic mode of operation) ، حيث يُستفاد من كل من نبائط NMOS و PMOS ، وتُطَبَّق مبادىء المنطق الديناميكى المشار إليها فى بند ٤ – ٤ . ويبين شكل ٤ – ٣٢ إحدى هذه الدوائر ، ويطلق عليها « دائرة CMOS دومينو » .

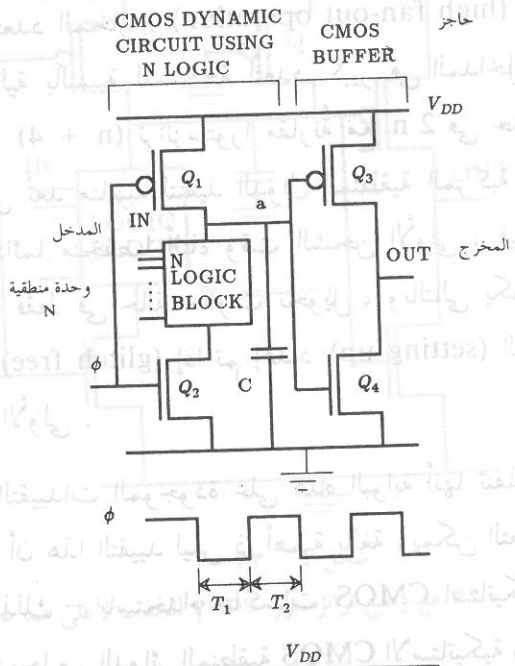
وتتكون بوابة دومينو المبينة فى شكل ٤ – ٣٢ من دائرة CMOS ديناميكية يتبعها حاجز CMOS استاتيكى . وتتكون الدائرة الديناميكية من ترانزستور PMOS للشحن الأولى Q_1 ، وترانزستور NMOS للتقييم (evaluation) Q_2 ، وسعة للتخزين C ، ووحدة منطقية N عبارة عن نبائط NMOS موصلة على التوالى والتوازى ويتم تنشيطها (activated) بالمدخلات (inputs) ، وتنفِّذ العمليات المنطقية المطلوبة .

وأثناء وقت الشحن الأولى T_1 تُشحَن سعة التخزين خلال نبيطة (Q_1) PMOS ، ولا يكون هناك أى تأثير للمدخلات ، ويكون مخرج الحاجز منخفضا ، وبالتالى تكون ترانزستورات الإدخال فى المرحلة التالية معطلة . وأيضا أثناء T_1 تقوم المرحلة التالية بتقييم الحالة المنطقية نظراً لأنها تعمل من $\bar{\phi}$.

وأثناء وقت التقييم T_2 يكون Q_2 موصِّلا ، وبناءً على نوع العمليات المنطقية التى تنفذها الوحدة المنطقية N فإن الجهد عند العقدة (a) إما أن يفرَّغ خلال الوحدة المنطقية و Q_2 أو أن يظل محتفظا بقيمته . وأما جهد المخرج عند العقدة OUT فسوف يكون عكس الجهد عند العقدة (a) .

ولهذه الدائرة الخصائص التالية : يتطلب عمل البوابة دومينو ساعة وحيدة ϕ لتشغيل مرحلة واحدة و $\bar{\phi}$ لتشغيل مرحلة التحميل . ونظرا لأن الدوائر الديناميكية تكون معزولة (buffered) بالعاكسات الاستاتيكية CMOS ، فإن العقد الديناميكية

دائرة CMOS ديناميكية تستعمل المنطق N



شكل ٤ – ٣٢

دائرة CMOS دومينو

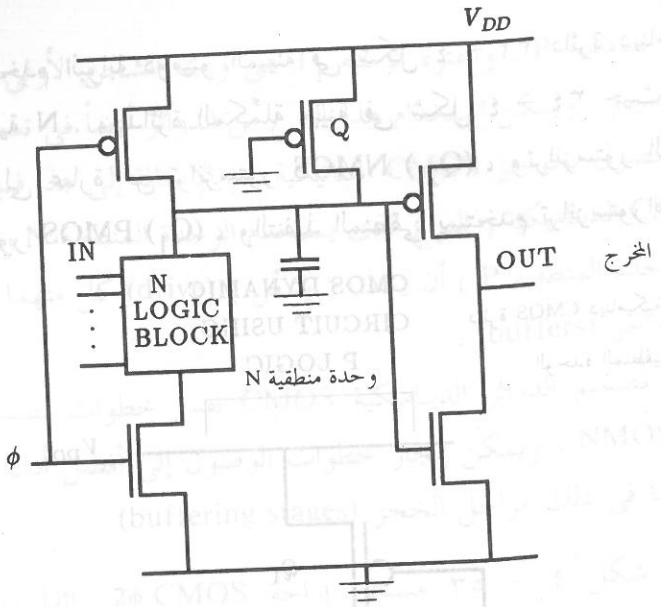
(أ) دائرة CMOS دومينو الديناميكية وهى تشتمل على وحدة منطقية N

(ب) دائرة دومينو منطقية ذات مرحلتين ، وتشتمل على وحدة منطقية N

[مثل العقدة (a)] تُعزَل عن سعات التحميل . وبالتالى فإن البوابة تكون مناسبة لتشغيل عالى متعدد المخارج (high fan-out operation) . ولما كانت البوابة ذات كفاءة عالية بالنسبة للمساحة لتعدد كبير فى المداخل (high fan-in) ، [حيث تتطلب (n + 4) ترانزستورا مقارنةً مع 2 n فى حالة البوابة الاستاتيكية CMOS] فهى تُعد مناسِبة لتنفيذ الدوال المنطقية المركبة . ونظرا لأن مخرج البوابة يكون دائما منخفضا أثناء وقت الشحن الأولى ، فيمكن لعقدة المخرج أن تكون عالية فقط فى حالة حدوث تحويل ، وبالتالى يكون عمل البوابة خاليا من الضوضاء (glitch free) إذا تم إعداد (setting up) المداخل للبوابات أثناء وقت الشحن الأولى .

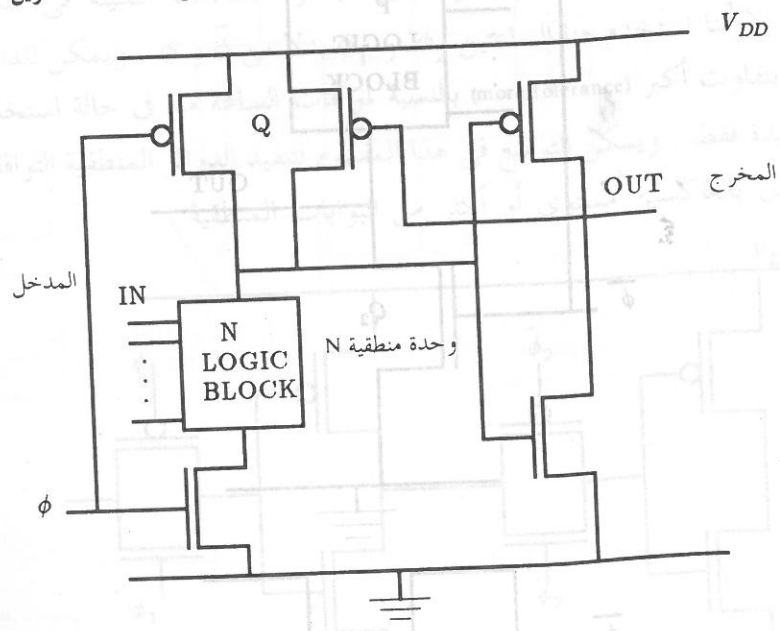
وأحد التقييدات الموجودة على هذه البوابة أنها تنفذ الدوال المنطقية غير العاكسة . إلا أن هذا التقييد ليس ذا أهمية بالغة ويمكن التغلب عليه – إذا كانت هناك حاجة لذلك – باستخدام عاكسات CMOS استاتيكية . ويمكن للمصمم أن يستعمل مزيجا من الدوائر المنطقية CMOS الاستاتيكية والديناميكية فى تصميم معين للوصول إلى أفضل أداء كلى (optimum overall performance) .

وفى بعض التطبيقات نحتاج إلى تشغيل منطقى ديناميكى عند تردد منخفض . ويمكن تحقيق هذا فى دائرة دومينو بإضافة ترانزستور PMOS (Q) جذب لأعلى ذى تيار منخفض (أى ذى نسبة W/L منخفضة) كما هو مبين فى شكل ٤ – ٣٣ – ا . ويُختار هذا الترانزستور صغيرا بدرجة كافية بحيث لا يكون هناك تصادم يُذكر مع تشغيل الجذب لأسفل أثناء وقت التقييم . وإضافة الترانزستور Q يسمح بمسار ت م أثناء وقت التقييم ، ويزيد من تبديد قدرة البوابة . ويمكن تجنب هذا كما هو مبين فى شكل ٤ – ٣٣ – ب .



شكل ٤ – ٣٣ – أ

دائرة شكل ٤ – ٣٢ مع وضع ترانزستور PMOS للجذب لأعلى عند عقدة التخزين

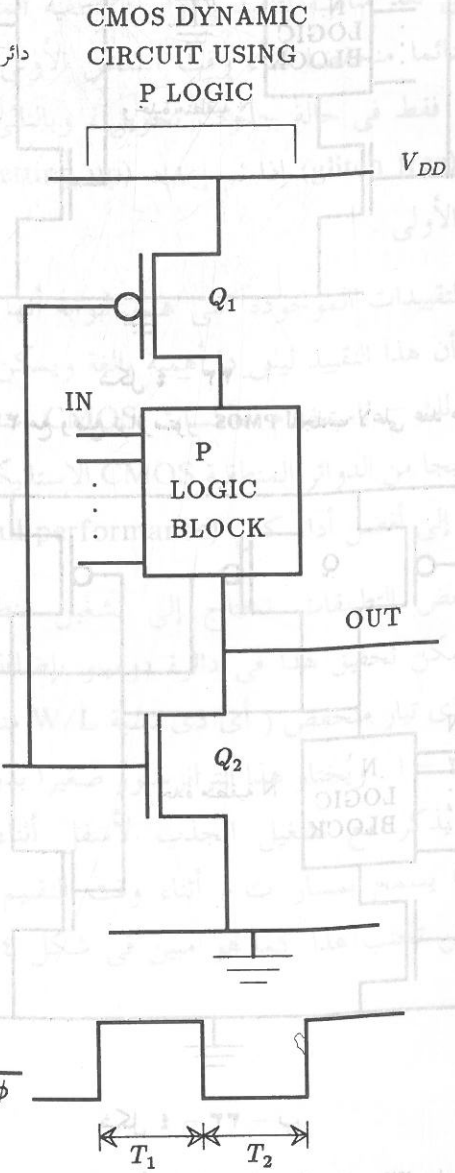


شكل ٤ – ٣٣ – ب

التحكم فى الترانزستور PMOS للجذب لأعلى المبين فى شكل ٤ – ٣٣ بواسطة عقدة المخرج

وتَستخدِم البوابة دومينو المبينة فى شكل ٤ – ٣٢ دائرة ديناميكية ذات وحدة منطقية N . والدائرة المكمِّلة مبينة فى شكل ٤ – ٣٤ حيث ترانزستور الشحن الأولى عبارة عن ترانزستور NMOS (Q_2) ، وترانزستور التقييم عبارة عن ترانزستور PMOS (Q_1) ، والتنفيذ المنطقى يستخدم ترانزستورات PMOS

دائرة CMOS ديناميكية تستخدم الوحدة المنطقية P

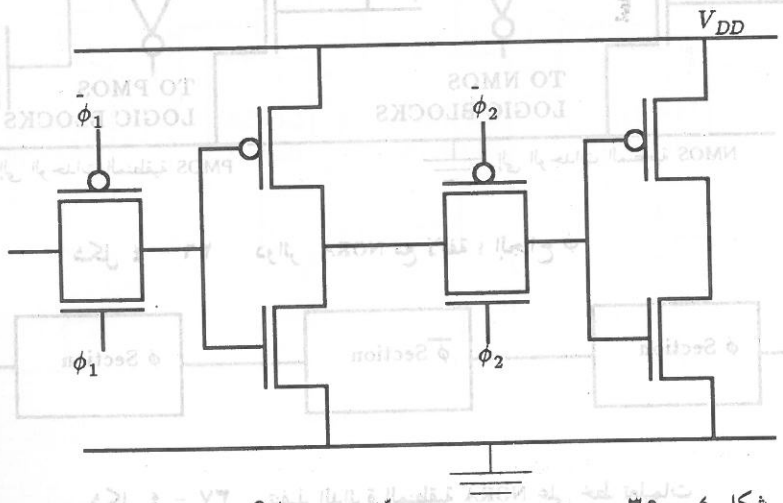


شكل ٤ – ٣٤ دائرة ديناميكية CMOS دومينو تستخدم الوحدة المنطقية P

فى الوحدة المنطقية P . والفترة الزمنية T_1 هى وقت الشحن الأولى ، بينما T_2 هى وقت التقييم . ويمكن استخدام هذا النوع من الدوائر أيضاً فى تشكيل دومينو ديناميكى مفصول بحواجز CMOS استاتيكية . وبالإضافة إلى هذا فيمكن لنوعى دوائر CMOS الديناميكية (النوع الذى يستخدم الوحدة المنطقية N والآخر الذى يستخدم الوحدة المنطقية P) أن يحث (يشغِّل) (drive) كل منهما الآخر دون استخدام حواجز (buffers) .

ويتبع تصميم الدوائر الديناميكية CMOS نفس خطوات تصميم الدوائر الديناميكية NMOS ، ويمكن إنجاز خطوات الوصول إلى أفضل أداء كلى لهذه الدوائر ، بما فى ذلك مراحل الحجز (buffering stages) .

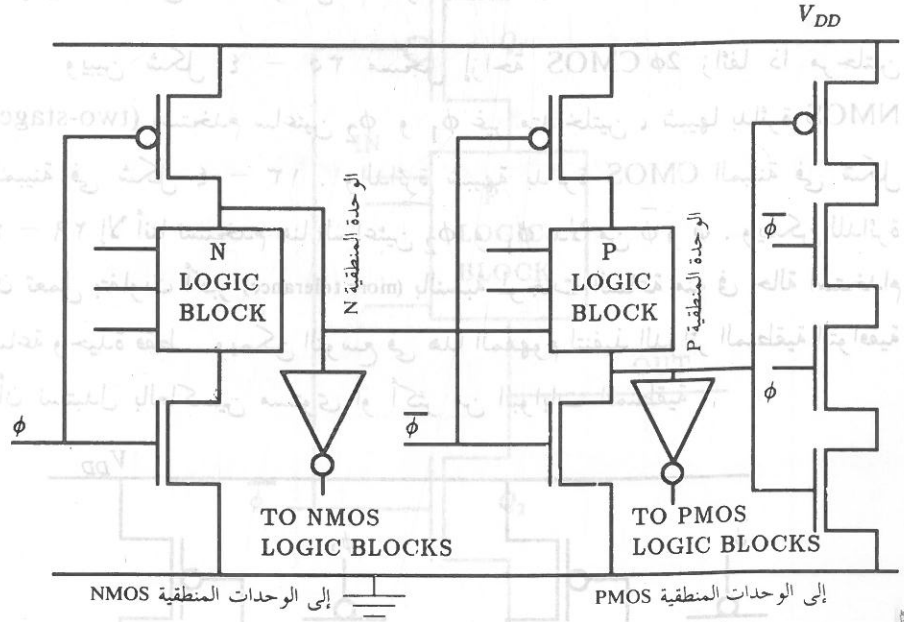
ويبين شكل ٤ – ٣٥ مسجل إزاحة 2ϕ CMOS زائفا ذا مرحلتين (two-stage) يستخدم ساعتين ϕ_2 و ϕ_1 غير متداخلتين ، شبيها بدائرة NMOS المبينة فى شكل ٤ – ١٣ . والدائرة شبيهة بدائرة CMOS المبينة فى شكل ٤ – ٢٩ إلا أننا نستخدم هنا الساعتين ϕ_2 و ϕ_1 بدلا من $\overline{\phi}$ و ϕ . ويمكن للدائرة أن تعمل بتفاوت أكبر (more tolerance) بالنسبة لموجات الساعة منه فى حالة استخدام ساعة وحيدة فقط . ويمكن التوسع فى هذا المفهوم لتنفيذ الدوائر المنطقية التوافقية بأن نستبدل بالعاكسين مستوى أو أكثر من البوابات المنطقية .



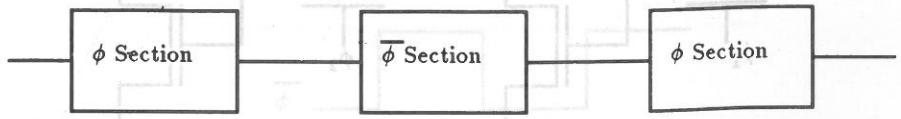
شكل ٤ – ٣٥ مسجِّل 2ϕ CMOS زائف ذو مرحلتين

٤ – ٥ – ٧ – ١ الدائرة المنطقية NORA (NO RACE)

تتركب هذه الدائرة المنطقية بتتابع (cascoding) وحدتين منطقيتين N , P كما هو مبين فى شكل ٤ – ٣٦ يتبعهما لاقفة إخراج (output latch) (CMOS ذات ساعة توقيت) C^2 MOS (clocked CMOS) لتجنب تسابق الإشارات (signal races) . وينشأ الجناح $\overline{\phi}$ فى شكل ٤ – ٣٦ عن طريق التبادل (interchanging) بين $\overline{\phi}$ و ϕ . ويبين شكل ٤ – ٣٧ تنفيذ NORA على خط تعليمات (NORA pipeline) ، وهو يتكون بالتبادل بين الجناحين $\overline{\phi}$ و ϕ .



شكل ٤ – ٣٦ دوائر NORA مع لاقفة ؛ الجناح ϕ

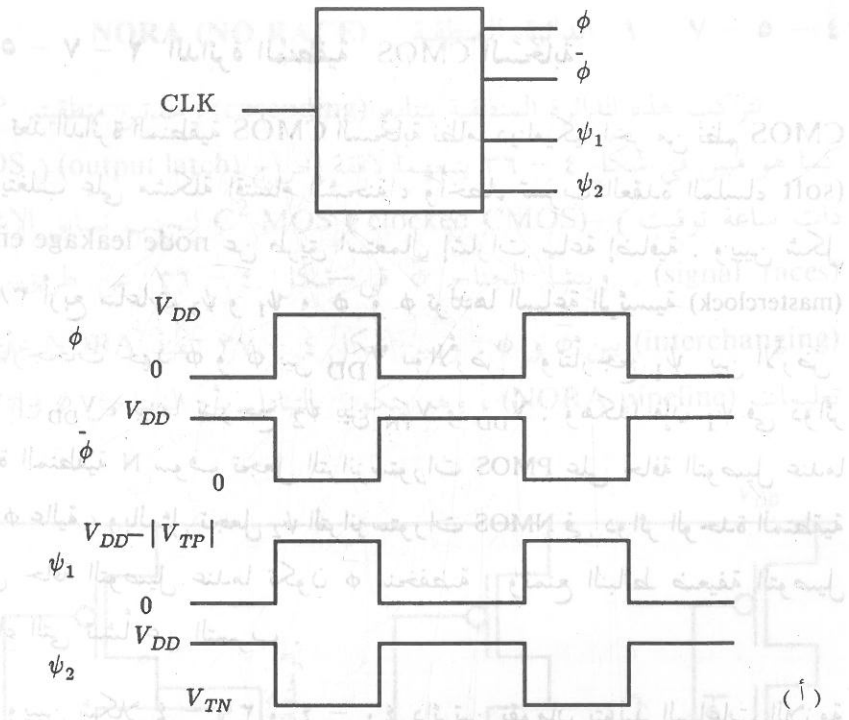


شكل ٤ – ٣٧ تنفيذ الدائرة المنطقية NORA على خط تعليمات

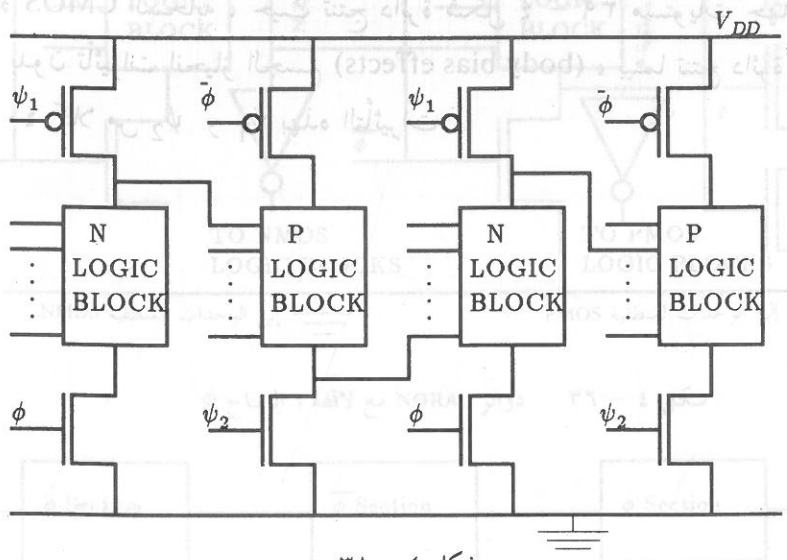
٤ – ٥ – ٧ – ٢ الدائرة المنطقية CMOS السحَّابة

تعد الدائرة المنطقية CMOS السحَّابة نظاما ديناميكيا آخر من نظم CMOS الذى يتغلب على مشكلة اقتسام الشحنة ، وأخطاء تسرب العقدة الملساء (soft node leakage errors) عن طريق استعمال إشارات ساعة إضافية . ويبين شكل ٤ – ٣٨ أربع ساعات ψ_2 و ψ_1 و $\overline{\phi}$ و ϕ تولدها الساعة الرئيسية (masterclock) وتقع تأرجحات جهد $\overline{\phi}$ و ϕ بين V_{DD} والأرض . وتتأرجح ψ_1 بين الأرض و$|V_{TP}|$ - V_{DD} ، بينما تتأرجح ψ_2 بين V_{TN} و V_{DD} . وهكذا فإن ψ_1 فى دوائر الوحدة المنطقية N سوف تجعل الترانزستورات PMOS على حافة التوصيل عندما تكون ϕ عالية ، وبالمثل تجعل ψ_2 الترانزستورات NMOS فى دوائر الوحدة المنطقية P على حافة التوصيل عندما تكون $\overline{\phi}$ منخفضة . وتمنع النبائط ضعيفة التوصيل الأخطاء التى تنشأ عن التسرب .

ويبين شكلا ٤ – ٣٩ و ٤ – ٤٠ دائرتين تقومان بتوليد الساعات اللازمة للدائرة CMOS السحَّابة ، حيث تُنتج دائرة شكل ٤ – ٣٩ مستويات جهد ψ_2 و ψ_1 بدون تأثيرات انحياز الجسم (body bias effects) ، بينما تنتج دائرة شكل ٤ – ٤٠ كلا من ψ_2 و ψ_1 بهذه التأثيرات .



(أ)

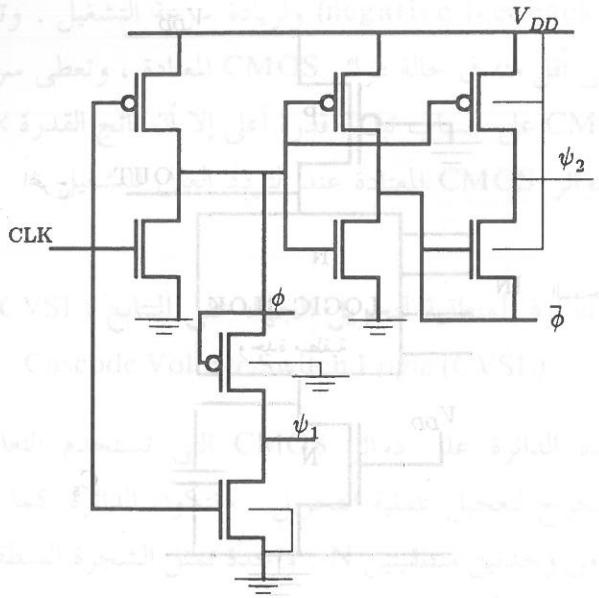


(ب)

شكل ٤ – ٣٨

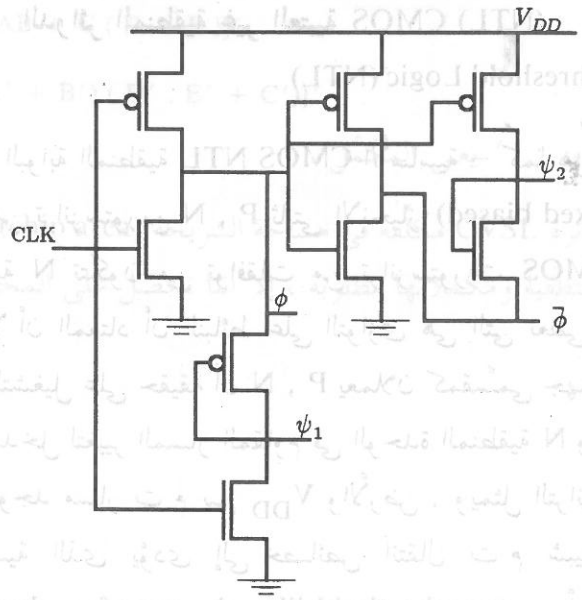
الدائرة المنطقية الديناميكية CMOS السحَّابة

(أ) اشارات الساعة (ب) مخطط الدائرة



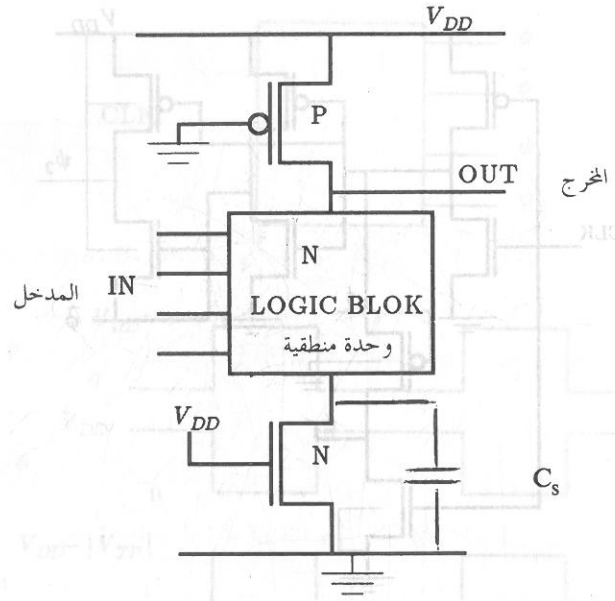
شكل ٤ – ٣٩

مولِّد ساعة للدائرة المنطقية CMOS السحَّابة



شكل ٤ – ٤٠

مولِّد ساعة للدائرة المنطقية CMOS السحَّابة



شكل ٤ – ٤١

البوابة المنطقية CMOS NTL

٤ – ٥ – ٨ الدوائر المنطقية غير العتبية CMOS (NTL)

CMOS Nonthreshold Logic (NTL)

تتكون البوابة المنطقية CMOS NTL الأساسية – كما هو مبين فى شكل ٤ – ٤١ – من ترانزستورين N , P ثابتى الانحياز (fixed biased) ، وسعة C_s ووحدة منطقية N تتكون من توافقات من ترانزستورات NMOS على التوالى والتوازى ، إلا أن المعتاد أن النبائط على التوازى هى التى تعطى بوابة NOR . ويعتمد مبدأ التشغيل على حقيقة أن N , P يعملان كمقسِّمى جهد يسمحان بتغير بسيط عند المدخل لتغيير المسار المقاوِم فى الوحدة المنطقية N وبالتالى فى جهد المخرج . ويوجد مسار ت م بين V_{DD} والأرض . ويمثل الترانزستور N مسار التغذية العكسية الذى يؤدى إلى خصائص انتقال ت م شبيهة بغير العتبية (nonthreshold-like dc transfer characteristics) . وأما سعة التحويل على التوازى C_s (shunting capacitor) فتستخدم لتقليل تأثير التغذية العكسية

السالبة (negative feedback effect) ولزيادة سرعة التشغيل . وتعمل الدائرة عند تأرجح منطقى أقل منه فى حالة دوائر CMOS المعتادة ، وتعطى سرعة أكبر من سرعة دوائر CMOS على حساب تبديد قدرة أعلى إلا أن ناتج القدرة × التأخير هو تقريبا نفسه فى دوائر CMOS المعتادة عند التردد العالى للتشغيل .

٤ – ٥ – ٩ الدائرة المنطقية لتحويل الجهد على التتابع (CVSL)

Cascode Voltage Switch Logic (CVSL)

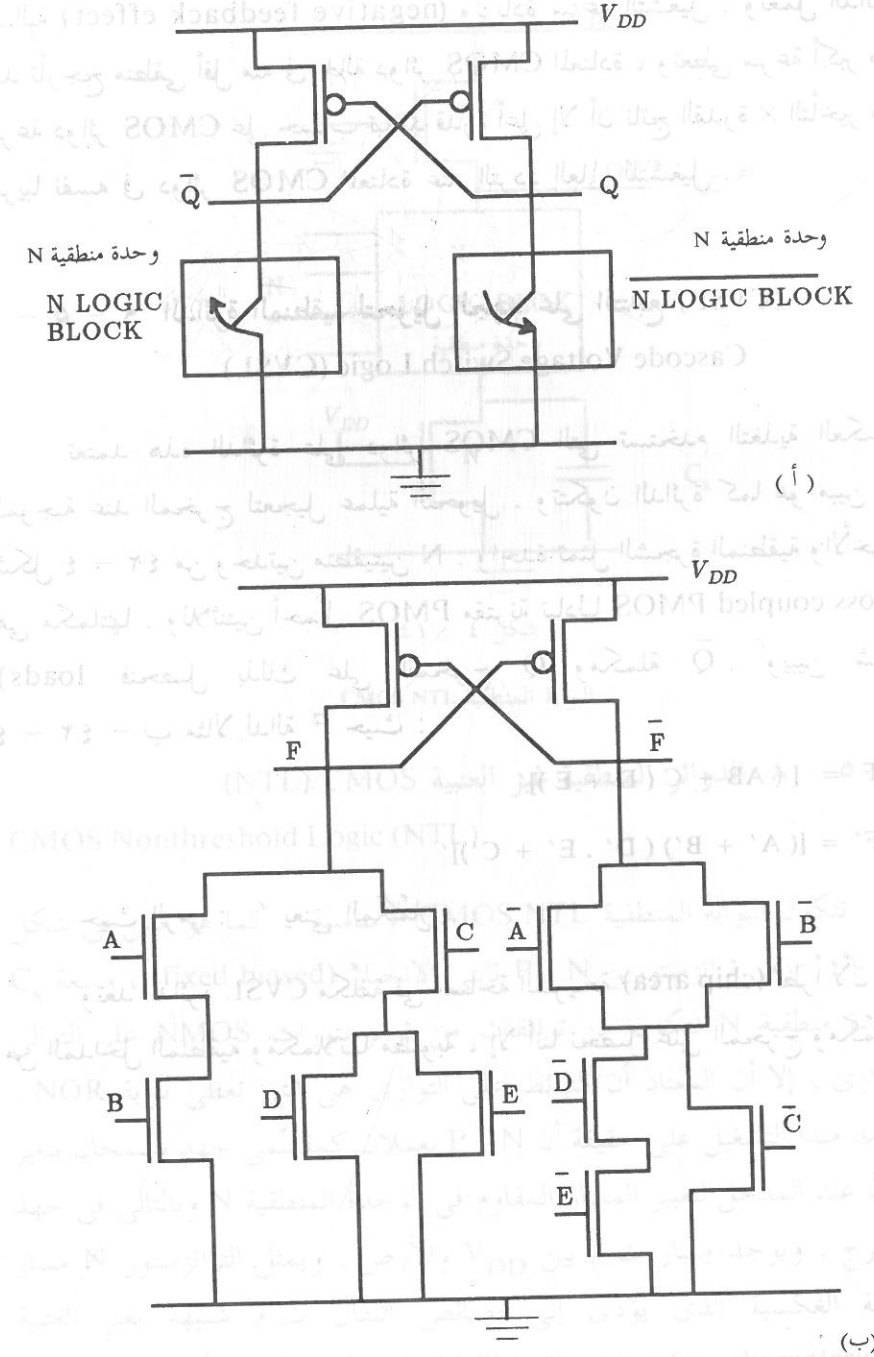
تعتمد هذه الدائرة على دوائر CMOS التى تستخدم التغذية العكسية الموجبة عند المخرج لتعجيل عملية التحويل . وتتكون الدائرة كما هو مبين فى شكل ٤ – ٤٢ من وحدتين منطقيتين N : واحدة تمثل الشجرة المنطقية والأخرى هى مكملتها . وللاثنتين أحمال PMOS مقترنة تباديليا (cross coupled PMOS loads) فنحصل بذلك على المخرج Q ومكملة $\bar{Q}$. ويبين شكل ٤ – ٤٢ – ب مثالا لدالة F حيث :

$$F = [(AB + C(D + E)]'$$

$$F' = [(A' + B')(D' . E' + C')]'$$

حيث الرمز : ′ يعنى المكمِّل .

وتعد الدائرة CVSL مكلِّفة فى مساحة الشريحة (chip area) نظراً لأن كلًّا من المداخل المنطقية ومكملاتها مطلوبة ، إلا أننا نحصل على المخرج ومكمِّله .



(أ)

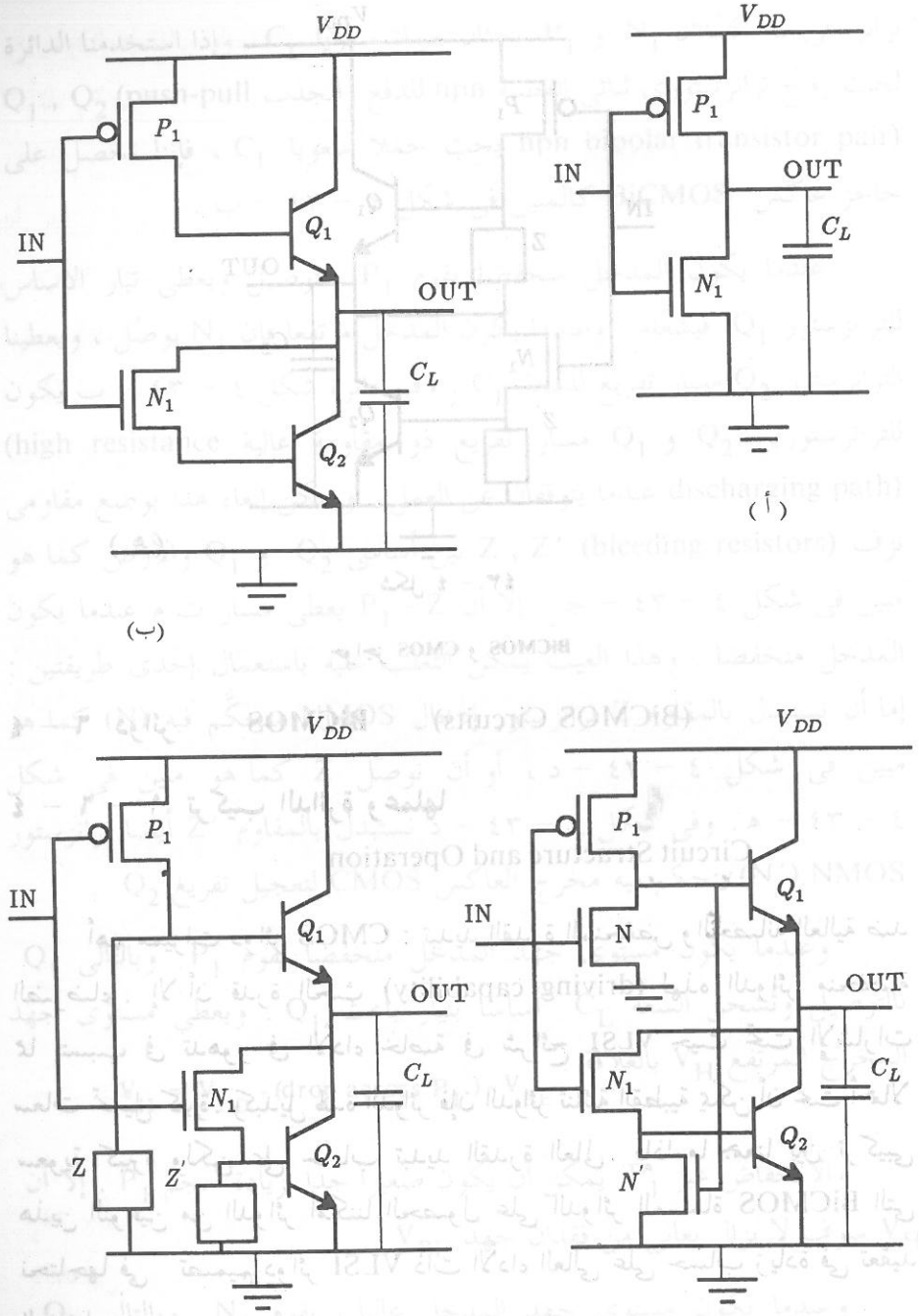
(ب)

(أ) مخطط الدائرة

(ب) مثال

شكل ٤ – ٤٢

الدائرة المنطقية لتحويل الجهد على التتابع (CVSL)



(ب)

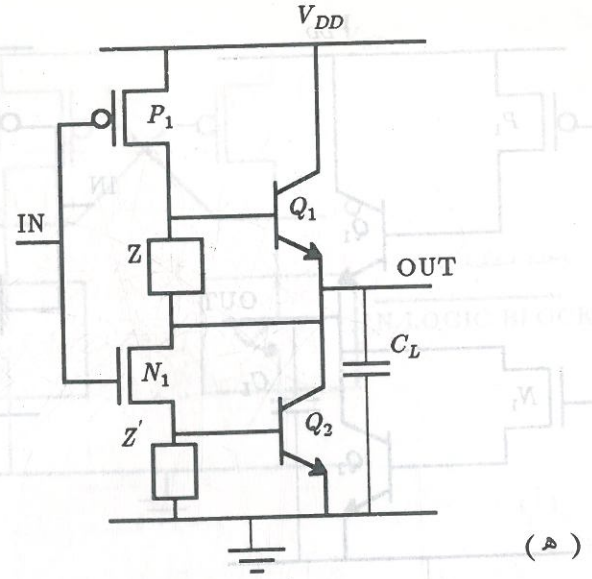
(أ)

(د)

(جـ)

شكل ٤ – ٤٣

حواجز CMOS و BiCMOS



(هـ)

شكل ٤ – ٤٣

حواجز CMOS و BiCMOS

٤ – ٦ دوائر BiCMOS (BiCMOS Circuits)

٤ – ٦ – ١ تركيب الدائرة وعملها

Circuit Structure and Operation

أهم مميزات دوائر CMOS : تبديد القدرة المنخفض والحصانة العالية ضد الضوضاء . إلا أن قدرة الحث (driving capability) لهذه الدوائر منخفضة مما يتسبب فى تدهور فى الأداء خاصة فى شرائح VLSI حيث تحث الإشارات سعات تحميل كبيرة. وكبديل لهذه الدوائر فإن الدوائر ثنائية القطبية يمكن أن تحث أحمالا سعوية كبيرة ولكن على حساب تبديد القدرة العالى. فإذا ما جمعنا بين تركيبى هذين النوعين من الدوائر أمكننا الحصول على الدوائر المسماة BiCMOS التى نحتاجها فى تصميم دوائر VLSI ذات الأداء العالى على حساب زيادة فى تعقيد التشغيل .

ويبين شكل ٤ – ٤٣ – أ حاجزا عاكسا CMOS (inverter buffer) له

ترانزستوران مكمِّلان N_1 و P_1 يحثان حملا سعويا C_L . وإذا استخدمنا الدائرة لحث زوج ترانزستورى ثنائى القطبية npn للدفع والجذب (push-pull Q_1 , Q_2 npn bipolar transistor pair) يحث حملا سعويا C_L ، فإننا نحصل على حاجز عاكس BiCMOS كالمبين فى شكل ٤ – ٤٣ – ب .

عندما يكون المدخل منخفضا يقوم P_1 بالتوصيل ويعطى تيار الأساس للترانزستور Q_1 فيشغِّله . وعندما يكون المدخل مرتفعا فإن N_1 يوصِّل ، ويعطينا الترانزستور Q_2 مسار تفريغ للسعة C_L . وفى دائرة شكل ٤ – ٤٣ – ب يكون للترانزستورين Q_2 و Q_1 مسار تفريغ ذو مقاومة عالية (high resistance discharging path) عندما يتوقفان عن العمل . ويمكن إلغاء هذا بوضع مقاومى نزف (bleeding resistors) Z , Z′ بين أساسى Q_2 و Q_1 والأرض كما هو مبين فى شكل ٤ – ٤٣ – جـ . إلا أن P_1 - Z يعطى مسار ت م عندما يكون المدخل منخفضا . وهذا العيب يمكن التغلب عليه باستعمال إحدى طريقتين : إما أن نستبدل بالمقاوم Z ترانزستور إدخال NMOS متحكَّم فيه (N) كما هو مبين فى شكل ٤ – ٤٣ – د ، أو أن نوصِّل Z كما هو مبين فى شكل ٤ – ٤٣ – هـ . وفى شكل ٤ – ٤٣ – د نستبدل بالمقاوم Z′ أيضا ترانزستور NMOS (N′) يتحكم فيه مخرج العاكس CMOS لتعجيل تفريغ Q_2 .

وعندما يكون مستوى جهد المدخل منخفضا يقوم P_1 وبالتالى Q_1 بالتوصيل وتُشحن السعة C_L أساسا بتيار باعث Q_1 . ويعطَى مستوى جهد المخرج المرتفع V_H بالعلاقة :

$$V_H = V_{DD} - (\text{drop across } P_1) - V_{BE}$$

والانخفاض عبر P_1 يمكن أن يكون صغيرا جدا بزيادة حجم P_1 . إلا أن V_H سوف لا يزال يعانى من فقدان جهد V_{BE} .

وعندما يكون مستوى جهد المدخل عاليا ، يقوم N_1 وبالتالى Q_2 بالتوصيل وتُفرَّغ C_L أساسا بتيار مجمِّع Q_2 . ويعطَى جهد المخرج المنخفض V_L بالعلاقة :

$$V_L = V_{BE} + V_{BE} + (\text{drop across } N_1)$$

وبالمثل فإن الانخفاض عبر N_1 يمكن جعله صغيرا جدا بزيادة حجم N_1 ، إلا أن V_L سوف لا يزال يعانى من فقدان الجهد V_{BE} .

ويمكن تقليل فقدان الجهد V_{BE} فى دوائر BiCMOS باستخدام بعض الأساليب الخاصة بالدوائر (circuit techniques) . وهذا الفقدان ينتج من أن Q_2 و Q_2 لا يدخلان منطقة التشبع عندما يوصِّلان ، وذلك لأنه لا يوجد عندئذ تيار أساس (base current) كافى يغذيه الترانزستوران N_1 و P_1 للترانزستورين Q_2 و Q_2 لحثهما إلى التشبع .

وتعطى دائرة شكل ٤ – ٤٣ هـ مستويات ت م من الصفر إلى V_{DD} .

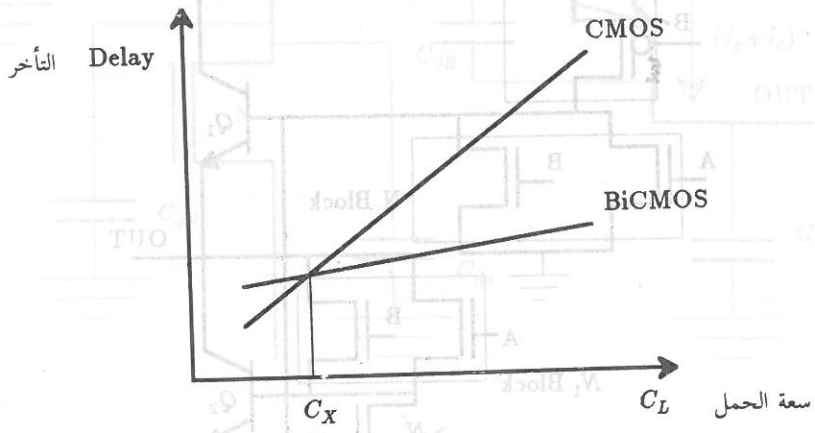
ويبين شكل ٤ – ٤٤ منحنى التأخر مقابل C_L لحاجز عاكس CMOS وآخر BiCMOS . ونلاحظ أنه عند القيم المنخفضة للسعة C_L يكون للحاجز BiCMOS تأخر أكبر بسبب سعاته الداخلية الأكبر مقارنة مع سعات حاجز CMOS . إلا أنه بالنسبة للسعات $C_L > C_x$ فإن دوائر BiCMOS يكون لها تأخر أقل من تأخر دوائر CMOS كما أنها تصبح أقل حساسية لسعات الأحمال . وتحدد قيمة C_x « سعة العبور » (cross - over capacitance) منطقة استخدام دوائر BiCOMSبدلا من دوائر CMOS .

ونلاحظ فى شكل ٤ – ٤٣ – هـ أن Z , Z' يعطيان انخفاض الجهد اللازم لحث Q_2 و Q_1 . إلا أننا قد استبدلنا بهما – كما هو مبين فى شكل ٤ – ٤٣ – د – ترانزستورين NMOS : (N , N') يتحكم المدخل فيهما ، حيث يتحكم المدخل فى N بينما يتحكم مكمِّل المدخل فى N' .

وعندما يكون المدخل منخفضا يقوم P_1 بالتوصيل ، ويتعطل N ، ويتعطل N_1 ويقوم N' بالتوصيل . وهذا يسمح للترانزستور Q_1 بالتوصيل و Q_2 بالتعطيل ، وبالتالى يكون المخرج عاليا . وعندما يكون المدخل عاليا يتعطل P_1 ، ويقوم N بالتوصيل ، وكذلك يقوم N_1 بالتوصيل ، ويتعطل N' ، ويقوم Q_2 بالتوصيل ، وبالتالى يكون المخرج منخفضا .

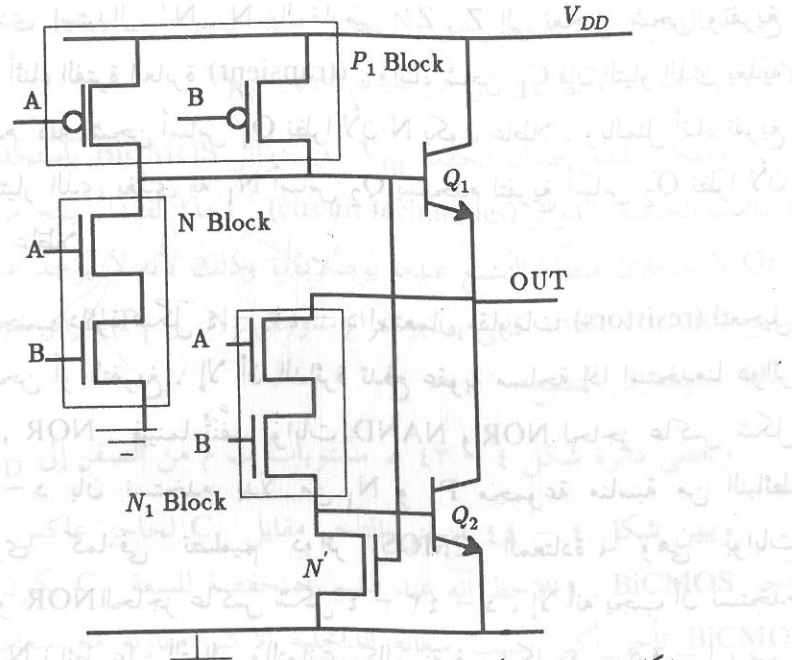
ويؤدى استبدال N , N' بالمقاومين Z , Z' إلى تعجيل شحن وتفريغ Q_1 , Q_2 أثناء الفترة العابرة (transient) . وأثناء شحن C_L فإن التيار الذى يغذيه P_1 يستخدم كله لشحن أساس Q_1 نظرا لأن N يكون عاطلا . وبالمثل أثناء تفريغ C_L فإن التيار الذى يغذى به N_1 أساس Q_2 يستخدم لتفريغ أساس Q_2 نظرا لأن N' يكون عاطلا .

وتتجنب دائرة شكل ٤ – ٤٣ – د استعمال مقاومات (resistors) لتعجيل عملية الشحن أو التفريغ . إلا أن الدائرة تدفع عقوبة مساحة إذا استخدمنا دوائر NOR , NAND . فبينما تُنَفَّذ بوابات NAND و NOR لحاجز عاكس شكل ٤ – ٤٣ – د بأن نستخدم بدلا من N_1 و P_1 مجموعة مناسبة من النبائط على التوازى كما فى تصميم دوائر CMOS المعتادة ، وهى بوابات NAND و NOR لحاجز عاكس شكل ٤ – ٤٣ – د ، إلا أنه يجب أن نستخدم بدلا من N_1 نبائط على التوالى والتوازى كالمبينة فى شكل ٤ – ٤٥ – ا ، ب . ونتيجة لهذا فإن هذه الصيغة للدائرة تستخدم عندما يكون عدد المداخل المنطقية صغيرا .

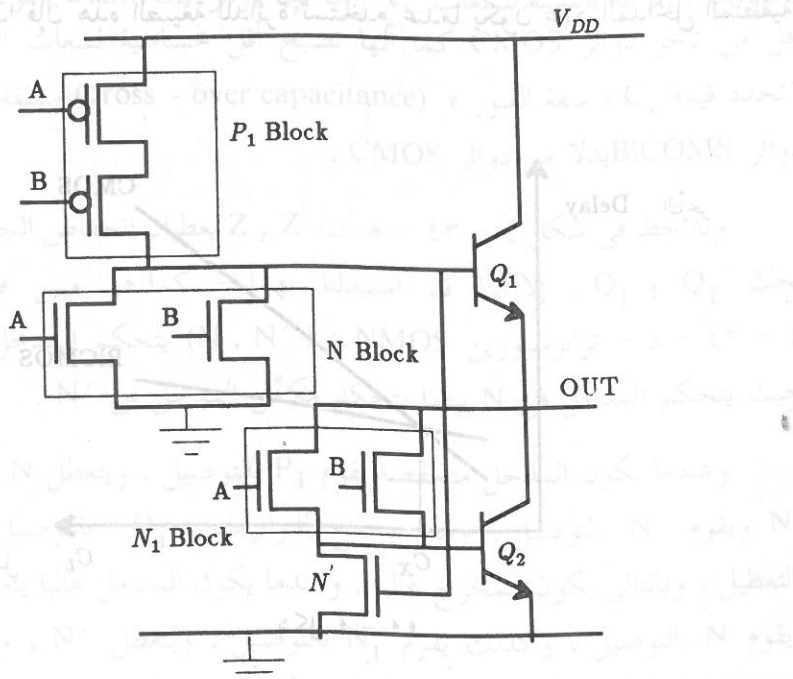


شكل ٤ – ٤٤

منحنى التأخر مقابل سعة الحمل
لكل من دوائر CMOS ودوائر BiCMOS



شكل ٤ – ٤٥ – أ بوابة BiCMOS NAND



شكل ٤ – ٤٥ – ب

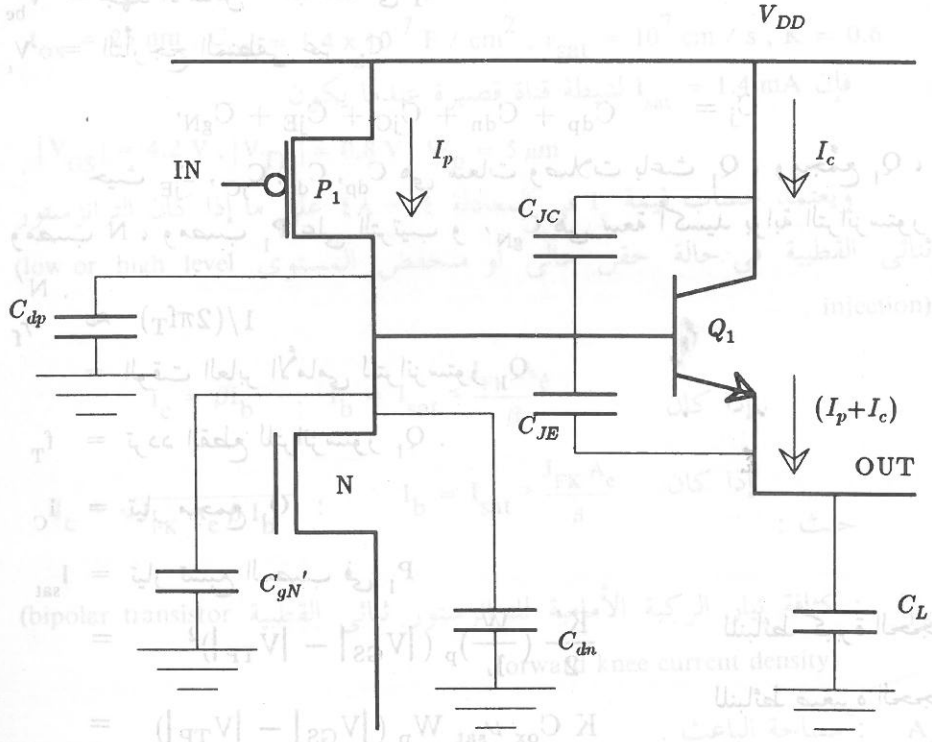
بوابة BiCMOS NOR

٤ – ٦ – ٢ زمن التأخر (Delay Time)

يبين شكل ٤ – ٤٦ مسار شحن C_L لدائرة شكل ٤ – ٤٣ – هـ عندما يقوم P_1 بالتوصيل وشحن أساس Q_1 وكحسابات أولية يمكن اعتبار زمن تأخر تشغيل الدائرة مجموع ثلاث مركبات :

$$t_d = t_{dl} + t_{d2} + t_{d3} \qquad (٤٨ - ٤)$$

حيث :



شكل ٤ – ٤٦

حساب تأخيرات BiCMOS

t_{d1} = الزمن اللازم لتشغيل Q_1 باستعمال تيار الترانزستور PMOS : I_{sat}

$= (C_j V_{be} / I_{sat})$

t_{d2} = الزمن اللازم لتكوين تيار المجمع I_c

$= (\tau_f I_c / I_{sat})$

t_{d3} = الزمن اللازم لشحن سعة المخرج C_L باستعمال تيار باعث Q

$(= I_{sat} + I_c)$

$$= \frac{C_L V_l}{I_{sat} + I_c}$$

V_{be} = جهد الأساس – الباعث فى Q_1

V_l = التأرجح المنطقى عبر C_L

$$C_j = C_{dp} + C_{dn} + C_{jC} + C_{jE} + C_{gN'}$$

حيث $C_{dp}, C_{dn}, C_{jC}, C_{jE}$ هى سعات وصلات باعث Q_1 ، ومجمِّع Q_1 ، ومصب N ، ومصب P_1 على الترتيب و $C_{gN'}$ هى سعة أكسيد بوابة الترانزستور N′ .

$\tau_f \approx 1/(2\pi f_T)$

= الوقت العابر الأمامى للترانزستور Q_1 .

f_T = تردد القطع للترانزستور Q_1 .

I_C = تيار مجمع Q_1

I_{sat} = تيار تشبع المصب فى P_1

$$= \frac{K'}{2} \left(\frac{W}{L}\right)_p (|V_{GS}| - |V_{TP}|)^2$$ للنبائط كبيرة الحجم

$$= K C_{ox} \nu_{sat} W_p (|V_{GS}| - |V_{TP}|)$$ للنبائط صغيرة الحجم

K = ثابت

ν_{sat} =سرعة تشبع الحامل (carrier)

ويمكننا استعمال علاقة شبيهة بتلك المعطاة فى معادلة (٤ – ٤٨) لحساب زمن تفريغ C_L .

وفى تكنولوجيا 1μm BiCMOS تكون متوسطات قيم السعات $C_{dp}, C_{dn}, C_{gN'}, C_{jC}, C_{jE}$ على الترتيب نحو : 8, 2, 4, 8, 25 fF فنحصل على $C_j = 47$ fF . وقيمة f_T هى حوالى 10 GHz وقيمة τ_f هى حوالى 15 ps . وللقيم :

$$\mu_n = 600 \text{ cm}^2/\text{v.s}$$

$t_{ox} = 40$ nm, $C_{ox} = 9 \times 10^{-8}$ F / cm^2, $|V_{TP}| = 1$ V, $K'_n = 54$ μA / V^2

فإن $I_{sat} = 0.9$ mA لنبيطة قناة طويلة عندما يكون

$|V_{GS}| = 4.2$ V, $P_p = 1.5$ μm, $W_p = 5$ μm

وإذا كان

$t_{ox} = 25$ nm, $C_{ox} = 1.4 \times 10^{-7}$ F / cm^2, $\nu_{sat} = 10^7$ cm / s, $K = 0.6$

فإن $I_{sat} = 1.4$ mA لنبيطة قناة قصيرة عندما يكون

$|V_{GS}| = 4.2$ V, $|V_{TP}| = 0.8$ V, $W_p = 5$ μm

ويعتمد حساب قيمة I_c فى المعادلة ٤ – ٤٨ على ما إذا كان الترانزستور ثنائى القطبية فى حالة حقن عالى أو منخفض المستوى (low or high level injection) .

إذا كان $I_b = I_{sat} \leq \frac{J_{FK} A_e}{\beta}$: $I_c = \beta I_b$

إذا كان $I_b = I_{sat} > \frac{J_{FK} A_e}{\beta}$: $I_c = \sqrt{J_{FK} A_e \beta I_b}$

حيث :

J_{FK} : كثافة تيار الركبة الأمامية للترانزستور ثنائى القطبية (bipolar transistor forward knee current density)

A_e : مساحة الباعث .

وإذا كان $J_{FK} = 0.5$ ma / μm^2 , $\beta = 50$

فإن $J_{FK} A_e / \beta = 50$ μA

حيث $A_e = 5$ xl μm^2

وبالتالى فإن الترانزستور يكون فى المستوى العالى عندما يكون $I_c \approx 114$ mA .

من القيم السابقة وبالتعويض فى المعادلة (٤ – ٤٨) ، وبمعلومية

$\tau_F = 15$ ps , $I_c = 14$ mA,

$I_{sat} = 1.4$ mA , $C_j = 47$ fF , $C_L = 1$ pf,

$V_{be} = 0.8$ V , $V_{\iota} = 3.5$ V ; نحصل على :

$t_{dl} = 25$ ps , $t_{d2} = 140$ ps, $t_{d3} = 226$ ps

$t_d = 391$ ps

٤ – ٧ ملاحظات عامـــة :

قمنا فى هذا الفصل بعمل تحليل بسيط لبعض الدوائر الرقمية NMOS , CMOS , BiCMOS الأساسية .

وهذا التحليل يفيد فى الطور الأول من تصميم الدوائر . وفى طور آخر تُستخدم برامج حاسب لتحليل الدائرة مع نماذج (models) مناسبة وذلك للمساعدة فى تصميم الدوائر المتكاملة MOS . ومن الممكن دائما عمل التحليل البسيط مع تقريبات مقبولة حتى لأشكال الدوائر المعقدة .

وفيما يلى نعرض ملخصا لبعض الإرشادات والخطوط العامة والنقاط الأساسية التى تفيد فى تصميم الدوائر المتكاملة الرقمية MOS ، وهذه النقاط ترتكز على معلومات هذا الفصل .

١ – يمكن اعتبار دوائر NMOS مجموعة جزئية من دوائر CMOS ورغم أن الدوائر المتكاملة الرقمية NMOS لا تُستخدم اليوم إلا أنها تُعَدُّ اختيارا متاحا لتصميم الدوائر مع دوائر CMOS . ويمكن لمصمم الدوائر أن يستخدم تكنولوجيا CMOS لتصميم كلى النوعين من الدوائر بحيث يعملان فى نمط استاتيكى أو ديناميكى . وتسمح دوائر CMOS بتبديد قدرة أقل على حساب مساحة سيليكون أكبر . وعند ترددات التشغيل المنخفضة يكون تبديد القدرة فى دوائر CMOS عدة نانو واتات (few nanowatts) .

وفى دوائر NMOS الاستاتيكية وبسبب المسار ت م قد يكون تبديد القدرة نحو عشرات الميكروواتات ويتحكم فى التشغيل عند الترددات المنخفضة وعندما يصبح تبديد القدرة الديناميكى $CV_1^2 f$ هو العامل المسيطر ، فإن قيمة تبديد القدرة الكلى لأى من نوعى الدوائر تصبح قريبة من قيمته فى النوع الآخر .

٢ – تبديد القدرة ت م فى دوائر NMOS الاستاتيكية يمكن التخلص منه فى الدوائر الديناميكية على حساب دوائر توقيت فوقية (زائدة) أكبر (higher overhead clocking circuitry) . وبالمثل فإن مساحة السيليكون الكبيرة فى دوائر CMOS الاستاتيكية يمكن تقليلها فى الدوائر الديناميكية على حساب دوائر توقيت فوقية أكبر . ويمكن استخدام الشكل التكوينى المنطقى NMOS بالنمط التيـــارى (NMOS current-mode logic configuration) لتشغيل الدائرة بقدرة حث عالية وتفريع كبير عند المخرج .

٣ – عند تصميم التشغيل الذاتى (التلقائى / الأوتوماتى / الأوتوماتيكى) (design automation)(DA) يكون من الأسهل التعامل مع دوائر NMOS و CMOS الاستاتيكية ، حيث أن الدوائر الديناميكية حساسة لتأثيرات التحميل وهذا يضع قيودا على أدوات التشغيل الذاتى . وتعد التركيبات البنائية (التوبولوجيات) لدوائر CMOS أكثر تعقيدا منها لدوائر NMOS وليس من السهل عموما استخدامها فى أدوات التخطيط العام للتشغيل الذاتى عند التصميم (design automation layout tools) . وبالتالى فمن الضرورى عمل خطوات ابتكارية عند تصميم تركيبات المخطط العام (layout structures) والخطط الأرضية (floor plans) لأدوات CMOS DA وذلك لتجنب السرعة البطيئة للتشغيل والمساحة الكبيرة للسيليكون . وتعد دوائر CMOS الديناميكية من الدوائر المرشحة لمثل هذه الأدوات نظرا لأن تركيبها البنائى العام أبسط .

٤ – الحصانة العالية ضد الضوضاء (high noise immunity) لدوائر CMOS والتى قد تقترب من نصف منبع القدرة تشجّع كثيرا على استخدام دوائر CMOS فى أوساط النظم الضوضائية كما فى الكترونيات السيارات مثلا . كما تشجع متطلبات المنبع ذى القدرة المنخفضة على استخدام دوائر CMOS فى الأوساط الالكترونيـــة القابلـــة للنقـــل (portable electronic environments) .

٥ – يُتوقع لدوائر BiCMOS أن تفوق غيرها فى الاستخدامات فى التسعينات عن طريق تقديم أفضل ما فى كل من دوائر CMOS والدوائر ثنائية القطبية . وهذا سيجعل طرق الدوائر ثنائية القطبية جزءا من تصميم دوائر BiCMOS . وتعد المقايضات بين الأداء وكل من المساحة وتبديد القدرة فى دوائر BiCMOS من التحديات التى تواجه مصممى الدوائر .

٦ – أحد النماذج (models) الرقمية البسيطة لترانزستور MOS أنه مفتاح (switch) ، إما مفتوح أو مغلق ، يمكن التحكم فيه بواسطة جهد البوابة . وتعد مقاومة التعطيل (off resistance) لهذا المفتاح بين المصب والمصدر عالية جدا وقريبة من الدائرة المفتوحة . ويمكن تقليل مقاومة التوصيل (on resistance) بزيادة النسبة (W / L) للترانزستور أو بزيادة جهد البوابة .

وقيمة جهد البوابة المطلوب لتشغيل أو تعطيل الترانزستور هى V_T وتعد دالة فى وسطاء (بارامترات) العملية (process) وانحياز طبقة القوام V_{BB} ، وعموما جهد المصدر والمصب V_{DS} . ويمكن التحكم فى الجهد V_T بواسطة الزرع الأيونى لقناة MOS . وهكذا فإن مصمم دائرة MOS يستطيع أن يختار من ترانزستورات MOS بقيم مختلفة للجهد V_T .

٧ – يعد تيار المصب I_{DS} لترانزستور MOS دالة فى جهود التشغيل . ولقيم أقل من V_T يسمح ترانزستور MOS بقيمة « صغيرة » للتيار I_{DS} بالفيضان ، وفى هذه المنطقة يزيد التيار I_{DS} أسيًّا مع كل من V_{DS} و V_{GS} . وتسمى منطقة التشغيل هذه « منطقة أسفل العتبة » (subthreshold region) ،

وتكون قيمة I_{DS} أصغر بكثير منها لو كان V_{GS} أكبر من V_T . وأما للقيم أكبر من V_T ، فإن I_{DS} يكون دالة فى ($V_{GS} - V_T$) و V_{DS} . ولقيم V_{DS} الصغيرة جدا حيث $V_{DS} << (V_{GS} - V_T)$ فإن I_{DS} يكون تقريبا متناسبا طرديا مع حاصل الضرب V_{DS} ($V_{GS} - V_T$) . وكلما ازداد V_{DS} أصبح I_{DS} أقل اعتمادا على V_{DS} ، و « يتشبَّع » I_{DS} تقريبا للقيم $V_{DS} \geq (V_{GS} - V_T)$ أى أن معدل تغير I_{DS} بالنسبة للجهد V_{DS} يقل . وهذه تسمى منطقة التشبع . ولنفس قيمة V_T ونفس جهود التشغيل ، فإن I_{DS} يكون متناسبا طرديا مع (W/L) .

٨ – من المفيد إعادة صياغة النقطة السابقة [رقم (٧)] من وجهة نظر أخرى بالأخذ فى الاعتبار انخفاض الجهد عبر طرفى المصدر والبوابة (gate-source terminals) V_{GS} المطلوب لقيمة I_{DS} معطاة . للقيم أكبر من V_T فإن V_{GS} المطلوب يساوى مجموع V_T والحدود المعتمدة على التيار (current dependent terms) . ويمكن جعل هذه الحدود صغيرة بزيادة النسبة (W/L) أو بتقليل تيار التشغيل فمثلا فى منطقة التشبع يعطَى V_{GS} بالعلاقة :

$$V_{GS} = V_T + \left[\frac{2I_{DS}}{\beta}\right]^{1/2}$$

٩ – إذا وصِّلت بوابة ترانزستور NMOS من النوع التحسينى بمصبه فإن النبيطة ثنائية الطرف (two terminal device) الناتجة تقوم بالتوصيل فى اتجاه واحد بطريقة شبيهة بالصمام الثنائى ، وبالخاصية I - V ذات القانون التربيعى

$$I = \frac{K'}{2}\left[\frac{W}{L}\right](V - V_T)^2$$

ومن ناحية أخرى إذا وصلت بوابة ترانزستور NMOS من النوع الاستنزافى بمصدره فإن النبيطة ثنائية الطرف الناتجة تقوم بالتوصيل فى الاتجاهين . ولقيم V الموجبة الصغيرة فإن النبيطة تعمل كمقاومة غير خطية مُعَدَّلة (modulated nonlinear resistance) ، ولقيم V الموجبة الكبيرة فإنها تعمل كمصدر تيارى . ولقيم V السالبة فإنها توصِّل بطريقة شبيهة

بالصمام الثنائى وبخاصية I-V ذات قانون تربيعى مثل حالة الترانزستور من النوع التحسينى .

١٠ – أثناء تشغيل دوائر MOS الرقمية الاستاتيكية فإن العقدة المنطقية للمخرج إما أن تُجذب لأعلى نحو V_{DD} خلال مقاومات متعددة للجذب لأعلى (pull-up polyresistors) أو ترانزستورات حمل (load transistors) MOS ، أو أن تُجذب لأسفل نحو الأرض خلال دوائر حث MOS للجذب لأسفل ، وفى دوائر NMOS تكون ترانزستورات الحمل MOS للجذب لأعلى إما من النوع التحسينى أو الاستنزافى ، بينما فى دوائر CMOS ، تكون عبارة عن ترانزستورات PMOS من النوع التحسينى . وهذا الشكل التكوينى لدائرة MOS يُطلق عليه الشكل التكوينى للجذب لأعلى والجذب لأسفل [pull-up pull-down (PUD) configuration] .

وفى دوائر NMOS بالأحمال من النوع الاستنزافى يكون مسار الدائرة للجذب لأسفل أقوى "stronger" من مسار الجذب لأعلى ، وبالتالى يكون للجهد V_0 المدى $0.1 \rightarrow 0.05\ V_{DD}$ بينما $V_1 \simeq V_{DD}$. إلا أنه فى دوائر CMOS تكون قُوَى "strenghs" الدوائر للجذب لأعلى والجذب لأسفل عادة متساوية و $V_0 \simeq 0$ و $V_1 \simeq V_{DD}$.

(١١) لا يقتصر تأثير مسارات دائرة الجذب لأعلى والجذب لأسفل فى بوابات MOS الاستاتيكية على V_0 و V_1 فحسب ولكنها تؤثر أيضا على t_{ch} و t_{dis} بحيث تؤثر على متوسطى قيمتى التيارين المتوفرين $\overline{I}_{ch}$ و $\overline{I}_{dis}$ لشحن وتفريغ سعة عقدة المخرج C_L . ونظرا لأن ترانزستورات MOS لا تعانى من تأثيرات خزن الشحنة (charge storage effects) – كما هو الحال فى الترانزستورات ثنائية القطبية – فإنه يمكن التعبير عن الزمنين t_{ch} و t_{dis} ببساطة بالتعبيرين $V_t C_L / I_{ch}$ و $V_t C_L / I_{dis}$ على الترتيب .

(١٢) بالإضافة إلى المقاومات المتعددة وترانزستورات NMOS و PMOS ذات

قيم V_T المختلفة فإن عناصر الدائرة الأخرى التى قد تكون متوفرة لدى مصممى الدوائر الرقمية MOS فى تكنولوجيا معطاة هى : الترانزستورات ثنائية القطبية npn , pnp ، والسعات MOS التى تتكون بين البوابات وقنوات MOS ، والسعات ذات السيليكون المتعدد (poly capacitances) التى تتكون بين طبقتين من السيليكون المتعدد أو بين السيليكون المتعدد والمعدن .

(١٣) يمكن ترتيب الترانزستورات والسعات لتنفيذ الدوائر الديناميكية , NMOS CMOS , BiCMOS التى يُتحكم فيها بواسطة ساعات متعددة الأطوار حيث تُخزَّن المعلومات على سعات (مكثفات) .

(١٤) فى دوائر MOS وخاصة الديناميكية ، وفى دوائر CMOS و BiCMOS يمكن أن يكون تبديد القدرة العابر $CV_t^2 f$ مركبة هامة فى تبديد القدرة الكلى .

الفصل الخامس

النظم الفرعية الرقمية LSI / VLSI

Digital LSI / VLSI Subsystems

٥ - ١ تمهيـــد

إذا أُعطينا نظاما فرعيا رقميا ، فهل الأفضل تنفيذه باستخدام وحدات بناء SSI (building units) أم MSI أم LSI/VLSI ؟ تعتمد الإجابة على هذا السؤال على عدة عوامل : مدى التعقيد الكلى فى النظام (overall system complexity) ، وعدد الأنظمة الفرعية التى يمكن أن تستفيد من LSI ، ومدى مطابقة تكنولوجيا الدوائر المتكاملة المعطاة لأحدث التطورات الفنية وتأثيرها على إمكانية التطوير وتكاليف الإنتاج . ومن الواضح أن الإجابة تشتمل أيضا على ما يمكن أن تقدمه LSI/VLSI فى المستقبل . إلا أنه يمكننا عموما القول بأن LSI/VLSI لها القدرة على تحسين الأداء (improved performance) والوثوقية (reliability) مع تكاليف أقل (reduced cost) . وهذه المكاسب لا تعتمد فقط على تكنولوجيا LSI المستخدمة ، وإنما تعتمد أيضا على أسلوب بناء النظام وتجزيئة (system architecture and its partition) .

ويتبع التصميم الرقمى باستخدام وحدات البناء SSI , MSI القياسية ، وحتى وحدات البناء LSI القياسية ، قيودا وتحفظات (constraints) معينة مختلفة عن تلك التى يفرضها استخدام شرائح LSI/VLSI . فمثلا فى التصميم بالطريقة الأولى تُعد مركّبة (مكوّنة) العد (component count) شيئا هاما ، بينما فى الطريقة الثانية يُستبدل بها مساحة سيليكون . ويمكن لوحدة البناء الأساسية فى الطريقة الثانية أن تأخذ عددا كبيرا من الأشكال ، فيمكن أن تكون بسيطة كترانزستور متعدد البواعث أو معقدة كوحدة الحساب والمنطق ALU . وكذلك تختلف طرق البحث عن الحل الأمثل (optimization techniques) و « حِيَل دوائر النظم الفرعية » (subsystem-circuit tricks) فى كلى الطريقتين . فمثلا يُعد استخدام وحدة ذاكرة منفصلة عن وحدة التشغيل شيئا ضروريا فى تجزئة النظام (system partitioning) عند

التصميم باستخدام المركبات القياسية ، بينما قد يكون من الأفيد دمج وظيفتى الذاكرة والمنطق معا عند التصميم باستخدام شرائح LSI/VLSI .

والقصد من الفصل الحالى التركيز على بعض اعتبارات استخدام شرائح LSI ، مع اعطاء بعض أمثلة التصميم .

٥ – ٢ تصميم النظام الفرعى باستخدام LSI/VLSI

Subsystem Design For LSI/VLSI

ارتبط التقييم المستمر للدوائر المتكاملة الرقمية نحو درجة أعلى من التكامل بزيادة فى الأداء . وقد أدى هذا إلى منح مصمم الدائرة فرصة لمكاملة النظم الفرعية الرقمية أو حتى النظم الكاملة (complete systems) على شريحة سيليكون . ويمكن تجميع استخدامات أو تطبيقات VLSI فى تصميم النظم الفرعية فى تكامل :

١ – شرائح الذاكرة ذات السعة الكبيرة (large capacity memory cells) . [انظر المرجعين 2,3] .

٢ – النظم الفرعية لتشغيل (معالجة) البيانات (Data Processing Sybsystems) . [انظر المرجعين 4,5] .

٣ – النظم الفرعية لمعالجة (تشغيل) الإشارات (Signal Processing subsystems) . [انظر المراجع 6-10] .

وحديثاً ظهر تأثير دوائر VLSI – من ناحية الأداء ومساحة السيليكون – فى مجال معالجة الإشارات . والطلب على معالجة الإشارات يفوق الطلب على تشغيل البيانات أو الذاكرات ، وذلك لأن معالجة الإشارات تستلزم عمليات (تشغيل) فى الوقت الحقيقى (real-time operations) عند معدلات عالية من البيانات (at high data rates) ، كما أن تشغيل البيانات يشتمل على تكامل عمليات بدائية بسيطة نسبيا (مثل : اجمع واطرح واحجب وقارن) (add, subtract, mask, compare) بينما تشتمل معالجة الإشارات على تكامل عمليات بدائية أكبر (مثل الضرب) (multipliers) . ونظرا لطبيعة معالجة الإشارات فيوجد عدد قليل من عمليات القفز

المعتمدة على البيانات (data-dependent jump operations) . وهذا يؤثر على اختيار أسلوب بناء النظام (system architecture) فمثلا يمكن استخدام التنفيذ على خط تعليمات (pipelining) كما سنوضح هذا فى البند ٥ – ٣ .

وفى مجال معالجة البيانات أدى استخدام VLSI إلى تحسين أسلوب بناء الحاسب (computer architecture) وخاصة على مستوى الحاسبات الصغيرة (الدقيقة) (microcomputers) أو المشغِّلات الدقيقة (microprocessors) . فمثلا يؤدى دمج وظيفتى الحساب والذاكرة (arithmetic and memory functions) على شريحة واحدة إلى إلغاء الحاجة إلى تمرير بيانات (passing data) خارج الشريحة (off-chip) للوصول للذاكرة (to access memory) . وهذا التقليل فى متطلبات نقل البيانات يؤدى لاشك إلى تحسين أداء النظام وتقليل أطراف توصيل الإدخال والإخراج (I/O pins) . وبالإضافة إلى ذلك فإن دمج وظائف الحساب والمنطق والذاكرة فى كل خلية من منظومة تشغيل بيانات (data-processing array) يعطى منظومة تركيبية (نمطية – أى مركّبة من وحدات متكررة) (modular array) مناسبة لدوائر VLSI وسنشرح هذا فى البند التالى .

٥ – ٣ منظومات المنطق فى الذاكرة

Logic - In - Memory (LIM) Arrays

من الوسائل التى تستخدم للحصول على تشغيل ذى سرعة عالية (high-speed proccessing) دمج وظيفتى المنطق والذاكرة فى وحدات بناء أساسية (basic building blocks) . وتُرتَّب هذه الوحدات فى منظومات منتظمة (regular arrays) تسمى عادة منظومات المنطق فى الذاكرة (LIM arrays) (انظر المراجع 15-21) . ويمكننا اعتبار مثل هذه المنظومة إما منظومة ذاكرة مُحَسَّنة منطقيا (logically enhanced memory array) أو منظومة منطق (logic array) يمكن برمجة خلاياها لتنفيذ وظيفة منطقية مرغوب فيها . وأهم ميزة لهذه المنظومات هى مناسبتها لدوائر VLSI, LSI بسبب البناء التركيبى النمطى العالى (highly modular structure) لهذه المنظومات ، وكذلك لأن الماكينات الرقمية (digital machines) يمكن بناؤها باستخدام أنواع قليلة من هذه

المنظومات (انظر المرجع 22) . وبالإضافة إلى هذا فإن هذه المنظومات لها الخصائص التالية :

(١) مرونة الوظيفة أو الدالة (Function Flexibility)

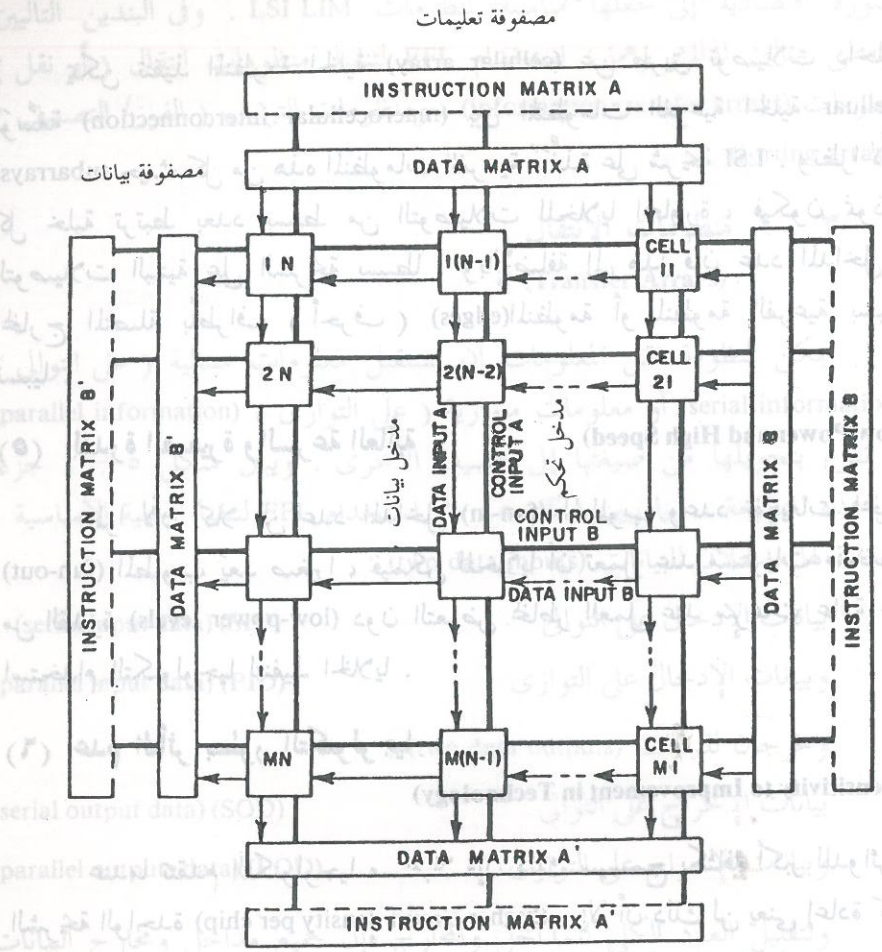
يبين شكل ٥ – ١ صيغة عامة لمنظومة LIM أساسية يمكن استخدامها فى عمليات نقل البيانات أو تشغيل البيانات . وتتكون المنظومة من N عمود و M صف ، وقد أُعطيت كل خلية علامة (label) أو رقما مميزا مزدوجا يشير إلى رقمى الصف والعمود . وللخلية مجموعتان من المداخل : مداخل التحكم (control inputs) ومداخل البيانات (data inputs) . وتحدِّد مداخل التحكم صيغة تشغيل (mode of operation) كل خلية ، بينما تقوم مداخل البيانات بحمل البيانات لتشغيلها . وتُجزَّأ مجموعة مداخل التحكم إلى مجموعتين A و B لمعلومات الإدخال والإخراج. وتُوصَّل مداخل التحكم الخاصة بالخلايا التى على الحدود (boundary cells) بمصفوفة تعليمات (instruction matrix) ، بينما توصل مداخل البيانات بمصفوفة بيانات (data matrix) . ويتم تنفيذ هذه المصفوفات باستخدام ذاكرات للقراءة فقط (read-only memories) (ROMs) ويمكن تغيير وظيفة كل خلية ، وبالتالى وظيفة المنظومة ، بتغيير محتويات مصفوفة التعليمات . وهكذا فإن الخلية التى تعمل مثلا كجهاز جمع كامل (full-adder) فى صيغة ما ، يمكن أن تعمل كمرحلة عداد (counter stage) فى صيغة أخرى .

(٢) القابلية للاختبار (Testability)

نظرا لطبيعة التركيب المنتظم (regular structure) لمنظومات LIM فاختبار هذه المنظومات لاكتشاف الأخطاء وتشخيصها (testing for faults and diagnosing) أسهل بكثير منه فى حالة الشبكات المركبة (constructed networks) التى تحتوى على نفس العدد من العناصر (انظر المرجعين 24,25) .

(٣) تجنب الأخطاء وتفاديها (Fault Accomodation)

بسبب المرونة التى أشرنا إليها فى الخاصية الأولى (رقم (١)) يمكننا غالبا تجنب الخلايا المعزولة التى حدث بها الخلل (الخطأ/ العطب) (isolated faulty cells) فى منظومة ، عن طريق برمجة الخلايا المجاورة كى تتجنب أى اتصال نشيط (active connection) بهذه الخلايا ذات الخلل .



شكل ٥ – ١

صيغة عامة لمنظومة LIM [المنطق – فى الذاكرة (logic-in-memory) . وتُغَيَّر وظيفة كل خلية LIM باستخدام محتويات مصفوفتى التعليمات A,B . بيانات الإدخال تحتويها مصفوفتا البيانات A,B ، بينما بيانات الإخراج تحتويها مصفوفتا البيانات B و A .

(٤) إمكانية التوصيلات الداخلية بين المنظومات الفرعية

(Subarray Interconnectability)

يمكن تنفيذ المنظومة الخلية (cellular array) عن طريق توصيلات داخلية مُوَسَّعة (macrocellular interconnection) بين المنظومات الفرعية الخلية (celluar subarrays) حيث كل من هذه المنظومات الفرعية مُنَفَّذة على شريحة LSI . ونظرا لأن كل خلية ترتبط بعدد بسيط من التوصيلات للخلايا المجاورة ، فيكون نموذج التوصيلات البينية على الشريحة بسيطا . وبالإضافة إلى هذا فإن عدد المداخل / المخارج المتصلة بأطراف (أحرف) (edges)المنظومة أو المنظومة الفرعية بسيط نسبيا .

(٥) القدرة الصغيرة والسرعة العالية

(Low Power and High Speed)

نظرا لأن كلا من عدد المداخل (fan-in) المطلوب وعدد تفريعات المخرج (fan-out) المطلوب يُعد صغيرا ، فيمكن للخلايا أن تعمل عند مستويات منخفضة من القدرة (low-power levels) دون التعرض لمخاطر العمل عند سرعات عالية عند استخدام التكنولوجيا لتنفيذ الخلايا .

(٦) عدم التأثر بتطور التكنولوجيا

(Insensitivity to Improvement in Technology)

عندما تتقدم التكنولوجيا مستقبلا فإن ذلك سيسمح بكثافة أكبر للدوائر فى الشريحة الواحدة (higher circuit density per chip) ، إلا أن ذلك لن يعنى إعادة كاملة لتصميم النظام الرقمى المبنى على ترتيب المنظومات (array-organized digital system) ، وإنما يتطلب فقط استخدام عدد أصغر من المنظومات الفرعية (الشرائح) فى بناء منظومات كاملة .

(٧) الجهد البسيط فى التصميم

(Simplified Design Effort)

نظرا لأن كل منظومة فرعية تتكون من تكرار خلية واحدة بسيطة نسبيا ، فيمكن تركيز كل جهد التصميم على بناء وتركيب دائرة هذه الخلية وذلك بالنسبة لاعتبارات السرعة ومساحة السيليكون والتسامح .... الخ .

وقد أدت قدرة الدوائر المنطقية EFL على تنفيذ وظائف الذاكرة والمنطق بصورة اقتصادية إلى جعلها مناسبة لمنظومات LSI LIM . وفى البندين التاليين سنعطى مثالين لذلك وهما : استخدام EFL لتنفيذ منظومات انتقال (أو نقل) المعلومات (information transfer arrays) ، ومنظومات الترتيب (الفرز/ التصنيف) (sorting arrays) .

٥ – ٣ – ١ منظومات الانتقال

(Transfer Arrays)

يمكن لمنظومة نقل المعلومات أن تستقبل معلومات متتالية (على التوالى) (serial information) أو معلومات متوازية (على التوازى) (parallel information) ثم تقوم بتحويلها من صيغتها إلى الصيغة الأخرى . ويبين شكل ٥ – ٢ جزءا من هذه المنظومة ، بينما يبين شكل ٥ – ٣ استخدام EFL لتنفيذ الخلية الأساسية . والخلية لها مدخلان للبيانات (two data inputs) :

بيانات الإدخال على التوالى (serial input data) (SID)

وبيانات الإدخال على التوازى (parallel input data) (PID)

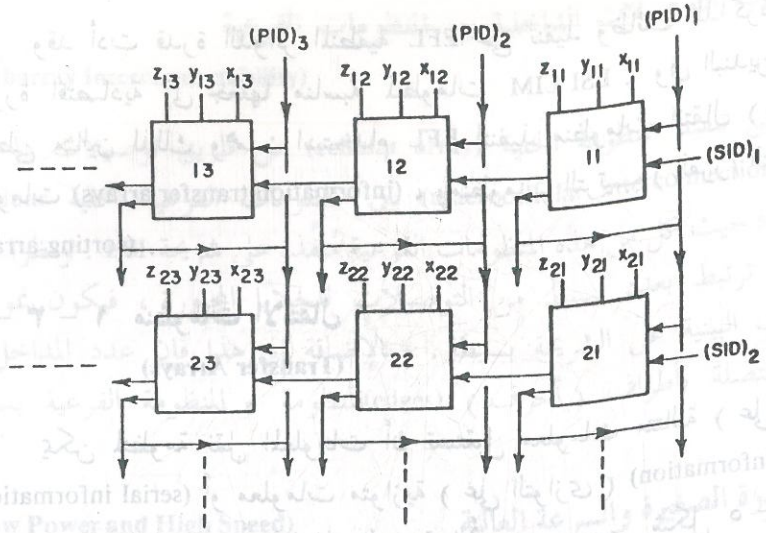
ومخرجان للبيانات (two data outputs) :

بيانات الإخراج على التوالى (serial output data) (SOD)

وبيانات الإخراج على التوازى (parallel outputs data) (POD)

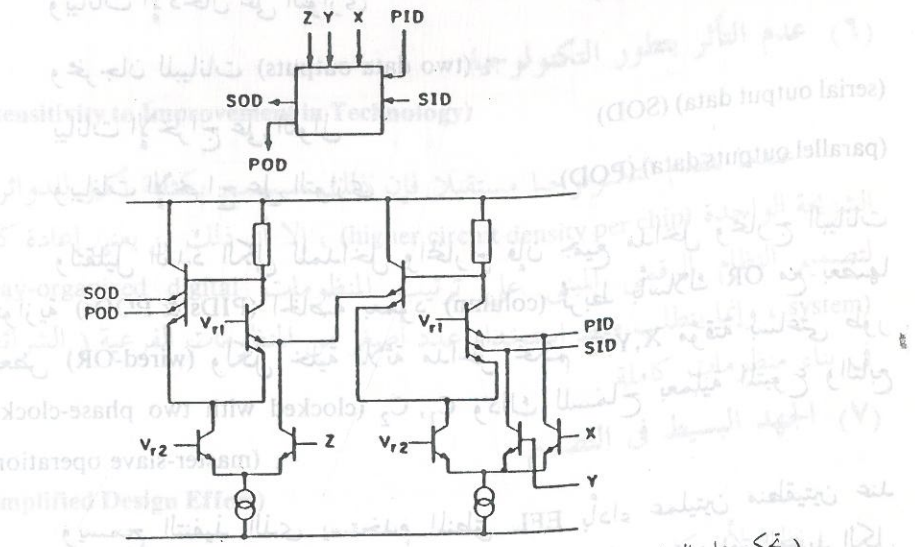
ولتقليل العدد الكلى للمداخل والمخارج فإن جميع مداخل ومخارج البيانات المتوازية (PIDs & PODs) الخاصة بعمود (column) تُربط بأسلاك OR مع بعضها البعض (wired-OR) ولكل خلية ثلاثة مداخل تحكم X,Y,Z مؤقتة بساعتى طور (clocked with two phase-clocks) C_1, C_2 وذلك للسماح بعملية المتبوع والتابع (master-slave operation) .

ويسمح التنفيذ الذى يستخدم المنطق EFL بأداء عمليتين منطقيتين عند المتبوع (master) وعملية منطقية واحدة عند التابع (slave) بدون زيادة التبديد الكلى للقدرة (total power dissipation) أو مساحة السيليكون .



شكل ٥ – ٢

منظومة نقل المعلومات للإدخال على التوالى أو على التوازى وللإخراج على التوالى أو على التوازى



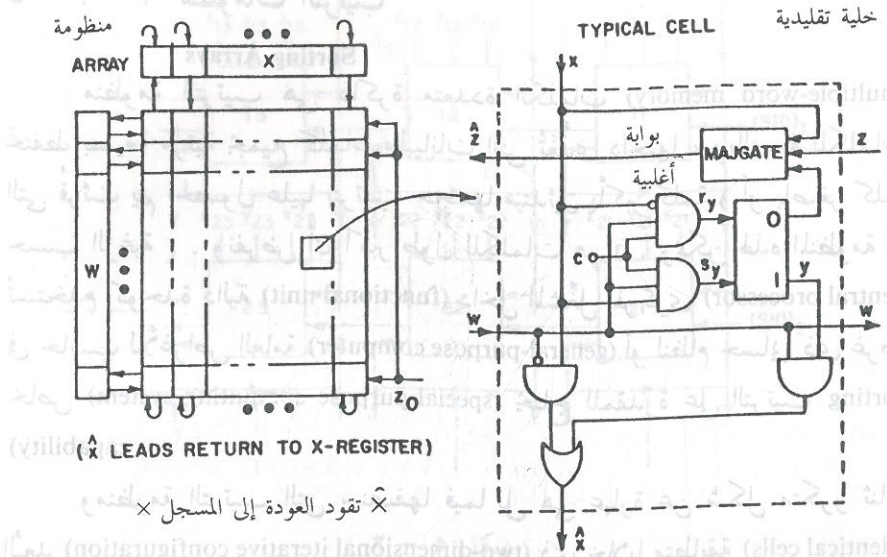
شكل ٥ – ٣ خلية EFL لمنظومة نقل المعلومات

٥ – ٣ – ٢ منظومات الترتيب

Sorting Arrays

منظومة الترتيب هى ذاكرة متعددة الكلمات (multiple-word memory) تحتفظ بصيغة مرتبة بجميع كلمات البيانات التى تُغَذَّى داخلها ، وبالنسبة للكلمات التى قُرئت يتم الحصول عليها بترتيب حجمها مبتدئين بأكبر كلمة (أو بأصغر كلمة حسب الرغبة) . ونفرض أن أكبر طول للكلمات هو n . ويمكن لهذه المنظومة أن تُستخدم كوحدة دالية (functional unit) داخل المشغِّل المركزى (central processor) فى حاسب للأغراض العامة (general-purpose computer) أو لنظام حسابى ذى غرض خاص (special-purpose computing system) يحتاج للمقدرة على الترتيب (sorting capability) .

ومنظومة الترتيب التى سنصفها فيما يلى هى عبارة عن شكل متكرر ثنائى البُعد (two-dimensional iterative configuration) ذى خلايا متطابقة (identical cells) كل منها عبارة عن دائرة منطقية تتابعية بسيطة (simple sequential logic circuit) [انظر المرجع رقم 27] . وكل خلية متصلة فقط بالخلايا المجاورة لها مباشرة ، بينما الخلايا التى حول أطراف (edges) المنظومة متصلة بإشارات ثابتة (fixed signals) أو بمسجلات . ويبين شكل ٥ – ٤ شكل المنظومة مع مسجِّل إدخال/إخراج X (input-output register) ومسجل W لاختيار الكلمة (word-selected register) . وتتصل جميع أطراف الإدخال للخلايا (cell input terminals) الموجودة على الجانب الأيمن للمنظومة بإشارة منطقية Z_0 (مثبتة عادة عند 1) بينما تعمل المخارج المشار إليها بالرمز Z على الجانب الأيسر للمنظومة كمداخل لمراحل (stages) المسجِّل W . وتحتوى كل خلية على دائرة قلابة – يُرمز لمحتواها بالرمز Y – بحيث يمكن لمجموعة الدوائر القلابة (وعددها n) فى أى صف من صفوف (rows) المنظومة (وعددها N) أن تُستخدم لتخزين كلمة واحدة من n رقم (n-digit word) . ويفترض أن تكون هذه الكلمات فى صيغة مشفَّرة (encoded) ، كأن تكون مثلا فى صيغة نظام الأعداد العشرى الثنائى (أى العشرى المكوَّد ثنائيا) (binary-coded decimal number system) ، حيث الأرقام ذات أكبر قيمة معنوية (most significant digits) عند الأطراف اليسرى للكلمات ، ومع استخدام نظام مكمِّل –١ أو مكمِّل –٢ لتمثيل الأعداد السالبة ، مع اعتبار أن شفرة الإشارة السالبة هى صفر "0" فى أقصى يسار الكلمة .



x̂ تقود العودة إلى المسجل x

(ب) (أ)

شكل ٥ – ٤

منظومة ترتيب ذات خلايا

وتُعامَل الكلمة بأكملها كوحدة واحدة أثناء عمليات الإدخال والإخراج والترتيب . وتتكون الدورة الواحدة من العمليات فى المنظومة من خطوتين :

١ – خطوة مقارنة (comparison step) : وفيها تُقارَن الكلمة X الموجودة فى المسجِّل X آنيا مع الـ N كلمة المخزونة فى صفوف المنظومة ، ثم يوضع ''1'' فى المسجِّل W فى الصفوف التى تكون كلماتها (بما فى ذلك الكلمات الفارغة blank words) أصغر أو مساوية للكلمة X ، بينما يوضع ''0'' فى المسجل W فى الصفوف التى تكون كلماتها أكبر من الكلمة X .

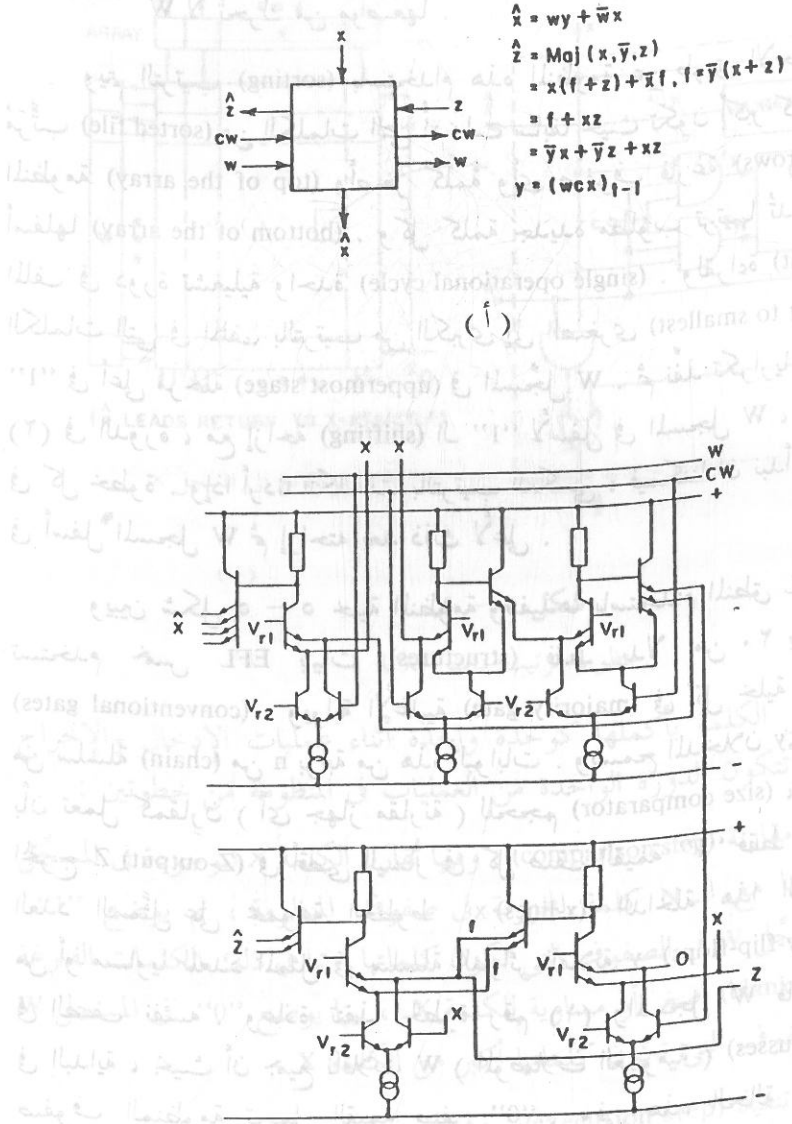
٢ – خطوة تنفيذ (execution step) : وفيها

(أ) مجموعة جميع الكلمات المخزونة فى المجموعة الجزئية (subset) أو الصفوف التى فيها ''1'' فى المسجل W تُحرَّك لأسفل مسافة صف واحد فى داخل المجموعة ، بينما الكلمة الموجودة فى المسجِّل X تُنسخ فى أعلى صف .

(ب) أسفل كلمة تُنسخ فى المسجل X . والكلمات التى فيها ''0'' فى المسجل W لا تُحرك من موضعها .

ويتم الترتيب (sorting) باستخدام هذه المنظومة عن طريق الاحتفاظ بملف مُرَتَّب (sorted file) من الكلمات التى أُدخلت سابقا حيث تكون أكبر كلمة فى أعلى المنظومة (top of the array) وأصغر كلمة وأى صفوف فارغة (blank rows) فى أسفلها (bottom of the array) . وكل كلمة جديدة مطلوب ترتيبها تُدخل فى هذا الملف فى دورة تشغيلية واحدة (single operational cycle) . ولقراءة (reading out) الكلمات التى فى الملف بالترتيب من الكبرى إلى الصغرى (largest to smallest) ضع ''1'' فى أعلى مرحلة (uppermost stage) فى المسجِّل W . ثم نفِّذ تكراريا الخطوة رقم (٢) فى الدورة ، مع إزاحة (shifting) الـ ''1'' لأسفل فى المسجل W ، صفا واحدا فى كل خطوة . وإذا أردنا الكلمات بالترتيب العكسى ، فيمكننا أن نبدأ بوضع ''1'' فى أسفل المسجل W ثم إزاحته بعد ذلك لأعلى .

ويبين شكل ٥ – ٥ خلية المنظومة وتنفيذها باستخدام المنطق EFL ، حيث تستخدم خمس EFL بنيات (structures) فقط بدلا من ٢٠ بوابة معتادة (conventional gates) . وبوابة الأغلبية (majority gate) فى كل خلية تكوِّن جزءا من سلسلة (chain) من n بوابة من هذه البوابات . ويسمح المدخلان x,y لهذه البوابة بأن تعمل كمقارِن (أى جهاز مقارنة) للحجم (size comparator) ، بحيث يأخذ المخرج Z (Z-output) فى أقصى اليسار فى كل صف القيمة ''1'' فقط عندما يكون العدد الممثَّل على مجموعة الخطوط x (x-lines) الداخلة هذا الصف أصغر من أو مساويا للعدد الممثل فى سلسلة الدوائر القلابة y (cascade of y-flip-flops) فى الصف نفسه . وعادة تنفذ الخطوة رقم (١) والمسجل W فارغ (empty) فى البداية ، بحيث أن جميع ناقلات W (الموصلات العمومية) (w busses) فى جميع صفوف المنظومة تحمل القيمة صفر ''0'' . وفى هذه الحالة فإن المخرج x(x-output) فى كل خلية يحمل نفس قيمة المدخل x(x-input) وبذلك فإن $x = \hat{x}$ أى أن محتويات المسجل x تنقل لأسفل لجميع صفوف المنظومة . وكنتيجة لهذا فإن المقارنات فى الخطوة رقم (١) تُعمل بين الكلمة x وكل كلمة Y مخزونة فى المنظومة .



(أ)

(ب)

شكل ٥ – ٥

(أ) خلية منظومة الترتيب

(ب) تنفيذها باستخدام EFL

وأثناء تنفيذ الخطوة رقم (٢) نلاحظ أنه بالنسبة للصف الذى يحتوى عنده المسجل W القيمة صفر "0" يكون "0" = W ، وبالتالى فإن كل خلية فى هذا الصف تتبع فى عملها العلاقتين :

$$\hat{x} = x \quad , \qquad y = y_{i-1}$$

أى أن الصف ساكن (ثابت / استاتى) (static) ويعمل كما لو لم يكن موجودا . بينما الصف الذى يحتوى عنده المسجل W القيمة واحد "1" يكون له "1" = W ، وبالتالى فإن كل خلية تعمل تبعا للعلاقتين :

$$\hat{x} = y \, , \qquad y = (c \, x)_{t-1}$$

وهكذا فإن الكلمة المخزونة فى الدوائر القلابة فى هذا الصف تنقل إلى مجموعة خطوط x التى تمر لأسفل من هذا الصف . وبالنسبة للمنظومة ككل فإن جميع الكلمات الموجودة فى المجموعة الجزئية من الصفوف (subset of rows) والمكونة من الصفوف التى تحتوى على المسجل X والصفوف التى تحتوى على العلامة "1" فى المسجل W ، تتزحزح لأسفل دوريا (shift down cyclically) صفا واحدا (one row position) داخل هذه المجموعة الجزئية . وتملأ محتويات المسجل X الموضع العلوى (top position) ، بينما تعود محتويات أسفل صف ذى علامة (lowest-marked row) إلى المسجل X .

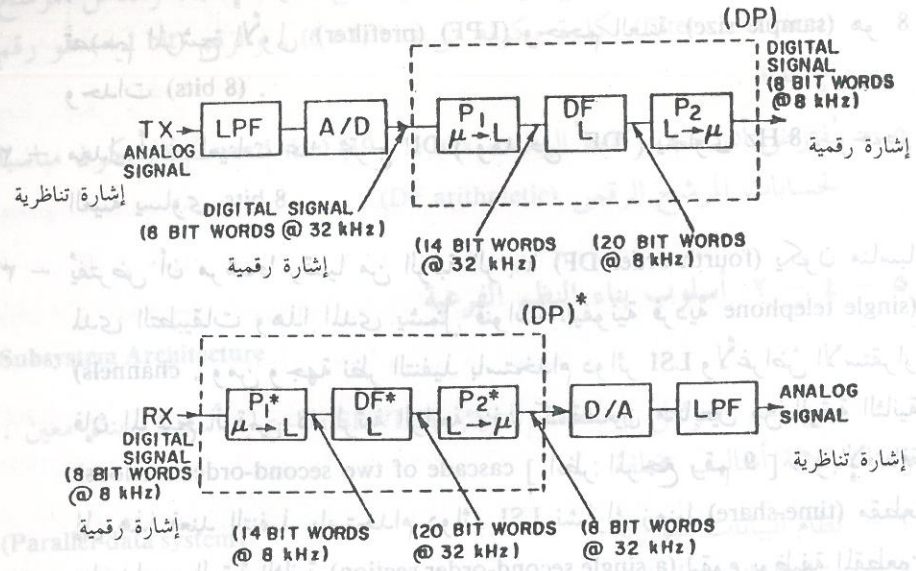
ويمكن استخدام منظومة الترتيب أيضا لتنفيذ دالة منطقية اختيارية ، كذاكرة دَفْع لأسفل (pushdown memory) (أى الداخل أخيرا هو الخارج أولا (last-in first-out) ، أو ذاكرة خازنة وسيطة (ذاكرة عازلة) (buffer memory) (أى الداخل أولا هو الخارج أولا) (first-in first-out) ، أو ذاكرة معنونة بالمحتوى (content addressed-associative - memory) [انظر المراجع أرقام 31 - 28] . واستخدام المنطق EFL فى تنفيذ هذه الأجهزة يفيد أيضا من الناحية الاقتصادية .

٥ – ٤ وحدات الترشيح الرقمية

Digital Filter Modules

من التطبيقات الرئيسية التى تستخدم فيها دوائر LSI/VLSI الرقمية استخدامها فى مجال معالجة الإشارات (signal processing) [انظر المرجعين 32,33] . وإلى زمن قريب كانت معظم مشغلات الإشارات (signal processors) تنفذ باستخدام النبائط التناظرية (analog devices) (أى الأجهزة والوسائل ذات الصبغة المتصلة أو القياسية) نظرا للتعقيد (complexity) فى المشغلات الرقمية المكافئة . وقد أدى التقدم الحديث فى دوائر LSI/VLSI إلى إمكانية تنفيذ هذه المشغلات رقميا وذلك من ناحيتي سهولة التنفيذ والعامل الاقتصادى . وبالإضافة إلى هذا فإن التنفيذ الرقمى له عدة مميزات كالاستقرار الأفضل (superior stability) والدقة الأعلى (higher accuracy) وعدم الحاجة إلى المعايرة (calibration) أو الضبط (adjustment) ، وإمكانية البرمجة لعمل أى تغييرات أو إضافات جديدة . وفى هذا البند سندرس بإذن الله تنفيذ وحدات الترشيح الرقمية باستخدام دوائر LSI ، وذلك عن طريق مناقشة مثال .

يبين شكل ٥ – ٦ مخططا سهميا لناحيتى الإرسال والاستقبال (transmitter and receiver sections) فى نظام هاتفى لصياغة الشفرة وترجمتها (coder and decoder system) ويقوم جهاز صياغة الشفرة بتحويل إشارة تناظرية (anolog signal) إلى إشارة رقمية [مفكوكة شفرتها بقانون μ أو قانون A] (or μ-law-decoded A-law-decoded) signal) [انظر المرجع رقم 34] . وقانون μ يشير إلى قانون فك الشفرة غير الخطية (nonlinear decoding law) المستخدم فى المحوِّل التناظرى الرقمى (A/D converter) لتقليل الحاجة إلى الكلمات كبيرة الحجم . ويتكون جهاز صياغة الشفرة من مرشح لإمرار الترددات المنخفضة (low-pass filter) (LPF) ، ومحوِّل تناظرى رقمى ، ومشغِّل رقمى (digital (DP) processor) . ويحتوى المشغِّل الرقمى على مرشح رقمى (digital filter) (DF) ومشغِّلين : P_1 ويسمى الموسِّع (expander) و P_2 ، ويسمى الضاغط أو الكابس (compressor) وذلك للتحويل من إشارة مفكوكة شفرتها بقانون μ (μ-decoded signal) إلى إشارة مفكوكة شفرتها خطيا (linearly decoded signal) وكذلك بالعكس . والتحويل ضرورى وذلك لأن



شكل ٥ – ٦

مخططات سهمية لأجهزة صياغة الشفرة وترجمتها عند
المُرْسِل TX والمستقبل RX فى نظام هاتفى .

الوحدة الرقمية (digital block) تعمل بالشفرات الخطية (linear codes) . ويمكن شرح المخطط السهمى للمستقبِل بطريقة مماثلة . ومن الممكن بالنسبة لكل من الوحدتين DP , DP* أن يكون لهما نفس تنفيذ الدائرة المتكاملة LSI ، ولا يختلفان إلا فى القناع المعدنى (metalization mask) النهائى فقط .

٥ – ٤ – ١ مواصفات النظام الفرعى

Subsystem Specifications

سندرس فيما يلى تنفيذ الوحدتين DP , DP* باستخدام دوائر LSI . والمعلومات التالية تخص نظاما عاما .

١ – معدل أخذ العينات (sampling rate) عند مدخل DP (ومخرج DP*) هو 32 kHz . وتؤخذ هذه القيمة أكبر من أقل معدل لأخذ العينات (minimum sampling rate) وهو 8 Hz [والذى يساوى ضعف عرض النطاق الترددى

(bandwidth) للإشارة قيد البحث] حتى تكون هناك فسحة فى متطلبات تصميم المرشح الأولى (prefilter) (LPF) وحجم العينة (sample size) هو 8 وحدات (8 bits) .

٢ – معدل أخذ العينات عند مخرج DP (ومدخل DP*) يساوى 8 Hz . وحجم العينة يساوى 8 bits .

٣ – يُفترض أن مرشحا رقميا من الرتبة الرابعة (fourth-order DF) يكون مناسبا لمدى التطبيقات وهذا المدى يشمل قنوات تليفونية فردية (single telephone channels) . ومن وجهة نظر التنفيذ باستخدام دوائر LSI ولأغراض الاستقرار فإن المرشح الرقمى ذا الرتبة الرابعة ينفذ كمقطعين متتابعين من الرتبة الثانية (cascade of two second-order sections) [انظر المرجع رقم 9] . وبالإضافة إلى هذا فعند التنفيذ باستخدام دوائر LSI نشارك زمنيا (time-share) مقطعا واحدا من الرتبة الثانية (a single second-order section) ليقوم بوظيفة المقطعين من الرتبة الثانية .

٤ – دالة الانتقال الكلى (overall transfer function) للمرشح من الرتبة الرابعة الذى نتكلم عنه تُعطَى فى المجال Z (Z-domain) بالعلاقة التالية :

$$T(z) = K_1 \left(\frac{1 - a_{11} z^{-1} + a_{12} z^{-2}}{1 - b_{11} z^{-1} + b_{12} z^{-2}} \right) K_2 \left(\frac{1 - a_{21} z^{-1} + a_{22} z^{-2}}{1 - b_{21} z^{-1} + b_{22} z^{-2}} \right)$$

حيث K_1 , K_2 : عاملان قياسيان (لتغيير الأبعاد) (scaling factors) ، والثوابت a_{ij}'s : معاملات المرشح (filter coefficients) [انظر المرجع رقم 7] . ويختار حجم هذه الكلمات بناء على القيم العظمى (max. values) فمثلا عندما يكون :

$$k_1 = \frac{3}{16} , k_2 = \frac{11}{16} , a_{11} = 1 , a_{12} = 1 , b_{11} = \frac{39}{32}$$

$$b_{12} = \frac{13}{32} , a_{21} = \frac{21}{32} , a_{22} = 1 , b_{21} = \frac{23}{16} , b_{22} = \frac{29}{32}$$

يمكن تمثيل K_1 , K_2 بكلمة مكونة من (4+1) bits ، ومعامل المرشح (filter coefficient) بكلمة مكونة من (6+1) bits ، والرقم (+1 bit) هو رقم الإشارة .

٥ – يُفترض أن حجم كلمة البيانات (19+1) bits (data word size) يكون مناسبا لحسابات المرشح الرقمى (DF arithmetic) .

٥ – ٤ – ٢ أسلوب بناء النظم الفرعية

Subsystem Architecture

من أهم العوامل فى تصميم دوائر LSI/VLSI اختيار أسلوب بناء معين . وهناك ثلاثة أساليب مختلفة :

١ – نظام البيانات المتوازية (Parallel-data system)

٢ – نظام البيانات المتوالية (Serial-data system)

٣ – نظام البيانات على خط تنفيذ تعليمات (Pipeline-data system)

فى نظام البيانات المتوازية تظهر الوحدات (الأرقام) (bits) المختلفة لكلمة البيانات على مداخل متوازية (parallel input) ، وتكون الفترة الزمنية المصاحبة للوحدة (time interval associated with a bit) مساوية للفترة الزمنية المصاحبة للكلمة . بينما فى حالة نظام البيانات المتوالية تظهر الوحدات على التوالى (sequentially) ابتداءً – عادةً – بالوحدة ذات أقل قيمة معنوية . ومن الواضح أن نظام التوازى يؤدى إلى سرعة تشغيل عالية وتركيبات ذات درجة عالية من التعقيد (highly complex hardware) ، بينما فى نظام التوالى تكون سرعة التشغيل بطيئة ودرجة التعقيد فى التركيبات أقل .

وكَحَلٍّ وسط ذى كفاءة أكبر يستخدم أسلوب البناء على خط تنفيذ تعليمات حيث يُفْصَل بين الوحدات المنطقية المتتالية بدوائر قلابة لإعادة التوقيت (retiming flip-flops) [انظر المرجع رقم 35] . وتؤدى هذه الطريقة إلى خلايا بناء نمطية (modular building cells) مناسبة لدوائر LSI . وتؤدى هذه النمطية إلى توفير فى مساحة السيليكون ، وتقليل جهد تصميم دوائر LSI من حيث التخطيط العام (layout) والحل الأمثل (optimization) وتحديد الخصائص (characterization)

والاختبار (testing) . وسوف نتبع أسلوب البناء هذا (على خط تنفيذ تعليمات) فى التصميم الذى نعرضه هنا .

يمكن شرح هذه الطريقة كما يلى : فى حالة نظام التوالى يمكن تنفيذ الدوال المنطقية التوافقية فى دائرة عن طريق مجموعة بوابات منطقية متوالية متعددة المستويات (serial multilevel logic gates) . وحيث أن التأخير الكلى (total delay) هو مجموع التأخيرات فى المستويات المنطقية فى مسار إشارة (signal path) ، فلذلك تحدث تأخيرات كبيرة حرجة . فبدلاً من اتباع هذه الطريقة يمكننا تقسيم هذه البوابات المنطقية متعددة المستويات إلى عدد من مقاطع منطقية أصغر (smaller logic sections) تفصل بينها دوائر قلابة لإعادة التوقيت (retiming flip flops) (خط تنفيذ تعليمات pipeline) . وتأخير المسار الحرج (critical path delay) فى كل مقطع أقل بكثير منه فى الدائرة الواحدة (single circuit) ، ولذلك يعمل بناء خط تنفيذ التعليمات بمعدل ساعة أكبر (higher clock rate) . وهكذا فإن الدالة المنطقية يتم تنفيذها فى عدة فترات ساعة أقصر (shorter clock intervals) بدلا من فترة واحدة طويلة . وقد يكون الزمن الكلى المطلوب لتنفيذ الدالة أطول منه فى حالة النظام المتوالى (serial system) إلا أن هذا التأخير الزائد ليس له تأثير على أداء النظام ، والتحسين الهام الذى تم الوصول إليه هو زيادة الإنتاجية (increased throughput) .

ويجب ملاحظة أنه لا يُحتاج إلى أى زيادة فى المكونات المادية (hardware) المطلوبة للدوائر القلابة لإعادة التوقيت (retiming flip-flops) وذلك لأنه فى النظم الرقمية لمعالجة الإشارات (digital-signal-processing systems) وعلى الأخص فى المرشحات الرقمية يتم تخزين ناتج أى عملية حسابية (output of a given arithmetic operation) فى ذاكرة متوالية (serial memory) .

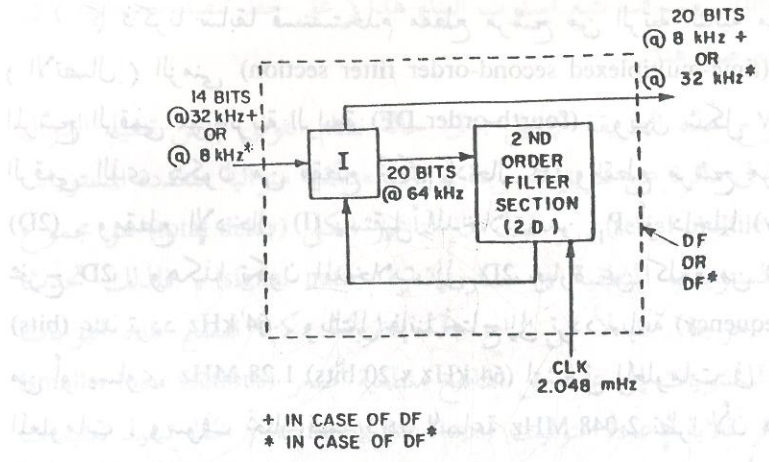
٥ – ٤ – ٣ تنفيذ دوائر منطق النظم الفرعية

Subsystem Logic Implementation

يُعد تنفيذ كل من P_1 و P_2 (وبالتالى P_1^* ، P_2^*) بسيطا ومباشرا [انظر المرجع رقم 34] ، ونتركه كتدريب للقارىء . ونناقش فيما يلى تنفيذ المرشح الرقمى DF باستخدام دوائر LSI .

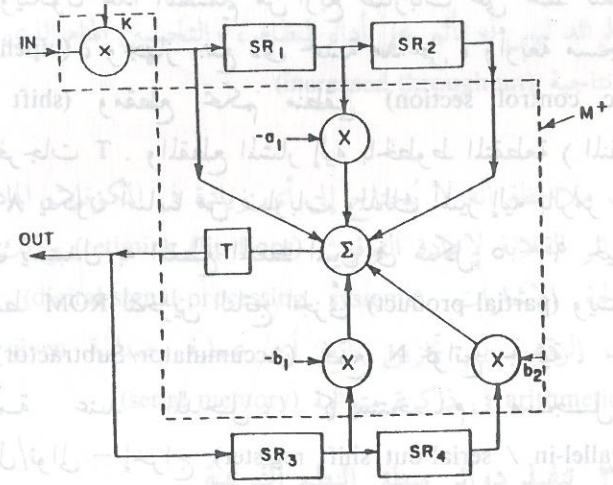
كما ذكرنا سابقا فسنستخدم مقطع مرشح من الرتبة الثانية متعدد الإرسال (الاتصال) الزمنى (time-multiplexed second-order filter section) وذلك لتنفيذ المرشح الرقمى من الرتبة الرابعة (fourth-order DF) . ويبين شكل ٧ – ٧ المرشح الرقمى الذى يتكون من مقطع تحكم إدخال (I) ومقطع مرشح من الرتبة الثانية (2D) . ومقطع الإدخال (I) يستقبل المدخلات من P_1 أو داخليا (internally) من مخرج 2D . وهكذا تكون المدخلات إلى 2D عبارة عن كلمة من (1+19) وحدة (bits) عند تردد 64 kHz . وبالتالى فإننا نحتاج إلى تردد ساعة (clock frequency) أكبر من أو يساوى 1.28 MHz (64 kHz x 20 bits) لتشغيل المعلومات فى بناء خط تنفيذ المعلومات . وسوف نختار قيمة تردد الساعة 2.048 MHz نظرا لأن هذه القيمة هى المتوفرة عادة فى النظام العام (general system) .

ويمكن تنفيذ مقطع المرشح ذى الرتبة الثانية (2D) باستخدام ذاكرة قراءة فقط ROM (Read Only Memory realization) [انظر المرجع رقم 37] . ويبين شكل ٥ – ٨ تنفيذ مقطع مرشح رقمى من الرتبة الثانية باستخدام الضاربة (multiplier realization) . ويتكون هذا التصميم من أربع ضاربات على خط تنفيذ تعليمات (pipeline multipliers) ، وجهاز جمع ذى خمسة مداخل ، وأربعة مسجلات إزاحة SR (shift Registers) ومقطع تحكم منطقى (logic control section) لقطع المخرجات T (truncating) . والمقطع المشار إليه بالخطوط المتقطعة (المنقطة dotted) فى شكل ٥ – ٨ يتكون أساسا من ضاربات ولذلك أشير إليه بالرمز M^+ . وهذا المقطع يمكن أن يُستبدل به المقطع المنقط المبين فى شكل ٥ – ٩ حيث تُستخدم ذاكرة قراءة فقط ROM لتخزين الناتج الجزئى (partial product) ويستخدم جهاز تراكم / طرح (Accumulator/Subtractor) لجمع N نواتج جزئية ، حيث N هو حجم الكلمة عند المدخل ، كما يستخدم مسجل إزاحة توازى – إدخال/توالى – إخراج (parallel-in / serial-out shift register) لتوقيت (clocking) بيانات الإخراج (output data) إلى التحكم المنطقى المقطوع T(truncated logic control) . والقالب المنقَّط فى شكل ٥ – ٩ يتكون أساسا من ذاكرة ROM ولذلك فقد أشير إليه بالرمز ROM^+ . وحجم الذاكرة ROM لمقطع من الرتبة الثانية فى هذا المثال يساوى :

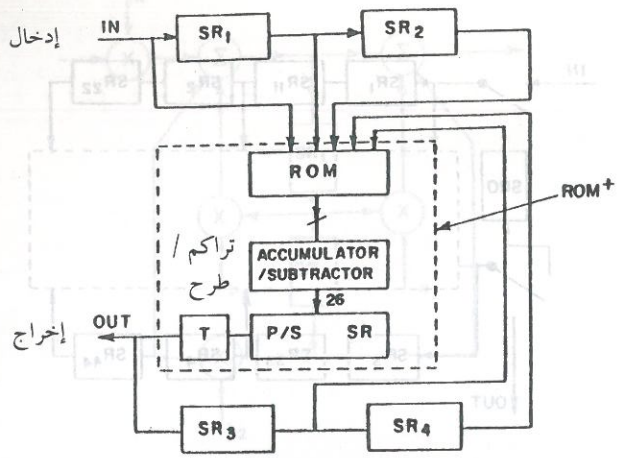


شكل ٥ – ٧

مرشح رقمى من الرتبة الثانية متعدد الاتصال الزمنى
للحصول على مقطع مرشح من الرتبة الرابعة



شكل ٥ – ٨ تنفيذ مرشح رقمى من الرتبة الثانية باستخدام الضاربات

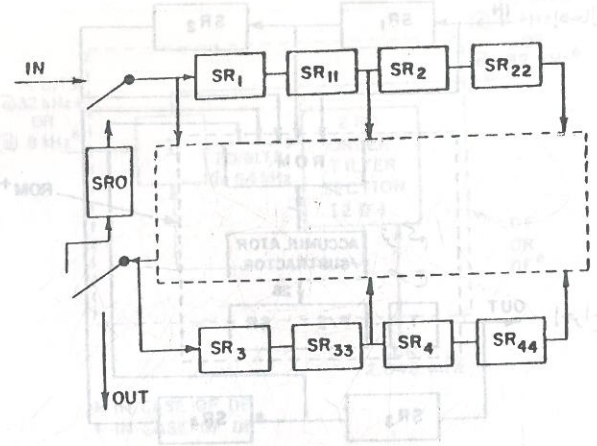


شكل ٥ – ٩ تنفيذ مرشح رقمى من الرتبة الثانية باستخدام
الذاكرة ROM

= ٣٢ × معامل الضاربة ذات أكبر حجم
= ٣٢ × ٧ = ٢٢٤ وحدة (224 bits) .

ولكى نقوم بمضاعفة الإرسال زمنيا (time-multiplex) بالنسبة للمكونات المادية للمرشح ذى الرتبة الثانية ، يجب زيادة السعة التخزينية (storage capacity) لمسجلات الإزاحة SR's كما هو مبين فى شكل ٥ – ١٠ . فيجب مضاعفة حجم مسجلات الإزاحة للتخزين (storage SR's) فى مسارات التغذية الأمامية والتغذية العكسية (feedforward and feedbackward paths) كما يجب إضافة مسجل إزاحة كوسيط (حاجز) SRO (extra buffer shift register) . ويمكن تنفيذ القالب المنقط المبين فى شكل ٥ – ١٠ إما باستخدام طريقة ذاكرة القراءة فقط ROM أو طريقة الضاربة . وفى الحالة الأولى تستخدم ذاكرتان ROM ، واحدة لكل مقطع ذى الرتبة الثانية ، وحجم كل منهما ٢٢٤ وحدة (bits) أى أننا نحتاج إلى ذاكرة ROM كلية حجمها ٤٤٨ وحدة .

وأما فى طريقة الضاربة فيتم تغيير معاملات الضاربة (multiplier coefficients) تبعا لمقطع المرشح (filter section) . والمفاتيح (switches) المبينة فى شكل ٥ – ١٠ تمثل دالة وحدة التحكم عند المدخل (input control unit) (I) المبينة فى شكل ٥ – ٧ .



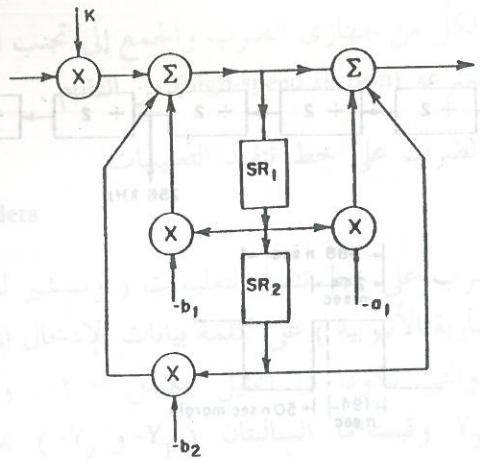
شكل ٥ – ١٠

مضاعفة الإرسال الزمنى لمرشح رقمى من الرتبة الثانية
للوصول إلى الرتبة الرابعة

ورغم أنه من الضرورى استخدام تركيبة المرشح (filter configuration) المبينة فى شكل ٥ – ٨ فى طريقة الذاكرة (ROM) ، إلا أن هذه التركيبة ليست بالضرورة أكثر التركيبات كفاءة فى طريقة الضاربة . ولذلك تدرس تركيبة المرشح المبينة فى شكل ٥ – ١١ . ومن أجل تعدد الاتصال (time-multiplexing) نستخدم مقطع المرشح المبين فى شكل ٥ – ١٢ حيث تستخدم خمسة مسجلات إزاحة فقط بدلا من تسعة فى شكل ٥ – ١٠ .

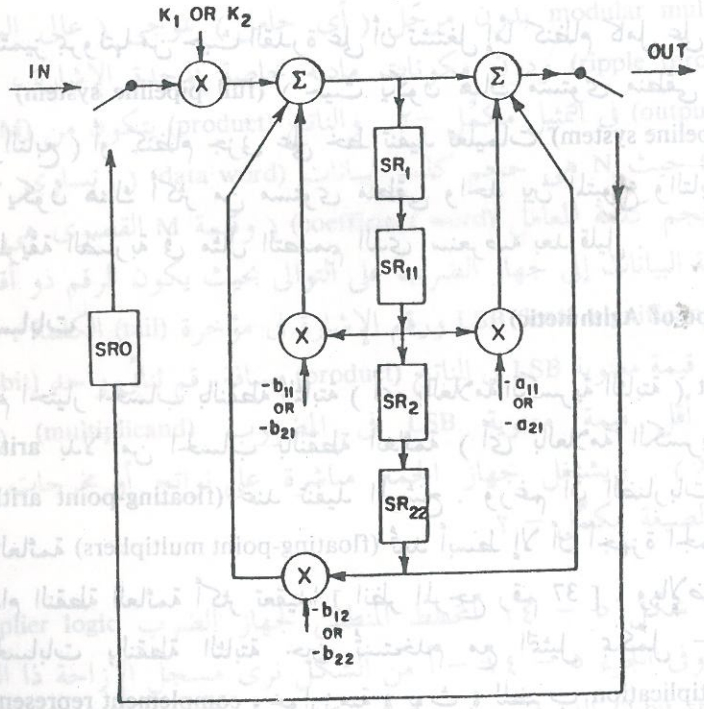
الاعتبارات الزمنية (Timing Considerations)

كما ذكرنا سابقا فإن أسلوب البناء على خط تنفيذ التعليمات يعطى توفيقا بين المكونات المادية (hardware) وسرعة التشغيل (speed of operation) ويؤدى توزيع المنطق بين المتبوع والتابع (masters and slaves) إلى تقليل العدد المطلوب من الدوائر القلابة لإعادة التوقيت (retiming flip-flops) . والساعة التى تشغِّل عادة المرشح الرقمى على خط تنفيذ التعليمات هى 2.048 MHz ، فإذا فرضنا أن أقصى تأخير مسموح به بين المتبوع والتابع هو 194 ns (انظر شكل ٥ – ١٣) ، ففى طريقة الذاكرة ROM يجب أن يكون الوقت المقروء (read time) أقل من 194 ns . وأما فى طريقة الضاربة فيمكن الوصول إلى تأخير منطقى أقل من 194 ns بسهولة وذلك لأن



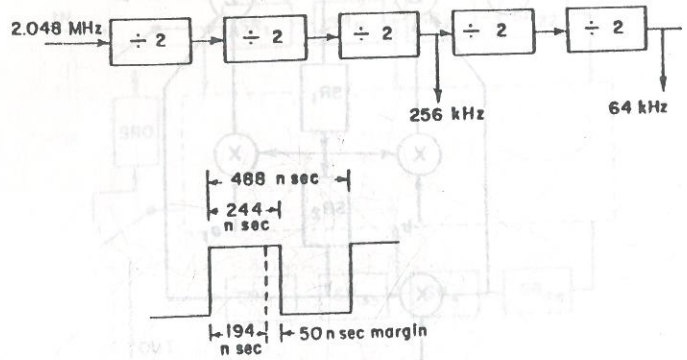
شكل ٥ – ١١

شكل تكوينى آخر لتنفيذ مرشح رقمى من الرتبة الثانية



شكل ٥ – ١٢

مضاعفة الإرسال الزمنى لمرشح شكل ٥ – ١١ للوصول إلى الرتبة الرابعة



شكل ٥ – ١٣

توليد ساعة باستخدام 2.0 MHz ، ويُسمح بحد (فارق margin) قدره 50 nsec بين حافة الساعة ونهاية العملية المنطقية .

الطريقة تتميز بمرونتها من حيث القدرة على أن تشتغل إما كنظام كامل على خط تنفيذ تعليمات (full pipeline system) (حيث يكون هناك مستوى منطقى واحد بين المتبوع والتابع) أو كنظام جزئى على خط تنفيذ تعليمات (partial-pipeline system) (حيث يكون هناك أكثر من مستوى منطقى واحد بين المتبوع والتابع) . وقد اخترنا طريقة الضاربة فى مثال التصميم الذى سنعرضه بعد قليل .

نوع الحسابات (Type of Arithmetic)

تم اختيار الحساب بالنقطة الثابتة (أى بالعلامة الكسرية الثابتة) (fixed-point arithmetic) بدلا من الحساب بالنقطة العائمة (أى بالعلامة الكسرية العائمة) (floating-point arithmetic) عند تنفيذ المرشح . ورغم أن الضاربات باستخدام النقطة العائمة (floating-point multipliers) تُعد أبسط إلا أن أجهزة الجمع (adders) باستخدام النقطة العائمة أكثر تعقيدا [انظر المرجع رقم 37] . وبالإضافة إلى هذا فإن الحسابات بالنقطة الثابتة حين تُستخدم مع التمثيل بمكمِّل – ٢ (two's complement representation) وخوارزمية « بوث » للضرب (Booth multiplication algorithm) [انظر المرجع رقم 35] تؤدى إلى خلية ضاربة نمطية بدرجة عالية (highly modular multiplier cell) دون الحاجة إلى مكونات مادية خاصة (special hardware) للتعامل مع وحدة الإشارة (signal bit) كما يؤدى استخدام التمثيل بمكمِّل

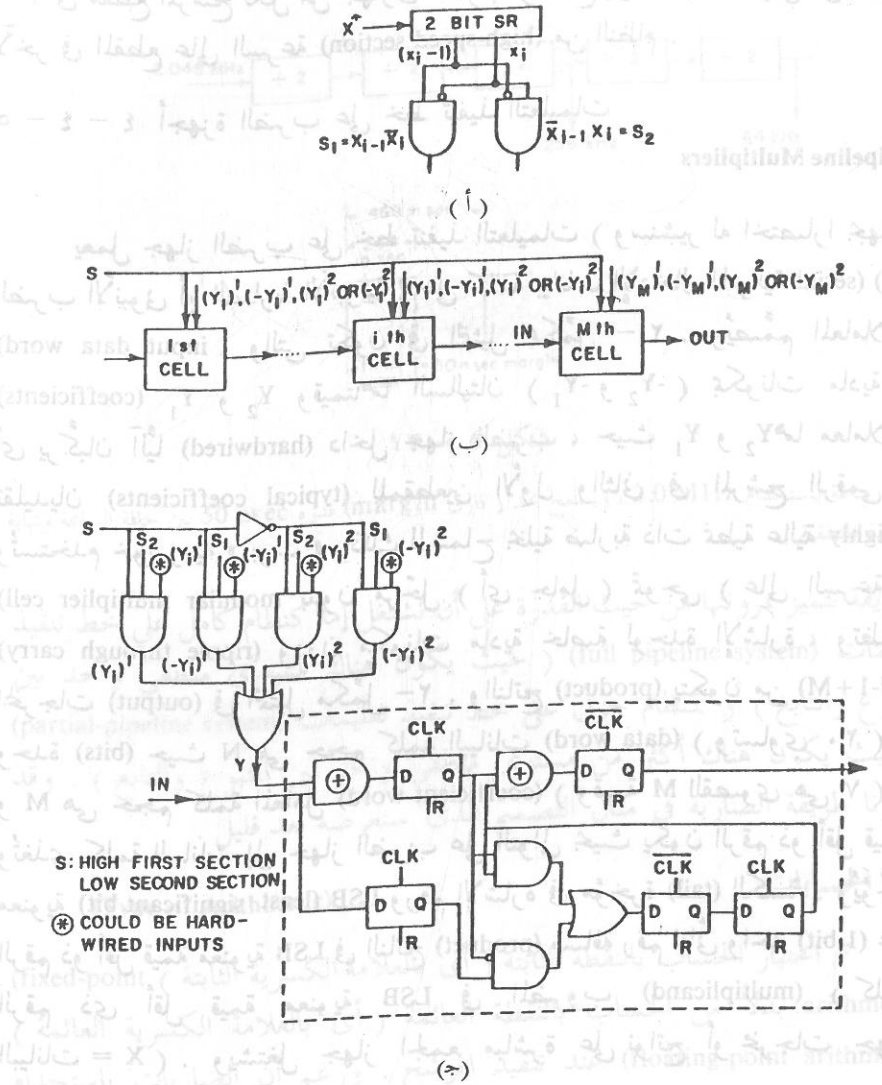
– ٢ فى مقطع المرشّح لكلٍّ من جهازى الضرب والجمع إلى تجنب التحويل من تمثيل لآخر فى المقطع عالى السرعة (high-speed section) من النظام .

٥ – ٤ – ٤ أجهزة الضرب على خط تنفيذ التعليمات

Pipeline Multipliers

يعمل جهاز الضرب على خط تنفيذ التعليمات (وسنشير له اختصارا بجهاز الضرب الأنبوبى أو الضاربة الأنبوبية) على كلمة بيانات الإدخال المتوالية (serial input data word) ، والتى تكون فى التمثيل بمكمِّل – ٢ . ويُصمَّم المعاملان (coefficients) Y_1 و Y_2 وقيمتاهما السالبتان ($-Y_1$ و $-Y_2$) بمكونات مادية ، أى يركَّبان آليًّا (hardwired) داخل جهاز الضرب ، حيث Y_1 و Y_2 هما معاملان تقليديان (typical coefficients) للمقطعين الأول والثانى فى المرشح الرقمى . وتُستخدم خوارزمية « بوث » وذلك للسماح بخلية ضاربة ذات نمطية عالية (highly modular multiplier cell) بدون مرحّل (أى حامل) تموجى (عالى السرعة) (ripple through carry) ودون مكونات مادية خاصة لوحدة الإشارة ، وتظهر المخرجات (output) فى التمثيل مكمِّل –٢ . والناتج (product) يتكون من (N-1+M) وحدة (bits) حيث N هى حجم كلمة البيانات (data word) (وتساوى ٢٠) ، و M هى حجم كلمة المعامل (coefficient word) (وقيمة M القصوى هى ٧) . وتُغذى كلمة البيانات إلى جهاز الضرب على التوالى بحيث يكون الرقم ذو أقل قيمة معنوية LSB (least significant bit) ورقم الإشارة فى مؤخرة (tail) الكلمة . ويُؤَخَّر الرقم ذو أقل قيمة معنوية LSB فى الناتج (product) مسافة رقم ثنائى واحد (1 bit) عن الرقم ذى أقل قيمة معنوية LSB فى المضروب (multiplicand) (كلمة البيانات = X) . ويشتغل جهاز الجمع مباشرة على نواتج أو مخرجات جهاز الضرب فى الصيغة مكمِّل – ٢ .

ويبين شكل ٥ – ١٤ المخطط المنطقى لجهاز الضرب (multiplier logic diagram) . وفى الجزء ٥ – ١٤ – أ من الشكل نرى مسجل الإزاحة ذا الرقمين (2-bit shift register) الذى يُستخدم لتوليد كلمة التحكم (control word) $S_1 S_2$ (والمستخدمة فى خوارزمية الضرب) من كلمة بيانات الإدخال المُعَدَّلة (modified input data word) X^* كما سنرى بإذن الله فيما بعد . ويبين الجزء



شكل ٥ – ١٤

ضاربة على خط تنفيذ التعليمات باستخدام خوارزميه « بوث »

(أ) الحصول على الكلمة S_1S_2 ذات الرقمين من كلمة الإدخال على التوالى X .

(ب) وحدة الضرب النمطية .

(جـ) خلية الضاربة والمنطق المصاحب لها . القالب المنقط هو جهاز جمع كامل على خط تنفيذ التعليمات .

٥ – ١٤ ب من الشكل وحدة الضرب النمطية ذات الـ M رقم (M-bit multiplier module) ، حيث M تمثل حجم كلمة المعامل (coefficient word) . وكل خلية لها أربعة مدخلات . فمثلا الخلية رقم i فى جهاز الضرب لها المدخلات :

$(Y_i)^1$: الرقم الثنائى الذى ترتيبه i (i^{th} bit) فى القيمة الموجبة (positive value) لكلمة المعامل (coefficient word) والمقابلة للمقطع الأول للمرشح الرقمى (first section of the DF) .

$(-Y_i)^1$: الرقم الثنائى الذى ترتيبه i فى القيمة السالبة لكلمة المعامل والمقابلة للمقطع الأول .

$(Y_i)^2$: الرقم الثنائى الذى ترتيبه i فى القيمة الموجبة لكلمة المعامل والمقابلة للمقطع الثانى .

$(-Y_i)^2$: الرقم الثنائى الذى ترتيبه i فى القيمة السالبة لكلمة المعامل والمقابلة للمقطع الثانى .

ويسمح المدخل S لخلايا جهاز الضرب بالاشتغال على $(Y_i)^1$ و$(-Y_i)^1$ أو $(Y_i)^2$ أو $(-Y_i)^2$. ويبين الجزء ٧ – ١٤–جـ من الشكل منطق خلية جهاز الضرب الأنبوبى (pipeline multiplier cell logic) مع مقطع تحكم الإدخال (input control section) والذى مدخلاته :

$S , S_1 , S_2 , (Y_i)^1 , (-Y_i)^1, (Y_i)^2 , (-Y_i)^2$

ومخرجه Y .ومدخلات أى خلية هى Y ومخرجات الخلية السابقة .

خوارزمية جهاز الضرب للحصول على Y X

(Multiplier Algorithm to obtain YX)

١ – أضف صفرا مرجعا "0" (a reference) ليسبق الرقم ذا أقل قيمة معنوية LSB فى X (كلمة البيانات) ، وكرر رقم إشارة X (sign bit of) عدد M-1 من المواضع (places) لتحصل على X^*.

٢ – بناءً على الأرقام الثنائية X_{i-1} X_i فى X^* أَجْرِ العمليات الحسابية التالية فى خلايا جهاز الضرب :

العمليـــة	x_i	x_{i-1}	محتويات خلايا جهاز الضرب	المخرجـات
(أ)	0	0	0.00 BS	
			0.00 AS	0
(أ)	1	0	0.01 BS	
			0.00 AS	1
(ب)	0	1	1.11 BS	
			1.11 AS	1
(أ)	1	0	1.10 BS	
			1.11 AS	0
(ب)	0	1	0.01 BS	
			0.00 AS	1
(جـ)	0	0	1.11 BS	
			1.11 AS	1
(جـ)	0	0	1.11 BS	
			1.11 AS	1

S MSB LSB

وهكذا يكون المخرج $= -\frac{10}{64} = 1.\ 110110$

ملاحظة : الرمز BS يعنى : قبل الإزاحة (Before Shift)

والرمز AS يعنى : بعد الإزاحة (After Shift)

وفى شكل ٥ – ١٤ نلاحظ أن أكبر عملية منطقية تتم عند مدخل خلية جهاز الضرب ، وتتكون من اختبار X_i (detecting) و X_{i-1} وحساب S_1 و S_2 ثم ادخال معامل الضاربة (multiplier coefficient) فى البوابة (gating in) . والزمن الكلى المسموح به هو 194 ns .

٥ – ٤ – ٥ اعتبارات تصميم دوائر LSI/VLSI

LSI/VLSI Design Considerations

كما ذكرنا فى الفصل الأول وفى هذا الفصل هناك ثلاثة عوامل يجب أن ندخلها فى الاعتبار عند تنفيذ النظم الفرعية باستخدام دوائر LSI/VLSI ، وهذه العوامل هى :

العمليـــة		X_i	X_{i-1}	محتويات خلايا جهاز الضرب وأزح ، وكرر آخر رقم ثنائى فى جهاز الضرب
(أ)	أضف Y -	0	1	
(ب)	أضف Y	1	0	
(جـ)	أضف 0	0	0	
		1	1	

S MSB LSB

$$X = 0.1010 = +\frac{10}{16}$$

S MSB LSB

$$Y = 1.111 = \frac{1}{4}$$

$$-Y = 0.001$$

X^* = 000.1010 (0) الصفر المرجع

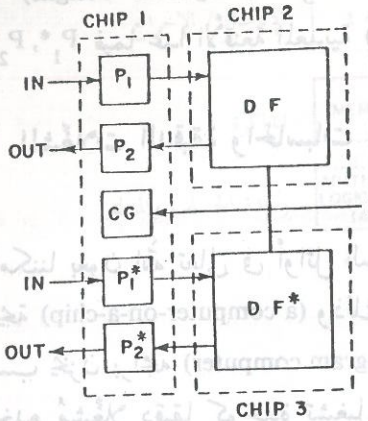
(١) سرعة التشغيل (speed of operation)

(٢) مساحة الشريحة (chip area)

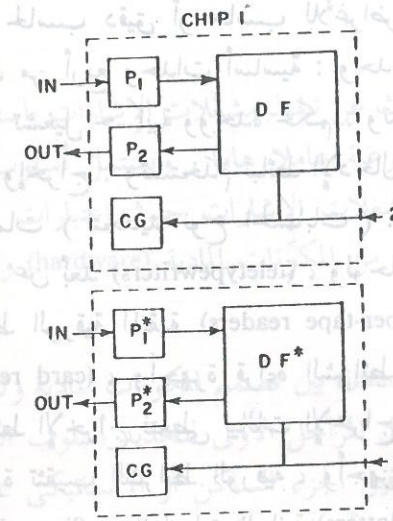
(٣) تبديد القدرة (power dissipation)

ولزيادة سرعة التشغيل يجب تقليل سعات العقد (node capacitances) (أى مساحة أقل) ، كما يجب زيادة قدرة الحث (driving capability) للنبائط الفعالة (active devices) (أى مساحة أكبر) . وهكذا فهناك تردد أقصى للتشغيل (maximum frequency of operation) لتكنولوجيا LSI معطاة . والمساحة الكلية للشريحة دالة فى التكنولوجيا والسرعة المطلوبة . والمساحة القصوى للشريحة لها علاقة كبيرة بالإنتاج (yield) والتكنولوجيا . فمثلا الحجم العملى لشريحة CMOS LSI (والتى تعطى إنتاجا معقولا) يكون عموما أكبر من حجم I^2 L ثنائى القطبية . وتبديد القدرة فى التكنولوجيا ثنائية القطبية هو أساسا تبديد قدرة تيار مستمر (dc power dissipation) ، بينما فى حالة CMOS هو أساسا تبديد قدرة تيار متردد (ac power dissipation) : $cv^2 f$ [انظر المرجع رقم 39] . ويجب ألا يتعدى أقصى تبديد قدرة كلى للشريحة الواحدة للتغليفة الواحدة (max. total power dissipation per chip per package) قيمة محددة سابقا (predetermined value) للتبريد المعتاد (conventional cooling) لتغليفة .

وبناءً على الاعتبارات السابقة يمكن تقسيم (partitioning) نظام فرعى مُعطَى إلى شرائح مختلفة . وللمثال الذى نناقشه من الضرورى أولا أن ندرس بالتفصيل الاختيارات المختلفة لتصميم النظام ثم نُقَدِّر بعد هذا التبديد الكلى للقدرة ومساحة السيليكون قبل تحديد أى تقسيم إلى شرائح . ونظرا لأن هذا العمل أو التدريب يعتمد على تكنولوجيا LSI قيد البحث والاعتبار وقواعدها العامة للتخطيط والتصميم فسنتركه كتدريب للقارىء . وفى شكل ٥ – ١٥ نعطى تقسيمين مقترحين للشرائح للمشغِّلين الرقميين DP (digital processors), DP* المبينين فى شكل ٥ – ٦ . والتقسيم A يُعد مناسبا لطريقة التقسيم بدوائر LSIوالخلايا القياسية (standard-cell LSI approach) مع تصميم شريحتين ، بينما يُعد التقسيم B مناسبا لطريقة التصميم بدوائر LSI عالية الكثافة (high-density costum LSI approach) حيث تُستَخدم شريحتان ونحتاج لتصميم LSI واحد فقط . وفى كلى التقسيمين تكون التصميمات



التجزئة A
عدد الشرائح المستخدمة : ٣
عدد الشرائح المصممة : ١



التجزئة B
عدد الشرائح المستخدمة : ٢
عدد الشرائح المصممة : ١
CG : مولدات ساعة

شكل ٥ – ١٥

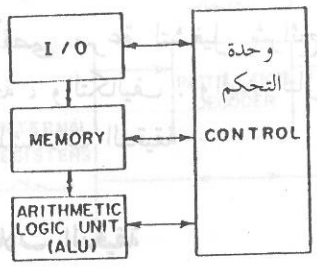
تجزئة الشريحة لكل من المشغلين الرقميين DP,DP* المبينين فى شكل ٥ – ٦

المتكاملة (integrated designs) للوحدات P_1, P_2, DF مطابقة لتصميمات P_1*, P_2* DF* فيما عدا الأقنعة المعدنية (metalization masks) .

٥ – ٥ المشغِّلات الدقيقة والحاسبات الدقيقة

(Microprocessors and Microcomputers

أمكننا بعون الله تعالى فى أوائل السبعينات تحقيق حلم الحصول على حاسب على شريحة (a computer-on-a-chip) وذلك باستخدام دوائر LSI . والحاسب الدقيق هو حاسب يخزن برامجه (stored-program computer) ويستخدم بعض شرائح LSI ، كما يستخدم مُشغِّلا دقيقا كوحدة تشغيل مركزية . وشكل ٥ – ١٦ يبين مخططا سهميا لحاسب دقيق أو حاسب للأغراض العامة (general-purpose computer) ، ويتكون من أربع وحدات أساسية : وحدة ادخال/إخراج (I/O unit) ، وذاكرة ، ووحدة تشغيل حسابية ووحدة تحكم . وتتكون وحدة الإدخال/الإخراج من نبائط إدخال وإخراج . وتُستخدَم نبائط الإدخال لإعطاء البيانات (اللازمة للحسابات) والتعليمات (لتحديد نوع الحسابات) . وتشتمل نبائط الإدخال على الآلات الكاتبة عن بُعد (teletypewriters) ، ولوحات المفاتيح (keyboards) ، وأجهزة قراءة الشرائط الورقية المثقبة (punched-paper-tape readers) ، وأجهزة قراءة البطاقات (card readers) ، وأجهزة قراءة الشرائط المغناطيسية (magnetic tape readers) . أما نبائط الإخراج فتعطِى بيانات الإخراج وتشتمل على الآلات الكاتبة عن بُعد ، وأجهزة تثقيب الشرائط الورقية ، وأجهزة تثقيب البطاقات ، والطابعات السطرية (line printers) ، والراسمات البيانية (plotters) ، والشرائط المغناطيسية . وتقوم وحدة الذاكرة بتخزين البيانات وتعليمات البرنامج . ويتم تخزين البيانات فى ذاكرات توصيل عشوائى (random access memories) (RAMs) ، أما تعليمات البرنامج فيتم تخزينها عادة فى ذاكرات للقراءة فقط (read-only memories) (ROMs) ويمكن تخزين بعض التعليمات فى ذاكرات للقراءة فقط قابلة للبرمجة بالمستخدِم (PROMS) (user-programmable ROMs) وتقوم وحدة الحساب والمنطق (Arithmetic Logic Unit) (ALU) بالعمليات الحسابية والمنطقية ، كعمليات الجمع والطرح والضرب والقسمة وعمليتى OR و AND مثلا . أما وحدة التحكم فتستقبل التعليمات من الذاكرة وتتحكم فى تسلسل الأحداث والعمليات أثناء الحسابات .



شكل ٥ – ١٦

مخطط سهمى لحاسب دقيق

وكما رأينا فى بند ٥ – ٤ عند الحديث عن تنفيذ مشغِّلات الإشارات باستخدام دوائر LSI ، يعد أسلوب بناء النظم الفرعية عاملا هاما . ويشتمل أسلوب بناء الحاسبات الدقيقة – على عكس حالة مشغلات الإشارات حيث اعتبارات البرامج الجاهزة (software) قليلة جدا – على كل من المكوِّنات المادية (hardware) والبرامج الجاهزة (software) .

ويجب التأكيد على التفاعل (interaction) بين تصميم المكونات المادية وتصميم البرامج (hardware and software design) فى المراحل الأولى لتحديد أسلوب البناء ، حيث تُعَد المكونات المادية للحاسب الدقيق الجزء الساكن أو الاستاتيكى (static part) للنظام ، بينما تعد البرامج الجزء المتحرك أو الديناميكى (dynamic) له . فالبرامج (software) أو تعليمات الماكينة (machine instructions) هى ما يحل محل (replace) مركبات المكونات المادية (hardware components) . وعلى سبيل المثال فبدلا من استخدام مركبتين معينتين من المكونات المادية يمكن لإحدى التعليمات أن تحدد تنفيذ العملية المطلوبة مرتين على مركبة واحدة من المكونات المادية . وعموما هناك مقايضات (trade-offs) عند الاختيار بين تنفيذ دالة معينة باستخدام المكونات المادية أو البرامج . فمثلا يمكن تنفيذ الضرب (multiplication) باستخدام الضاربة المادية (hardware multiplier) أو باستخدام بعض تعليمات الماكينة (few machine

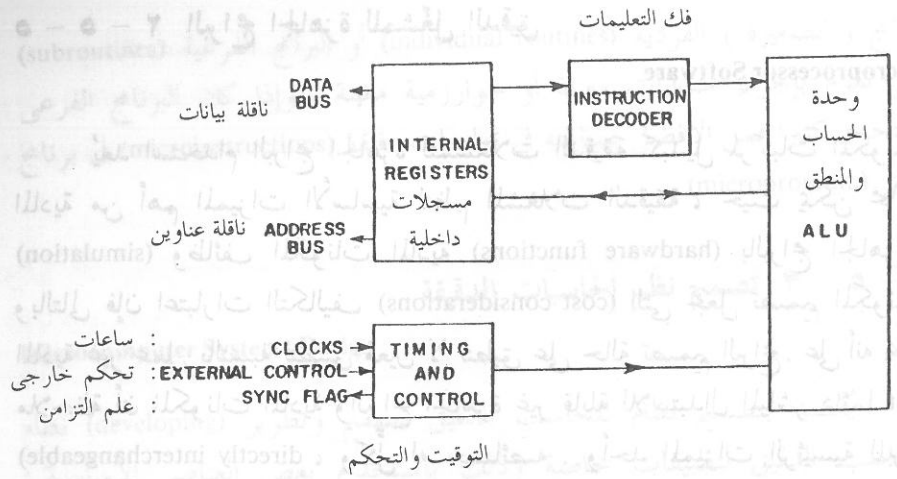
instructions) لمعالجة البيانات (manipulate data) بعمليات جمع/إزاحة (ADD/shift) . ويتأثر الاختيار بأقصى سرعة لتشغيل شرائح LSI ، والإنتاجية المطلوبة ، وتبديد القدرة ، والمساحة ، والتكاليف . والبند التالى يتناول بعض هذه العوامل فيما يتعلق بأسلوب بناء المشغلات الدقيقة .

٥ – ٥ – ١ أساليب بناء المشغلات الدقيقة

Microprocessor Architectures

المشغِّل الدقيق – كوحدة تشغيل مركزية – له نفس أسلوب البناء الرئيسى للحاسب ذى المدى الكبير (large-scale computer) [انظر المرجع رقم 13]. والوحدات الرئيسية هى (انظر شكل ٥ – ١٧): وحدة الحساب والمنطق (ALU) ، وحدة تفسير التعليمات (instruction decoder) ، ووحدات التحكم والتزامن (control and synchronization units) . ووحدة تفسير التعليمات عبارة عن ذاكرة للقراءة فقط (ROM) وهى تترجم شفرة تعليمات الماكينة إلى تعليمات دقيقة (microinstructions) تقوم المشغلات (processors) بتنفيذها . وتقوم وحدة التحكم والتزامن بتفسير التعليمات الدقيقة وتتحكم فى تنفيذ هذه التعليمات . وتستخدم المشغلات الدقيقة ناقلات أو موصلات عمومية (busses) كوسائل لنقل البيانات والعناوين (addresses) وإشارات التحكم (control signals) بين مركبات النظام . ويَستخدم المشغل الدقيق بعض جوانب أساليب البناء لتقوية قدرته على تشغيل البيانات (data processing power) ، كالمشاركة فى الموارد (resource sharing) ، والتوصُّل المباشر إلى الذاكرة (direct memory access) ، والنقل والمقاطعة (transfer and interrupts) ، وسنشرح هذه فيما يلى .

فى المشغل الدقيق عدد من الموارد التى يجب أن تشارِك فيها (share) وظائف مختلفة (different jobs) أو مستخدمون مختلفون فى أوقات مختلفة ، وهذه تشمل الموصلات العمومية (الناقلات) والمسجلات وأطراف التوصيل للإدخال والإخراج (I/O pins) والذاكرة وبرامج التحكم (control programs) . وتتم المشاركة فى الموارد عن طريق تعدد الاتصال بتقسيم الوقت (time-division multiplexing) ، حيث تقوم وحدة التحكم والتزامن (control and synchronization unit) بتحديد فترات زمنية معينة أو دورات جزئية (specific time periods or subcycles) يُسمح خلالها بحدوث



شكل ٥ – ١٧

أسلوب بناء المشغِّل الدقيق

عمليات معينة . وهذه المعلومات يتم تقديمها عن طريق منحنى زمنى (timing diagram) للنظام .

وفى بعض التطبيقات يكون هناك نقل كثير للبيانات بين الذاكرة والنبائط الطرفية أو المحيطية (peripheral devices) ومن الأكفأ فى هذه الحالة نقل هذه البيانات مباشرة بدون تحكم فى العمليات (process control) ، وهذا يُسمَّى توصل مباشر إلى الذاكرة DMA (direct memory access) ويتم تحقيق هذا التوصل المباشر DMA عن طريق ناقلة خارجية (external bus) تقوم بتوصيل (connect) ذاكرات التوصُّل العشوائى RAMs والوحدات الطرفية (peripherals) والمشغِّل الدقيق . وعندما لا يستخدم المشغل الدقيق هذه الناقلة فإن أحد المكونات المادية الخارجية (an external hardware) يتم تنشيطه (is activated) ليسمح بنقل البيانات عبر الناقله بين النبائط المحيطية والذاكرة .

وتتطلب بعض التطبيقات للحاسبات الدقيقة استجابة فورية (immediate response) من المشغِّل لحالة خارجية (external condition) . وفى مثل هذه الحالات يجب أن يقوم المشغِّل بإيقاف أو قطع (interrupt) البرنامج الجارى تنفيذه ليبدأ برنامجا جديدا يتعامل مع الحالة الخارجية أو « المقاطعة » "interrupt" .

٥ – ٥ – ٢ البرامج الجاهزة للمشغِّل الدقيق

Microprocessor Software

يُعد استخدام البرامج الجاهزة للمشغلات الدقيقة كبديل لمركبات المكونات المادية من أهم المميزات الأساسية لنظم المشغلات الدقيقة ، حيث يمكن محاكاة (simulation) وظائف المكونات المادية (hardware functions) بالبرامج الجاهزة . وبالتالى فإن اعتبارات التكاليف (cost considerations) التى تجعل تصميم المكونات المادية غير عملى بالنسبة لتطبيق معين لا تنطبق على حالة تصميم البرامج. على أنه يجب ملاحظة أن المكونات المادية والبرامج الجاهزة غير قابلة للاستبدال المباشر دائما (not directly interchangeable) ، وكلٌّ له خصائصه . وأحد المميزات الرئيسية للبرامج على المكونات المادية أن البرامج غير متكررة التكاليف (nonrecurring cost item) ، فمتى تم تصميم برنامج واختباره فإنه يمكن بعد ذلك نسخه أو تكريره (duplicated) وتخزينه فى ذاكرة أى عدد من النظم . وبالتالى فإن التكاليف الكلية لتطوير البرامج تتوزع على العدد الكلى للنظم .

والبرامج الجاهزة للحاسب الدقيق أو المشغِّل الدقيق هى سلسلة من التعليمات التى تتحكم فى تشغيل النظام . وبعكس الحالة فى الحاسبات كبيرة المدى (large-scale computers) فإنه ليس من العملى فى الحاسبات الدقيقة تحميل (loading) هذه البرامج من أماكن تخزين خارجية (external storage) كلما أديرت (turned on) الماكينة ، بل تقوم الحاسبات الدقيقة بتخزين برامج التحكم (control programs) هذه التى تُستخدم بكثرة بصفة دائمة (permanently) فى ذاكرات للقراءة فقط ROMs [أو فى مزيج من PROMs و PROMs ، وفى هذه الحالة يكون النظام قابلا للبرمجة الدقيقة (micro-programmable)] . وهناك عدد من المستويات المختلفة للبرامج الجاهزة للحاسب الدقيق : منفِّذ النظام (system executive) ، والبرامج (programs) ، والبرامج الفرعية (subroutines) ، والبرامج الدقيقة (microprograms) .

ويختص منفِّذ النظام بالشُّغلة الكلية (overall job) ، والمهمة (task) ، وإدارة البيانات (data management) فى النظام . والمنفِّذ يقوم مقام المراقِب (monitor) ، والمشرِف (supervisor) ، ونظام التشغيل (operating system) فى الحاسبات الكبيرة . والبرنامج هو مجموعة من التعليمات لأداء عملية محددة ، ويتكون عادة من عدد من

البرامج (الصغيرة) الفردية (individual routines) أو البرامج الفرعية (subroutines) التى تقوم بإجراء حسابات معينة أو خوارزمية معينة . وإذا كان البرنامج الفرعى يُستخدم كثيرا فمن الأفضل صياغته فى تعليمات دقيقة (microinstructions) فى برنامج دقيق (microprogram) .

٥ – ٥ – ٣ تصميم نظم الحاسبات الدقيقة

Microcomputer Systems Design

يُقصد بتصميم نظام للحاسب الدقيق تصميم وتطوير (developing) نظام للحاسب الدقيق لتطبيقات خاصة وذلك باستخدام بعض العناصر الأساسية : المشغلات الدقيقة ، والذاكرات RAMs ، والذاكرات ROMs ، ونبائط الإدخال أو الإخراج I/O ، والمركبات البينية (interface components) . ويشتمل التصميم على انتقاء مركبات معينة من بين المركبات المتوفرة أو تصميم شرائح LSI وفقا لمواصفات العميل (الزبون) (custom LSI chips) وبناءً على عوامل الأداء (performance) أو الإتاحية (availability) أو الأمن (security) أو العوامل الاقتصادية ويشتمل التصميم على كل من المكونات المادية والبرامج . ويمكن تلخيص المهمام المختلفة لعملية التصميم فيما يلى :

١ – تحديد مدى التطبيقات التى سيستخدم فيها النظام ، وهذا بدوره يحدد وسطاء (معاملات/ بارامترات) النظام (system parameters) ، كحجم الكلمة (word size) والإنتاجية (throughput) .

٢ – تحديد ما إذا كان هناك نظام حاسب دقيق تتحقق فيه شروط وسطاء النظام المحددة ، وإن كان نعم فاختيار مركبات جاهزة (حاضرة) مناسبة (suitable off-the-shelf components) (كالمشغل الدقيق مثلا) ، أو العزم على تصميم شرائح LSI تتفق مع مواصفات العميل وتقابل متطلبات النظام .

٣ – تصميم المكونات المادية (hardware design) وتطوير البرامج الجاهزة (software development).

٤ – تصحيح الأخطاء (إزالة العلل) (debugging) والاختبار (testing) .

وهناك عوامل عديدة تؤثر على خطوات التصميم السابقة ، كالتكاليف (cost) والمرونة (flexibility) والمواءمة (compatibility) ، والوثوقية (الاعتمادية) (reliability) والسرعة (speed) .

وتعد التكاليف أحد الاعتبارات الرئيسية التى تشتمل على عوامل هندسية وغير هندسية . فمثلا تعد تكاليف التطوير (development cost) تكاليف مرة واحدة (one-time expense) (أى غير متكررة) ، وكلما زاد عدد النظم المُنْتَجة قلت تكاليف التطوير للوحدة الواحدة (per-unit development cost) .

والمرونة هى إحدى المميزات الأساسية لنظم الحاسبات الدقيقة ، حيث يمكن بسهولة تغيير البرنامج المخزون وذلك باستبدال الذاكرات ROMs أو بإعادة برمجة الذاكرات PROMs . كما يمكن تصميم النظام بحيث يستوعب اختبارات ميدانية (field tests) وتغييرات فى الموقع (changes on location) وذلك باستخدام ذاكرات للقراءة بصهر الوصلات (fusible-link ROMs) .

والمواءمة نقصد بها كلا من المواءمة داخل النظام نفسه والمواءمة مع العالم الخارجى . فمصمم نظام الحاسب الدقيق هو فى الحقيقة مصمم نظام حاسب بالإضافة إلى الأخذ فى الاعتبار مواءمة النظام لعدة أشياء كالقنوات التناظرية (analog channels) ، ونبائط الإدخال/الإخراج للمستخدمين (users I/O devices) ، والحاسبات الدقيقة الأخرى ، والأجزاء الأخرى للمكونات المادية .

والاعتمادية عامل يتعلق بمجال استخدام الحاسب الدقيق . فمثلا الحاسب الدقيق الذى يستخدم فى مجال تطبيقات الفضاء يجب أن تكون له اعتمادية أكبر من اعتمادية الحاسب الدقيق المستخدم فى الأغراض التعليمية .

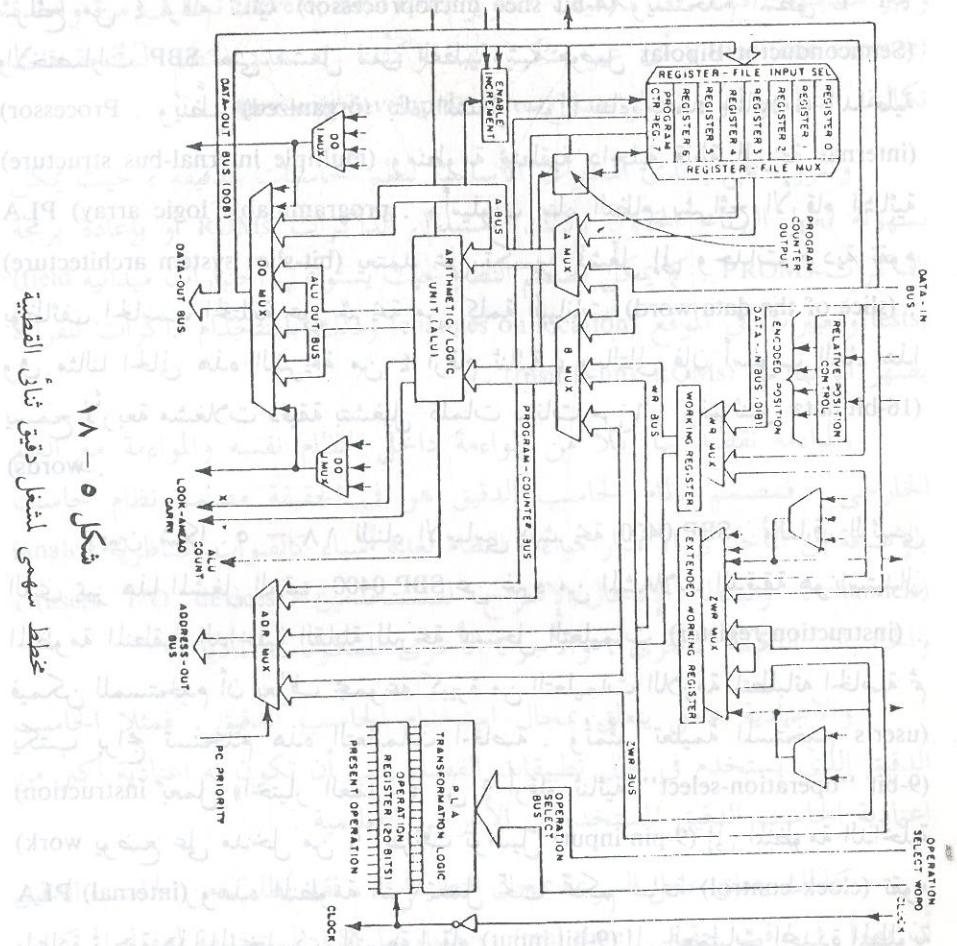
كذلك يتعلق عامل السرعة بمجال التطبيقات ، فقد يُطلب من الحاسب الدقيق أن يعمل فى وقت حقيقى (real time) ، وتكنولوجيا LSI المستخدمة لتنفيذ المركبات المختلفة فى حاسب دقيق (كالمشغلات الدقيقة والذاكرات RAMs والذاكرات ROMs) تؤثر على السرعة الكلية لتشغيل البيانات . وبالإضافة إلى هذا فإن نوع أسلوب البناء المستخدم [مثلا : بناء الوحدات ALU بشرائح الأرقام الثنائية (bit slice ALUs) – انظر المرجع رقم 38] يؤثر أيضا على السرعة .

٥ – ٥ – ٤ مثال : مشغل دقيق ثنائى القطبية

Example : A Bipolar Microprocessor

المثال الذى سنعرضه هنا هو T I SBP0400 ، وهو عبارة عن مشغل دقيق ذو شرائح من ٤ أرقام ثنائية (4-bit slice microprocessor) ويستخدم المنطق $I^2 L$ ، والاختصارات SBP تعنى مشغل ثنائى القطبية شبه موصل (Semiconductor Bipolar Processor) . ويُنَظَّم (organized) بناء المشغِّل حول بناء متعدد الناقلات الداخلية (multiple internal-bus structure) ومنظومة منطقية داخلية قابلة للبرمجة (internal programmable logic array) PLA . وأسلوب بناء النظام بشرائح الأرقام الثنائية (bit-slice system architecture) يعتمد على تكسير المشغِّل إلى وحدات فردية تقوم بوظائف الحاسب المختلفة على شريحة من كلمة البيانات (slice of the data word) . وفى مثالنا الحالى هذه الشريحة من ٤ أرقام ثنائية ، وبالتالى فإن أسلوب البناء هذا يسمح لأربعة مشغلات دقيقة بتشغيل كلمات بيانات من ١٦ رقم ثنائى (16-bit data words) .

ويبين شكل ٥ – ١٨ البناء الأساسى للشريحة SBP 0400 . والفارق الرئيسى الذى يميز هذا المشغل الدقيق SBP 0400 عن غيره من المشغلات الدقيقة هو استبدال المنظومة المنطقية الداخلية القابلة للبرمجة بمسجل التعليمات (instruction register) . فيمكن للمستخدِم أن يعرِّف مجموعة كبيرة من التعليمات اللازمة لمتطلباته الخاصة ثم يكتب برامج تستخدم هذه التعليمات الخاصة . وتُمَثَّل تعليمة المستخدِم (user's instruction) بعمل «اختيار العملية » من ٩ أرقام ثنائية ''operation-select'' (9-bit work) يوضع على مدخل من ٩ أطراف توصيل (9-pin input) إلى المنظومة الداخلية (internal) PLA وهذه المنظومة التى تعمل تحت تحكم ساعة (clock control) تقوم بإعادة ترجمة هذا المدخل ذى التسعة أرقام (9-bit input) إلى العمليات المحددة المطلوبة بتعليمة المستخدِم ، والتى تُمثَّل بكلمة تحكم داخلى ذات ٢٠ رقم ثنائى 20-bit (internal-control word) وهذه الكلمة تعطى الأوامر المناسبة (appropriate commands) إلى وحدة الحساب والمنطق ALU ، والمسجلات ، وخطوط الناقلة (bus lines) لتنفيذ العملية المقصودة . ووحدة الشريحة الواحدة ذات الأربعة أرقام الثنائية (single 4-bit slice unit) تعطى المستخدم امكانية إجراء نحو ٥١٢ عملية مختلفة من



شكل ٥ – ١٨
مخطط سهمى لمشغل دقيق ثنائى القطبية

عمليات الماكينة (machine operations) ، والتى يمكن تنفيذها فى دورة ساعة واحدة (single clock cycle) وهذا أكثر بكثير من مجموعات التعليمات فى المشغلات الدقيقة .

واستخدام المنظومة المنطقية المبرمجة (programmed logic array) فى المشغِّل SBP 0400 له ميزتان :

الميزة الأولى : زيادة تكامل النظام (system integrity) وأمنه (security) ، وذلك لأن المنظومة PLA مبرمجة فى المصنع (بالمصمم) فيصعب جدا عَكْس هندسة (reverse-engineer) النظام أو محاولة نسخه . ونظرا لأن مسجل التشغيل (operation register) للمنظومة PLA داخلى للشريحة SBP 0400 ، فسوف يكون من غير العملى إطلاقا لأى مستخدم أن يحاول فك شفرة بناء المنظومة PLA عن طريق اختبار محتويات المسجل وعمليات الوحدة ALU وذلك لمدخلات محدَّدة سابقا (predetermined operation-select-word inputs) . والميزة الثانية لاستخدام المنظومة PLA فى المشغِّل SBP 0400 : السماح بمحاكاة (مضاهاة) (emulation) الحاسبات ذات المدى الأكبر (larger-scale computers) والتى لها مجموعات كبيرة من التعليمات . وبصياغة شفرة مناسبة للمنظومة PLA يمكن محاكاة هذه الحاسبات الأكبر مدى وذلك دون تكاليف زائدة تُذكر أو أى تدهور (degradation) له قيمة فى التشغيل .

وبالرجوع إلى شكل ٥ – ١٨ نلاحظ أن المدخلين الرئيسيين لوحدة الحساب والمنطق ALU هما : منفذ المدخل A متعدد الاتصال (multiplexed A input port) ، ومنفذ المدخل B متعدد الاتصال . ويمكن لناقلة إدخال البيانات (data-in bus) أن تصل (has access) للمنفذ A أو المنفذ B أو مسجل التشغيل (مسجل العمل) (working register) . كما يمكن لمسجلات الأغراض العامة الثمانية (eight general-purpose registers) أن تتوصل (have access) بالمنفذ A .

ويتم إرسال مخرجات الوحدة ALU إلى نبيطة بيانات ذات اتصال متعدد عند المخرج (data output multiplexer) (DOMUX) (مجمِّع الإشارات للبيانات عند المخرج / جهاز تعدد إرسال البيانات عند المخرج) ، والتى تقوم بنقل البيانات إما خارجيا خارج الشريحة أو داخليا بإعادة البيانات عبر ناقلة إخراج البيانات (data-out bus)(DOB) إلى المسجلات ذات الأغراض العامة أو مسجل التشغيل أومسجل التشغيل الممتد (الموسَّع) (extended working register) .

المراجع
References

1. T. R. Blakeslee, Digital Design with Standard MSI and LSI, Wiley-Interscience, New York, 1975.
2. J. Eimbinder, Semiconductor Memories, Wiley-Interscience, New York, 1971.
3. D. A Hodges, Semiconductor Memories, IEEE Press, New York, 1972.
4. G. K. Kostopoulos, Digital Engineering, Wiley-Interscience, New York, 1975.
5. A. Barna and D. I. Porat, Integrated Circuits in Digital Elctronics, Wiley-Interscience, New York, 1973.
6. L. R. Rabiner and C. M. Rader, Digital Signal Processing, IEEE Press, New York, 1972.
7. H. J. Blinchikoff and A. I. Zvereu, Filtering in the Time and Frequency Domains. Wiley-Interscience, New York, 1976.
8. R. E. Bogner and A. G. Constantinides, Introduction to Digital Filtering, Wiley, New York 1975.
9. B. Gold and C. M. Rader, Digital Processing of Signals, McGraw-Hill, New York, 1969.
10. A. Antonion, Digital Filters Analysis and Design, McGraw-Hill, New York, 1979.
11. A. Barna and D. I. Porat, Introduction to Microprocessors, Wiley-Interscience, New York, 1976,
12. B. Soncck, Microprocessors and Microcomputers, Wiley-Interscience, New York, 1976.
13. D. R. McGlynn, Microprocessors: Technology, Architecture and Applications, Wiley-Interscience, New York, 1976.
14. F. Faggin, How VLSI Impacts Computer Architecture, IEEE Spectrum 15, 28-31 (may 1978).
15. R. C. Minnick and R. A. Short, Cellular Linear-Input Logic, Stanford Research Institure, SRI Project 4122, February 1964.
16. R. C. Minnick et al., Cellular Arrays for Logic and Storage, Stanford Research Institute. SRI Project 5087, April 1966.
17. R. C. Minnick, Cutpoint Cellular Logic, IEEE Trans. EC EC-13, 685-698 (1964).
18. R. C. Minnick, Survey of Microcellular Research, J. ACM 14 203-241 (1967).
19. W. H. Kautz et al. Cellular Interconnection Arrays, IEEE Trans. Computers C-17 443-445 (1968).
20. A. Waksman, A Permutation Network, J. ACM 15 159-163 (1968).

21. W. H. Kautz, A Cellular Threshold Array. IEEE Trans. ED ED-16, 680-682 (1967).
22. H. S. Stone, A Logic-in-Memory Computer, IEEETrans. Computers C-19 73-78 (1970).
23. S. E. Wahlstrom, Programmable Arrays and Networks, Electronics 40, 91-95 (December 11, 1967).
24. W. H. Kautz, Fault Testing and Diagnosis in Combinational Digital Circuits, Proceedings of the First Annual IEEE Computer Conference, Chicago, IL, September 1967, IEEE Press, New York, pp. 2-5.
25. W. H. Kautz, Testing for Faults in Combinational Cellular Logic Arrays, Proceedings of the 8th Annual Symposium on Switching and Automata Theory, Austin, Texas, October 1967, IEEE Press, New York, pp. 161-174.
26. J. Goldberg et al., Technique for the Realization of Ultra-Reliable Spaceborne Computers, Interim Scientific Report III, SRI Project 5580, June 1968.
27. W. H. Kautz, Cellular Logic-in-Memory Arrays, IEEE Trans. Computers, C-18(3), 719-727 (1969).
28. R. R. Seeber, Associative Self-Sorting Memory, Proceedings of the 1960 Eastern Joint Computer Conf. Vol. 18, Western Periodicals, New York, pp. 179-188.
29. B. Elspas and R. A. Short, A Bound on the Run Measure of Switching Functions, IEEE Trans. EC, ED-13, 1-4(Feb 1964).
30. D. L. Shell, A High-Speed Sorting Procedure, Commun. ACM, 2(7),30-32 (1959).
31. R. C. Bose and R. J. Nelson, A Sorting Problem. J. ACM, 9(2), 282-296(1962).
32. L. R. Rabiner and C. M. Rader, Digited Signal Processing. IEEE Press, New York, 1972.
33. Selected Papers in Digital Signal Processing II, IEEE Press, New York, 1972.
34. H. Kaneko, A Unified Formulation of Segment Companding Laws and Synthesis of Codes and Digital Companders, Bell Syst. Tech. J., 47(7). 1555-1588(1970).
35. M. I. Elmasry and R. C. Madter, Pipeline Digital Filtering at 250 MHz Bit-Rate, The 1975 Midwest Symposium on Circuits and Systems, Western Periodicals, New York, pp. 461-465.
36. A. Peled and B. Lin, A New Hardware Realization of Digital Filters, IEEE Trans. Acoust., Speech and Signal Processing ASPP-22 456-462(1974).
37. L. B. Jakson, J. F. Kaiser, and H. S. McDonald, An Approach to the Implementation of Digital Filters, IEEE Trans. on Audio and Electroacoustics, AU-16(3) 413-421 (1968).

38. D. R. Appelt, Making It Compatible and Better, Electronics, October 11, 1979, pp. 131-136.
39. M. I. Elmasry. Digital MOS Integrated Circuits, IEEE Press, New York 1981.

محتويات الكتاب

الموضوع	الصفحة
الفصل الأول : مقدمة فى الدوائر المتكاملة الرقمية	٥
الفصل الثانى : العائلات المنطقية للدوائر المتكاملة: MSI / LSI : T^2L & ST^2L	٣٣
الفصل الثالث : عائلات منطقية للدوائر LSI عالية السرعة عائلات ECL و EFL	٩٣
الفصل الرابع : الدوائر المتكاملة الرقمية MOS (معدن – أوكسيد – شبه موصل)	١٤٣
الفصل الخامس : النظم الفرعية الرقمية LSI / VLSI	٢٥٣

كتب للمترجم
من منشورات دار القلم .. الكويت

١ – برمجة الحاسب بلغة الفورتران ، ط ٤ ، ١٩٩٢ .
٢ – مقدمة فى نظرية المعلومات ، ١٩٨٥ .
٣ – الشبكات الرقمية ، ١٩٨٦ .
٤ – التحليل العددى ، ١٩٨٨ .
٥ – الجبر الخطى ، ١٩٨٨ .
٦ – برمجة الحاسب بلغة الباسكال ، ١٩٨٩ .